

Базовый троичный логический элемент на основе стандартной МОП технологии

М.М. Пилипко, Д.В. Морозов, А.С. Коротков

Санкт-Петербургский государственный политехнический университет,
korotkov@rphf.spbstu.ru

Аннотация — Предложена реализация базового логического элемента (вентиля) балансного троичного кода. Логические состояния обеспечиваются за счет двуполярного источника питания. Базовый вентиль может быть выполнен на основе стандартной МОП технологии. Представлены результаты моделирования схем при питании ± 0.9 В с использованием параметров 0.18 мкм МОП-технологии на базе платформы Cadence Virtuoso.

I. ВВЕДЕНИЕ

Применение двоичной системы представления чисел в цифровых системах обработки сигналов является традиционным. В то же время, ежегодно проводимые под эгидой IEEE тематические симпозиумы (IEEE Symposium on Multiple Valued Logic) подтверждают внимание специалистов к разработкам на основе других систем счисления. Анализ опубликованных материалов позволяет утверждать, что основные усилия на сегодняшний день сосредоточены в части построения алгоритмов обработки данных на основе троичной логики.

Критерием эффективности системы счисления является удельная информационная плотность представления данных [1], которая определяется произведением основания системы счисления на количество используемых разрядов. Например, удельная информационная плотность представления десятичных чисел в диапазоне от 0 до 999 определяется как произведение $10 \cdot 3$, что равно 30. Такая же удельная плотность достигается в случае использования двоичной системы счисления с 15-ю разрядами, что позволяет кодировать десятичные числа в диапазоне от 0 до 32767. Оптимальным основанием системы счисления в рамках указанного критерия является число Эйлера [1], округление которого до ближайшего целого равно трем. Удельная информационная плотность величиной 30 обеспечивается 10-ю разрядами троичного кода. При этом осуществляется кодирование десятичных чисел в диапазоне от 0 до 59048 (либо от -29524 до +29524), что больше, чем для двоичного представления.

Преимущество троичного представления данных по сравнению с двоичным можно показать на примере преобразования аналогового сигнала в цифровой код. Сравним динамический диапазон троичного и двоичного аналого-цифровых преобразователей (АЦП) [2]. Интервал квантования определяется как:

$$\Delta_2 = U_{ref} / (2^N - 1), \quad \Delta_3 = U_{ref} / (3^N - 1) \quad (1)$$

для двоичного и для троичного АЦП, соответственно, где U_{ref} – опорное напряжение, N – разрядность АЦП. Мощности шума квантования соответственно для двоичного и для троичного АЦП имеют вид:

$$\overline{U_2^2} = \frac{\Delta_2^2}{12}, \quad \overline{U_3^2} = \frac{\Delta_3^2}{12} \quad (2)$$

Среднеквадратичный шум троичного АЦП на основе формул (1) и (2) определяется как:

$$\sqrt{\overline{U_3^2}} = \frac{\Delta_2 (2^N - 1)}{2\sqrt{3} (3^N - 1)} \quad (3)$$

Максимальный сигнал для троичного АЦП есть:

$$U_{3max} = \frac{3^{N-1} \Delta_3}{\sqrt{2}} = \frac{3^{N-1} \Delta_2 (2^N - 1)}{\sqrt{2} (3^N - 1)} \quad (4)$$

На основании соотношений (3) и (4) динамический диапазон троичного АЦП можно оценить как:

$$DD_3 = 3^{N-1} \sqrt{6} = 3^N \sqrt{2/3},$$

что в логарифмической шкале записывается в виде:

$$DD_3 = 9.54N - 1.76 \text{ [дБ]}. \quad (5)$$

Для динамического диапазона двоичного АЦП справедливо известное соотношение:

$$DD_2 = 6.02N + 1.76 \text{ [дБ]}. \quad (6)$$

На основании (5) и (6) можно сделать вывод: для представления данных с одинаковой точностью требуется в 1,58 раза меньше троичных разрядов, чем

двоичных. Снижение числа разрядов в устройстве последовательного действия за счет троичного представления данных приводит к уменьшению времени выполнения операций примерно в 1,5 раза по сравнению с двоичным кодированием, что, например, в случае матричного умножителя обусловлено уменьшением числа последовательных сложений.

Минимальная единица информации в троичной системе счисления получила название трит. Значения трита могут быть различны: 0,1,2 либо $-1,0,+1$. Использование значений 0,1,2 требует введения знакового разряда и определения дополнительного кода для выполнения операции вычитания. Напротив, балансное троичное представление $-1,0,+1$ [3] за счет наличия положительной и отрицательной цифр имеет преимущество и позволяет представлять как положительные, так и отрицательные числа. Для изменения знака числа достаточно заменить все значения -1 на $+1$ и наоборот, т.е. провести операцию инвертирования. При этом вычитание заменяется на операцию сложения первого и предварительно инвертированного второго операндов. Необходимость введения дополнительного кода отсутствует.

Первые троичные устройства разрабатывались при построении ЭВМ Сетунь [4,5]. Из-за низкой надежности ламп в качестве базовых использовались феррит-диодные элементы. Дальнейшего развития троичные схемы не получили из-за отсутствия элементов с тремя стабильными состояниями.

В данной работе предложена идея реализации цифровых устройств с использованием балансного троичного кода для представления данных. При этом логическим состояниям $+1$ и -1 соответствуют положительный и отрицательный уровни двуполярного питания, а состоянию 0 – уровень земляной шины. Моделирование схем проводилось при двуполярном питании ± 0.9 В с использованием типовых параметров стандартной МОП-технологии с минимальными размерами элементов 0.18 мкм на основе программного обеспечения платформы Cadence Virtuoso. Статья построена следующим образом. В п. II аргументирован выбор структуры троичного вентиля, а в п. III предложена схемная реализация базового троичного вентиля. Результаты моделирования троичного инвертора на транзисторном уровне рассмотрены в п. IV. В заключении сформулированы основные выводы.

II. ВЫБОР СПОСОБА РЕАЛИЗАЦИИ ТРОИЧНЫХ УСТРОЙСТВ

При решении прикладных задач известен подход, при котором используются модели троичных устройств на базе элементов двоичной логики [6]. Этот способ заключается в кодировании значений

трита с помощью двух битов. С ростом разрядности создаваемой таким образом схемы значительно увеличиваются аппаратные затраты. Исследование возможностей построения троичных устройств, т.е. устройств с тремя уровнями квантования сигналов, проводится по двум главным направлениям: с применением квантовых приборов либо с применением интегральной элементной базы. Использование квантовых эффектов позволило получить экспериментальные образцы, серийное производство которых не налажено с достаточным процентом выхода годных схем. На основе интегральных элементов предлагают различные способы создания троичных логических вентилях. Существует возможность построения троичных схем транзисторно-транзисторной логики [7]. Данный подход на современном этапе развития технологий не является перспективным. В ряде работ троичные логические устройства реализуются на основе нестандартной элементной базы МОП-технологии. Однако применение туннельных диодов [8-11] и туннельных транзисторов [12], МОП-транзисторов обогащенного типа [13-15] требует усложнения технологического процесса изготовления микросхем.

Универсальным логическим блоком, на основе которого осуществляется построение более сложных цифровых устройств, является троичный вентиль. Реализация троичных вентилях на основе стандартной МОП-технологии осуществляется двумя способами. В первом случае предлагаются схемы с динамическим управлением [16-22]. При этом требуется использование тактовых генераторов, которые занимают значительную площадь на кристалле, являются причиной возникновения избыточного числа переключений в схеме и обуславливают дополнительные шумовые составляющие. Второй способ представляет реализацию троичных схем, не требующих дополнительных управляющих сигналов [23-26]. Построение схем основано на следующей общей идее. Значения трита -1 и $+1$ соответствуют отрицательному и положительному напряжениям двуполярного источника питания, а значение 0 – земляной шине. Троичный вентиль состоит из схемы управления и набора ключей. Входом вентиля является вход схемы управления. Согласно заданной логической функции схема управления формирует сигналы для коммутации выхода вентиля с выходами источника питания. При заданном логическом состоянии на входе обеспечивается замыкание ключей так, что напряжение на выходе соответствует требуемому значению трита.

Существенную проблему представляет значительное потребление мощности в известных реализациях подобных троичных логических

элементов. Например, предложенная в работе [23] схема управления включает, так называемые, положительный троичный инвертор и отрицательный троичный инвертор, которые осуществляют требуемую коммутацию выходных ключей. Положительный и отрицательный троичные инверторы имеют традиционную структуру инвертора с двуполярным питанием на основе пары n - и p -МОП транзисторов и отличаются увеличенной шириной канала для p -МОП транзистора в положительном троичном инверторе и увеличенной шириной канала для n -МОП транзистора в отрицательном троичном инверторе. При использовании параметров стандартной 0,18 мкм МОП технологии и двуполярного источника питания с напряжением $\pm 0,9$ В моделирование данной схемы показывает следующие результаты. Эквивалентное троичному логическому нулю напряжение, поданное на входы положительного и отрицательного троичных инверторов, вызывает протекание токов величиной порядка десятков микроампер через одновременно открытые n - и p -МОП транзисторы. Потребляемая мощность при этом составляет более 100 мкВт.

Использование стандартной МОП-технологии является важным преимуществом рассмотренной идеи построения троичных схем. Однако при выборе данного способа реализации устройств троичной логики в разрабатываемых схемах необходимо обеспечить снижение потребляемой мощности.

III. БАЗОВЫЙ ТРОИЧНЫЙ ВЕНТИЛЬ

Согласно п. II, базовый троичный вентиль должен состоять из схемы управления и набора ключей. Предлагаемая реализация вентиля приведена на рис. 1. Схема управления (рис. 1а) состоит из двух формирователей на транзисторах $M0$ – $M2$, $M3$ – $M5$, и четырех инверторов. Формирователи определяют пороги переключения вентиля. Транзисторы $M2$, $M3$ в диодном включении обеспечивают снижение тока через одновременно открытые транзисторы $M0$, $M1$ и транзисторы $M4$, $M5$, соответственно. Ширина канала p -МОП транзистора $M0$ задана так, что при воздействии на вход (x) сигнала троичного кода, равного -1 или 0 , на выходе ($x++$) в обоих случаях оказывается отрицательное напряжение источника питания $-0,9$ В (vss), эквивалентное значению трита -1 . Ширина канала n -МОП транзистора $M5$ задана так, что при сигнале троичного кода 0 или $+1$ на входе (x) напряжение на выходе ($x--$) равно положительному напряжению источника питания $+0,9$ В (vdd) и эквивалентно значению трита $+1$. Результаты моделирования зависимостей напряжений на выходах формирователей в узлах (d) и (e) от напряжения на входе (x) показаны на рис. 2. Пороги переключения соответствуют напряжениям $\pm 0,45$ В.

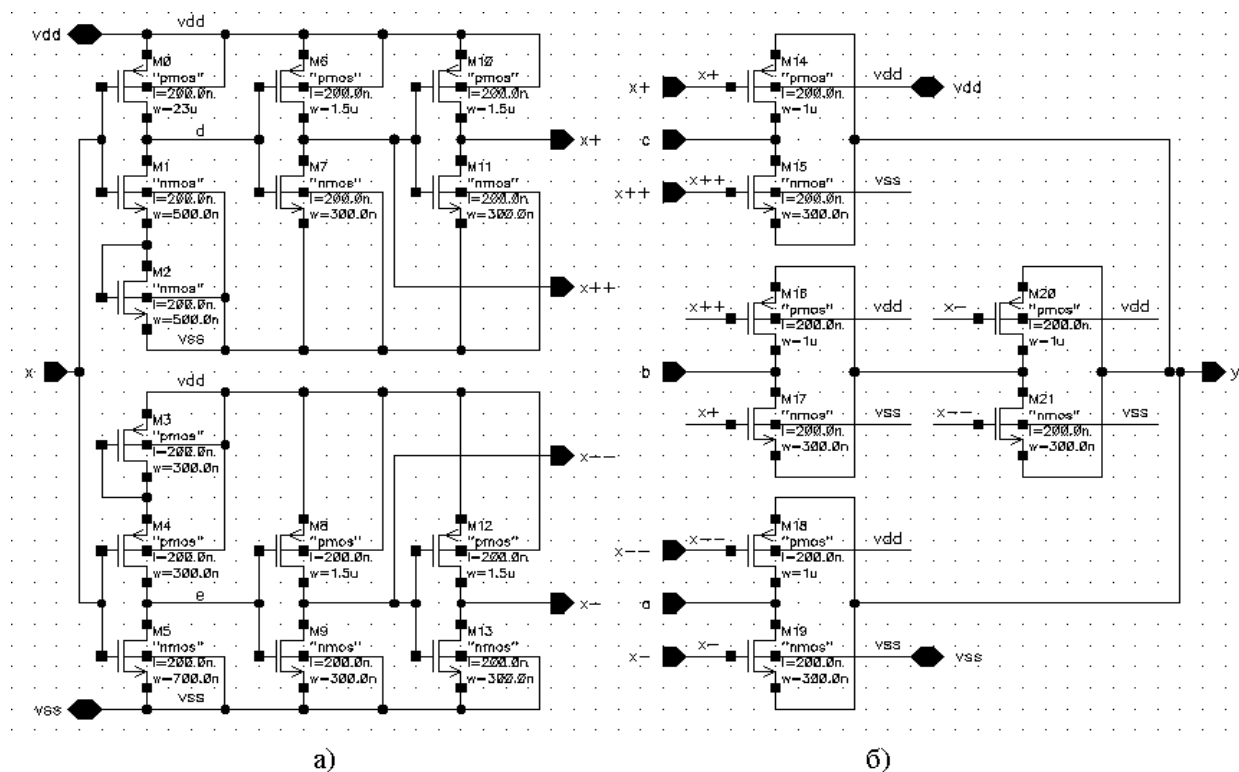


Рис. 1. Базовый троичный вентиль: а) схема управления, б) схема КМОП ключей

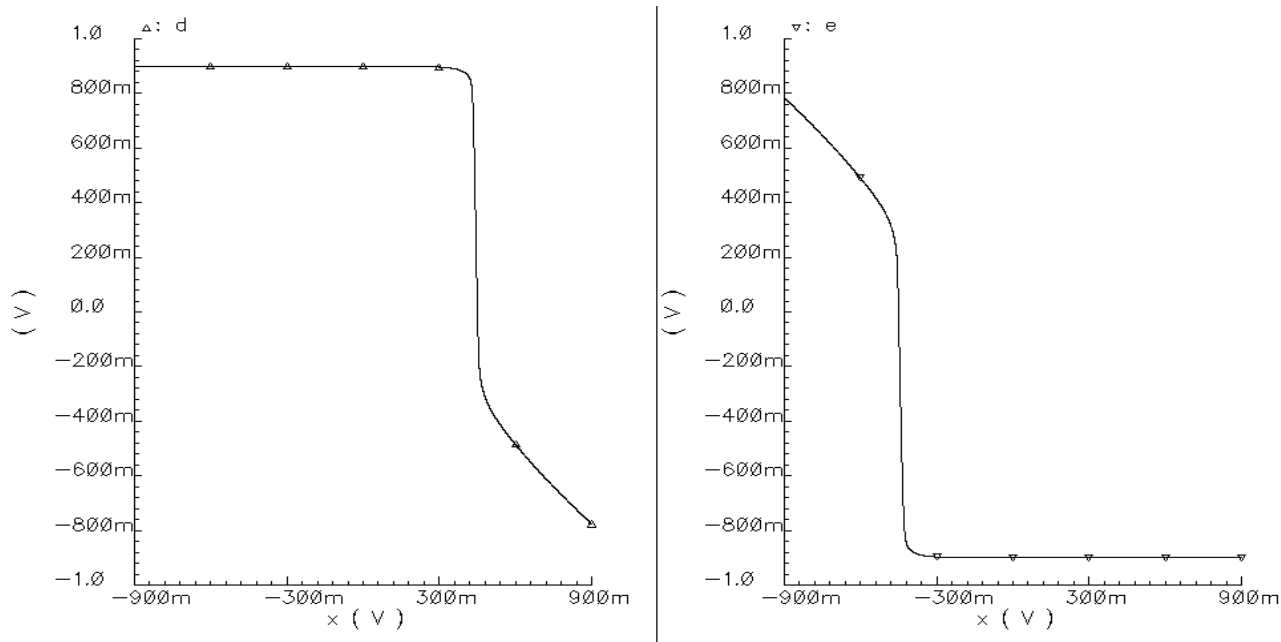


Рис. 2. Зависимости напряжений в узлах (d) и (e) от напряжения на входе (x) для схемы управления

Схема управления формирует сигналы, воздействующие на КМОП ключи (рис. 16). Входы (a), (b), (c) служат для подключения к одному из выходов двуполярного источника питания (vss), (gnd) – земляная шина, (vdd). Подключение осуществляется согласно заданной логической функции. Таблица 1 определяет функционирование базового троичного вентиля. Сигнал с входа (a) передается на выход вентиля (y) при замыкании ключа на транзисторах M18 и M19, что возможно только при воздействии на схему управления входного сигнала (x), эквивалентного логическому состоянию -1 . Обратим внимание, что ключ на транзисторах M14 и M15 и ключ на транзисторах M20 и M21 в этот момент оказываются разомкнутыми. В случае воздействия логического нуля на вход (x) ключ на транзисторах M16 и M17 и ключ на транзисторах M20 и M21 одновременно оказываются замкнутыми и сигнал с входа (b) поступает на выход (y). Сигнал (x), эквивалентный логическому состоянию $+1$, позволяет передать сигнал с входа (c) на выход (y).

Таблица 1

Таблица функционирования троичного вентиля

x	x++	x+	x--	x-	y
-1	-1	+1	-1	+1	a
0	-1	+1	+1	-1	b
+1	+1	-1	+1	-1	c

IV. ТРОИЧНЫЙ ИНВЕРТОР

В качестве примера использования базового троичного вентиля рассмотрим троичный инвертор. Согласно таблице 1 схема троичного инвертора реализуется при $a = +1$, $b = 0$, $c = -1$. Базовый троичный вентиль (рис. 1) реализует логическую функцию инвертора при подаче на вход (a) напряжения (vdd), на вход (b) напряжения (gnd) и на вход (c) напряжения (vss). Результат моделирования передаточной характеристики предложенной схемы троичного инвертора показан на рис. 3.

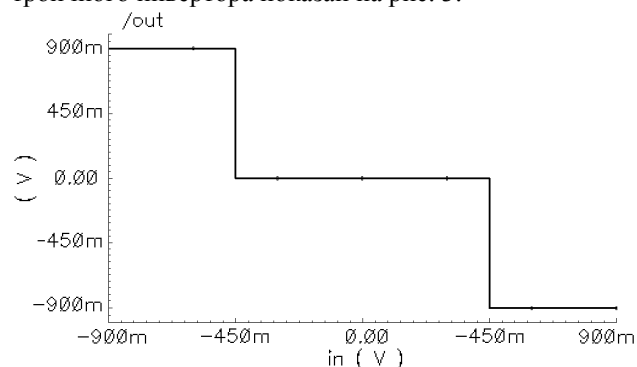


Рис. 3. Передаточная характеристика троичного инвертора

Зависимость коэффициента передачи инвертора от напряжения на входе представлена на рис. 4. Данная зависимость позволяет оценить крутизну передаточной характеристики в областях перехода, которая составляет не менее 9 кВ/В .

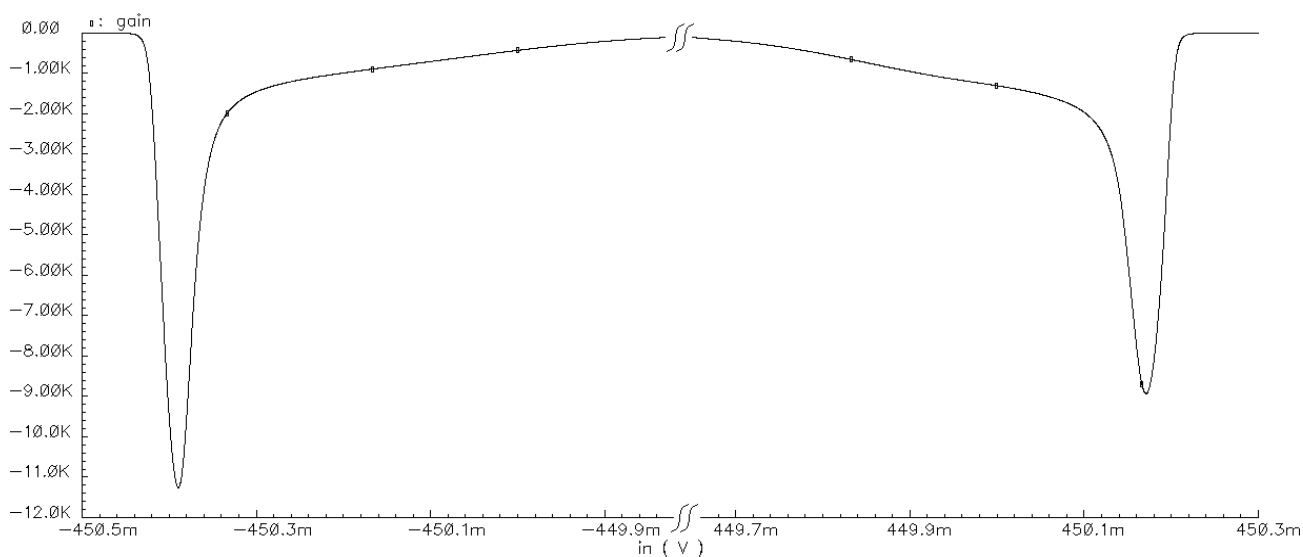


Рис. 4. Коэффициент передачи троичного инвертора в областях перехода

Величины статических токов от положительного и отрицательного источников питания – I_{vdd} и I_{vss} соответственно, потребляемые схемой при логических состояниях на выходе +1,0,-1 приведены в таблице 2. Значения времен задержки распространения сигнала между фронтами выходного и входного импульсов при всех возможных переключениях инвертора даны в таблице 3. Поскольку переходной процесс зависит от характера нагрузки, то время задержки оценивалось в двух случаях – троичный инвертор нагружен одним таким же инвертором либо десятью инверторами, входы которых включены параллельно. Среднее время задержки распространения сигнала определялось усреднением данных по каждому столбцу таблицы и составляет для случая одного элемента нагрузки 0,87 нс, а при десяти элементах – 1,16 нс.

V. ЗАКЛЮЧЕНИЕ

Для схем с тремя уровнями квантования сигналов уровни напряжений, соответствующие логическим состояниям трита, целесообразно обеспечивать за счет использования источника двуполярного питания. В работе предложена реализация базового троичного вентиля с использованием балансного троичного кода -1,0,+1 для представления данных. Вентиль состоит из схемы управления и ключей, коммутирующих разные уровни напряжений на выходной узел в зависимости от значения входного сигнала. Рассмотренное схемотехническое решение троичного вентиля отличается простотой и может быть выполнено на основе стандартной МОП-технологии. Разработка и моделирование схем проводились при двуполярном питании ± 0.9 В с использованием типовых параметров стандартной МОП-технологии с

минимальными размерами элементов 0.18 мкм на базе программного обеспечения платформы Cadence Virtuoso. Реализация схемы управления троичного вентиля позволяет снизить статические токи потребления по сравнению с известными троичными схемами не менее чем в сто раз (до 300 нА). Результаты моделирования троичного инвертора на основе базового вентиля показывают, что представленные схемотехнические реализации работоспособны при обработке троичного сигнала с минимальной длительностью импульса порядка 10 нс.

Таблица 2

Величины статических токов потребления троичного инвертора

Состояние выхода	I_{vdd}	I_{vss}
+1	230 пА	227 пА
0	295 нА	295 нА
-1	619 пА	630 пА

Таблица 3

Значения времен задержки распространения троичного инвертора

Изменение состояния выхода	Время задержки распространения (нс)	
	1 нагрузка	10 нагрузок
-1 → 0	270	681
-1 → +1	1115	1409
0 → -1	1184	1358
0 → +1	1247	1480
+1 → -1	1129	1337
+1 → 0	270	678

VI. БЛАГОДАРНОСТЬ

Авторы выражают признательность московскому представительству компании Cadence Design Systems за предоставленные средства моделирования и техническую поддержку.

ЛИТЕРАТУРА

- [1] Hayes B. Third base // *American Scientist*. - 2001. - V. 89. - № 6. - P. 490–494.
- [2] Korotkov A.S., Morozov D.V., Pilipko M.M., Sinha A. Delta-Sigma ADC for Ternary Code System (Part I: Modulator Realization) // *Proc. Int. Symp. Signals, Circuits and Systems*. - July 2007. - V. 1 - P. 1–4.
- [3] Д. Кнут. Искусство программирования для ЭВМ. Т.2. Получисленные алгоритмы. - М.: МИР, 1977.
- [4] Брусенцов Н.П. Опыт разработки троичной вычислительной машины // *Вестник МГУ. Сер. 1: математика, механика*. - 1965. - №2. - С. 39–48.
- [5] Брусенцов Н.П. Заметки о троичной цифровой технике // *Сб. научных трудов Юбилейной Международной научно-технической конференции 50 лет модулярной арифметике*, ноябрь 2005. - М., Зеленоград, 2006. - С. 618–641.
- [6] Ji-Zhong Shen, Mao-Qun Yao, Xie-Xiong Chen, Hua-Hua Chen Ternary BiCMOS circuit structure and its design at switch level // *Proc. 5th Int. Conf. ASIC*. - Oct. 2003. - V. 1. - P. 581–585.
- [7] Xunwei Wu; Penjun Wang; Yinshui Xia. Design of ternary Schmitt triggers based on its sequential characteristics // *Proc. 32nd IEEE Int. Symp. Multiple-Valued Logic*. - May 2002. - P. 156–160.
- [8] Waho T., Chen K.J., Yamamoto M. Resonant-tunneling diode and HEMT logic circuits with multiple thresholds and multilevel output // *IEEE J. Solid-State Circuits*. - Feb. 1998. - V. 33. - № 2. - P. 268–274.
- [9] Waho T.; Hattori K.; Takamatsu Y. Flash analog-to-digital converter using resonant-tunneling multiple-valued circuits // *Proc. 31st IEEE Int. Symp. Multiple-Valued Logic*. - May 2001. - P. 94–99.
- [10] Nunez J., Quintana J.M., Avedillo M.J. Limits to a Correct Evaluation in RTD-based Ternary Inverters // *ICECS'06*. - Dec. 2006. - P. 403–406.
- [11] Nunez J., Quintana J.M., Avedillo M.J. Correct DC Operation in RTD-based Ternary Inverters // *2nd IEEE Int. Conf. NEMS'07*. - Jan. 2007. - P. 860–865.
- [12] Uemura T., Baba T. A three-valued D-flip-flop and shift register using multiple-junction surface tunnel transistors // *Proc. 31st IEEE Int. Symp. Multiple-Valued Logic*. - May 2001. - P. 89–93.
- [13] Dhande A.P., Ingle V.T. Design Of 3-Valued R-S & D Flip-Flops Based on Simple Ternary Gates // *2nd World Enformatika Conference, WEC'05*. - Feb. 2005. - P. 62–65.
- [14] Патент Германии DE 198 32 101 A1 Realisierung Ternärer Grundsaltungen in CMOS Technologie, J. Stackelberg. - 27.01.2000.
- [15] Патент Японии № 2005036757 Ternary logic inverter circuit, N. Kazuto. - 08.02.2007.
- [16] Toto F., Saletti R. CMOS dynamic ternary circuit with full logic swing & zero-static power consumption // *Electronics Letters*. - May 1998. - V. 34. - № 11. - P. 1083–1084.
- [17] Mateo D.; Rubio A. Design and implementation of a 5×5 trits multiplier in a quasi-adiabatic ternary CMOS logic // *IEEE J. Solid-State Circuits*. - July 1998. - V. 33. - № 7. - P. 1111–1116.
- [18] Herrfeld A, Hentschke S. Ternary Multiplication Circuits Using 4-Input Adder Cells and Carry Look-Ahead // *Proc. 29th IEEE Int. Symp. Multiple-Valued Logic*. - May 1999. - P. 174–179.
- [19] Gundersen H., Jensen R., Berg Y. A novel ternary switching element using CMOS recharge semi floating-gate devices // *Proc. 35th Int. Symp. Multiple-Valued Logic*. - May 2005. - P. 54–58.
- [20] Gundersen H., Berg Y. A novel balanced ternary adder using recharged semi-floating gate devices // *Proc. 36th Int. Symp. Multiple-Valued Logic*. - May 2006. - P. 18–21.
- [21] Berg Y., Jensen R., Lomsdalen J., Gundersen H., Aunet S. Fault Tolerant CMOS Logic Using Ternary Gates // *Proc. 37th Int. Symp. Multiple-Valued Logic*. - May 2007. - P. 38–38.
- [22] Connell C.L., Balsara P.T. A novel single-rail variable encoded completion detection scheme for self-timed circuit design using ternary multiple valued logic // *Proc. IEEE 2nd Dallas CAS Workshop Low Power/Low Voltage Mixed Signal Circuits Systems*. - March 2001. - P. 7–10.
- [23] C.N. Rozon, H.T.Mouftah. Realization of a three-valued logic built-in testing structure // *IEEE J. Solid-State Circuits*. - June 1990. - V. 25. - № 3. - P. 814–820.
- [24] Ji-Zhong Shen, Zhi-Gang Zhu, Mo Zhu. The general structure and design method of ternary monostable multivibrator // *Proc. 5th Int. Conf. ASIC*. - Oct. 2003. - V. 1. - P. 586–590.
- [25] Патент Японии № 2005080257 CMOS driver circuit and CMOS inverter circuit, Japan Radio CO Ltd (F. Hideki). - 24.03.2005.
- [26] Патент Японии № 2007208512 (WO 2007 088901) Three-valued logic function circuit, Japan Advanced Inst of Science and Tech (H. Yasushi, S. Masaaki). - 09.08.2007.