

СФ-блок быстродействующего микромощного АЦП для многоканальной системы на кристалле

В.А. Бутузов¹, Ю.И. Бочаров¹, А.С. Гуменюк², Д.Л. Осипов¹, А.Б. Симаков¹, Э.В. Аткин¹

¹Национальный исследовательский ядерный университет «МИФИ», butuzov@inbox.ru

²Учреждение Российской академии наук НИИ системных исследований РАН

Аннотация — Рассмотрены методы снижения энергопотребления конвейерных КМОП АЦП, основанные на совместном использовании усилителей и компараторов смежными каскадами конвейера. Дан пример практической реализации этих методов при создании СФ-блока 9-разрядного АЦП с быстродействием 20 МГц для многоканальных систем.

Ключевые слова — АЦП, СФ-блок, СнК, КМОП

I. ВВЕДЕНИЕ

Основная часть задач обработки сигналов сейчас решается цифровыми средствами. Вместе с тем, аналого-цифровые устройства, обеспечивающие преобразование сигналов датчиков и радиосигналов в цифровую форму, остаются важнейшими элементами радиоэлектронной аппаратуры (РЭА). Одной из главных тенденций развития РЭА в настоящее время является повышение энергоэффективности элементной базы. Это обуславливает актуальность задачи снижения энергопотребления аналого-цифровых преобразователей (АЦП). Наряду с общим стремлением к повышению энергоэффективности и к энергосбережению, есть ряд областей, где достижение предельно низких уровней энергопотребления АЦП является критически важным. Например, устройства, применяемые в современных установках для физических экспериментов, часто содержат сотни тысяч первичных преобразователей, каждый из которых обслуживается отдельным каналом считывания, включающим средства предварительной аналоговой и цифровой обработки [1].

Создание системы сбора данных такого масштаба диктует необходимость выполнения всей электроники считывания на базе, так называемых, «систем на кристалле» (СнК). Типовые АЦП в составе таких многоканальных систем имеют разрядность (8 – 10) бит, быстродействие (10 – 30) МГц. Из-за большого числа каналов в микросхеме (128 и более) потребляемая мощность каждого АЦП ограничивается уровнем порядка 10 мВт на канал, в то время как типовые АЦП с аналогичными характеристиками обычно потребляют не менее 30 мВт.

II. СТРУКТУРА СФ-БЛОКА АЦП

В рамках работ по созданию СнК считывания и обработки сигналов датчиков станций траекторных измерений, содержащих более полутора миллионов каналов, для международного физического эксперимента по изучению сжатой барионной материи (The Compressed Baryonic Matter, CBM) [2] разработан сложнофункциональный блок (СФ-блок, IP-блок) быстродействующего АЦП конвейерного типа с низким энергопотреблением. Проектирование выполнено с использованием КМОП технологии аналого-цифровых и радиочастотных микросхем компании UMC (Тайвань) с проектными нормами 180 нм в среде проектирования Cadence Virtuoso.

АЦП имеет полностью дифференциальную конвейерную архитектуру. Его номинальная разрядность 9 бит, максимальная частота выборки 20 МГц. Структурная схема СФ-блока АЦП приведена на рис. 1. Для наглядности тракт АЦП показан не дифференциальным. На рисунке не показаны также периферийные блоки: источник опорных напряжений, генератор тактовых импульсов, выходной интерфейс. АЦП разработан на основе традиционной конвейерной архитектуры, но с применением специальных методов снижения потребляемой мощности. Тракт преобразования включает конвейер из 7-ми одинаковых по структуре каскадов АЦП низкого разрешения с эффективной разрядностью 1,5 бита, а также АЦП параллельного типа разрядностью 2 бита в качестве последнего каскада конвейера. Все каскады кроме 2-х первых и последнего идентичны. Они объединены в группы, как показано на рис. 1. Часть элементов в группе из 2-х смежных каскадов, такие, например, как многофункциональные ЦАП умножающего типа (МЦАП) входят в состав каждого из них, а часть элементов являются общими.

Благодаря реализации методов совместного использования общих разделяемых компонентных и энергетических ресурсов смежных каскадов (совместно используемых усилителей и компараторов), достигнуто

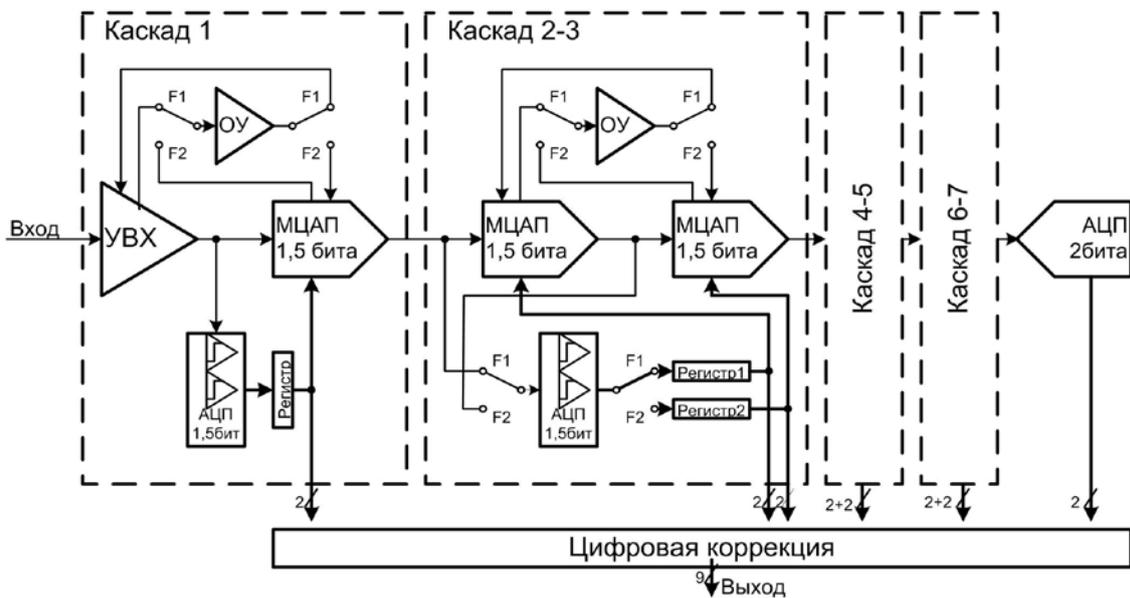


Рис. 1. Структурная схема АЦП конвейерного типа с низким энергопотреблением

существенное снижение потребляемой мощности АЦП.

III. Методы снижения потребляемой мощности

Возможность совместного использования разделяемых ресурсов каскадов основана на том, что в АЦП конвейерного типа функциональные состояния каскадов с четными номерами в любой момент времени отличны от состояний каскадов с нечетными номерами. В течение первой половины тактового периода нечетные каскады находятся в режиме выборки, а четные – в режиме формирования выходного сигнала, преобразуемого последующими каскадами конвейера. В течение второй половины тактового периода их роли меняются. В состоянии выборки входящие в состав каскадов АЦП операционные усилители (ОУ) с дифференциальными входами и выходами, а также компараторы либо находятся в режиме запоминания собственного смещения, либо вообще не используются. Если не требуется коррекция смещения, то усилители могут переключаться попеременно между смежными каскадами, подключаясь к тому из них, который находится в режиме формирования выходного сигнала. Поскольку смежные каскады конвейера всегда находятся в разных состояниях, то для них усилители и компараторы могут быть выделены в общий разделяемый ресурс. Это позволяет вдвое снизить количество усилителей [3 – 7].

В разработанном АЦП, для повышения точности преобразования (коррекции смещения и подавления эффекта памяти), усилители, совместно используемые входным УВХ и первым МЦАП, а также вторым и

третьим каскадами, разделяются только частично. Эти усилители (рис. 2) содержат два идентичных предварительных усилителя ПУ1 и ПУ2, подключённых через ключи К1 и К2 к совмещаемой части, в которую входят выходной усилитель (ВУ) и блок формирования сигналов обратной связи (ОС) по синфазному сигналу на переключаемых конденсаторах. Усилители в остальных каскадах разделяются полностью.

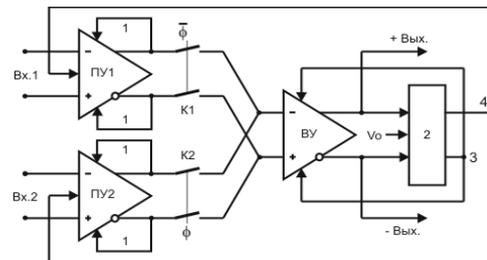


Рис. 2. Структура частично-разделяемых ОУ: 1 – цепь ОС по синфазному сигналу в предварительных усилителях, 2 – блок формирования сигналов ОС, 3 – цепь локальной ОС выходного усилителя, 4 – цепь общей ОС по синфазному сигналу

Таким образом, количество ОУ уменьшено вдвое (с восьми до четырех) по сравнению с классической конвейерной архитектурой.

Компараторы также совместно используются смежными каскадами. Такая возможность обеспечивается благодаря тому, что фиксация результата сравнения в выходных регистрах компараторов производится в начале фазы выборки, по переднему фронту соответствующего тактового сигнала, а после этого, в течение

всей фазы выборки, компараторы находятся в режиме хранения результата. Поскольку результат сравнения хранится в регистрах, то в это время на него уже не могут повлиять никакие изменения на выходах компараторов. Таким образом, компараторы каскадов, находящихся в фазе выборки, не активны и могут быть использованы в смежных каскадах, находящихся в режиме формирования выходного сигнала [8]. Для этого сигнал стробирования компараторов должен иметь частоту вдвое большую основной тактовой частоты. Так удалось уменьшить число компараторов с 17 до 11. Предложенный метод позволил снизить суммарную потребляемую мощность компараторов на 32 %, а занимаемую ими площадь на 38 %.

Еще один метод снижения энергопотребления АЦП – масштабирование емкостей конденсаторов первых каскадов. Последовательное уменьшение номиналов емкостей конденсаторов УВХ и МЦАП от 0,8 пФ в первом каскаде до 0,25 пФ в четвертом и последующих каскадах позволило не только уменьшить площадь чипа, но и использовать в каскадах с 3-го по 7-ой ОУ с минимальным энергопотреблением.

IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Выполнено моделирование СФ-блока, с учётом особенностей его технологической реализации (на основе результатов экстракции паразитных параметров топологии), с использованием симулятора Cadence Spectre.

Спектр выходного сигнала АЦП, при подаче на вход синусоидального сигнала, и динамические параметры, определенные по результатам анализа спектра типовыми программными средствами [9], приведены на рис. 3.

Основные параметры АЦП, определенные по результатам моделирования, приведены в таблице 1.

Таблица 1

Параметры СФ-блока АЦП

Номинальная разрядность	бит	9
Максимальная частота выборки	МГц	20
Отношение сигнал / (шум и искажения)	дБ	49,8
Эффективная разрядность	бит	7,9
Динамический диапазон свободный от гармоник	дБ	58,5
Напряжение питания	В	1,8
Потребляемая мощность (без источника опорных напряжений)	мВт	9
Диапазон входных дифференциальных сигналов	В	±0,5
Занимаемая площадь	мм ²	0,55
Технология	КМОП 0,18 мкм	

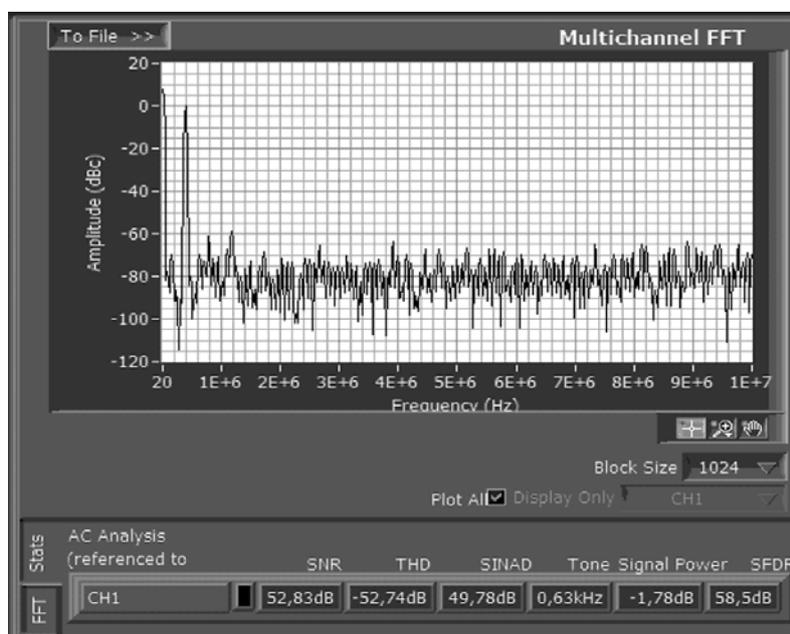


Рис. 3. Спектр сигнала на выходе АЦП и значения динамических параметров при подаче на вход синусоидального сигнала частотой 400 кГц и частоте выборки 20 МГц

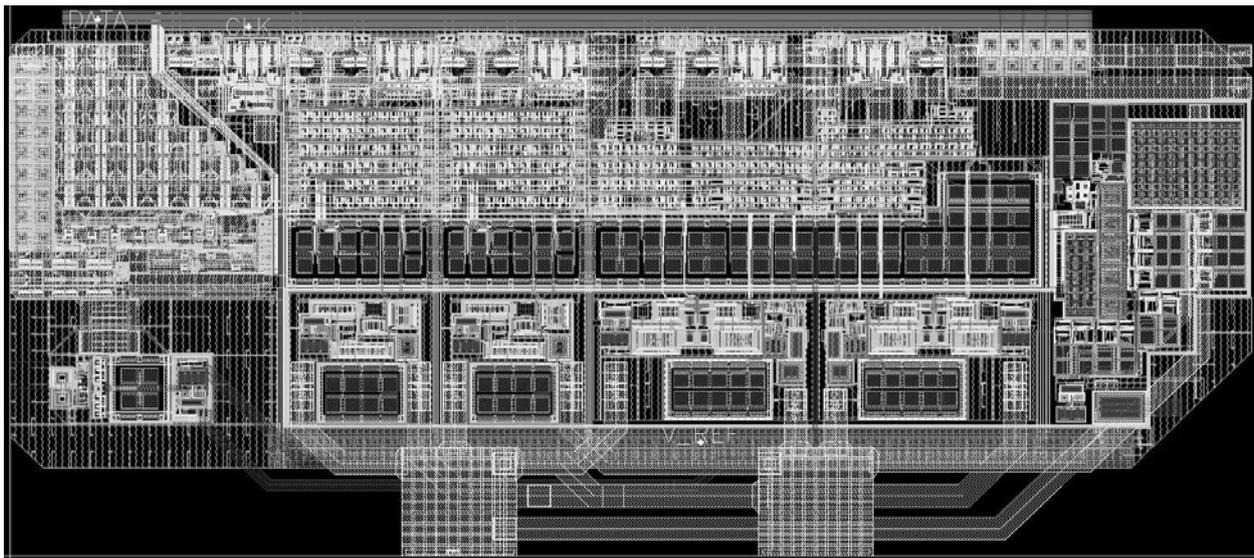


Рис. 4. Топология СФ-блока АЦП

По результатам моделирования, СФ-блок АЦП, при частоте выборки 20 МГц, имеет потребляемую мощность 14,4 мВт, причём, 5,4 мВт из них приходится на источник опорных напряжений. Поскольку АЦП используется в составе СнК, то блок формирования опорных напряжений является общим для 8 каналов АЦП. Таким образом, потребляемая мощность АЦП составляет менее 10 мВт на канал.

На рис. 4 приведена топология СФ-блока АЦП.

IV. ЗАКЛЮЧЕНИЕ

Представлен разработанный СФ-блок быстродействующего АЦП конвейерного типа с низким энергопотреблением для многоканальных систем обработки данных. Благодаря реализации методов совместного использования общих разделяемых компонентных и энергетических ресурсов смежных каскадов, был достигнут уровень энергопотребления менее 10 мВт на канал.

Особенностью разработанного АЦП является неполное разделение ОУ между смежными каскадами на входе тракта преобразования, чем достигается компромисс между уровнем энергопотребления и точностью. Особенностью устройства является также способ совместного использования компараторов.

Проектирование выполнено с использованием КМОП технологии аналого-цифровых и радиочастотных микросхем компании UMC с проектными нормами 180 нм в среде проектирования Cadence Virtuoso.

Представленные результаты получены в ходе выполнения НИР в рамках ФЦП «Научные и научно-педагогические кадры инновационной России» на 2009-2013 годы.

ЛИТЕРАТУРА

- [1] Heuser J.M., Deveaux M., Muntz C., Stroth J. Requirements for the Silicon Tracker System CBM at FAIR // Nuclear Instruments and Methods in Physics Research. Section A. 2006. Vol. 568 P. 258-262.
- [2] Бочаров Ю.И., Гуменюк А.С., Лапшинский В.А., Осипов Д.Л., Симаков А.Б. Архитектура специализированной БИС считывания сигналов многоканальных датчиков // Датчики и системы. 2008. № 10. С. 47 – 50.
- [3] Nagaraj K., Fetterman H.S., Anidjar J., Lewis S.H., Renninger R.G. A 250-mW, 8-b, 52 Msamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers // IEEE J. Solid-State Circuits. 1997. Vol. 32. No. 3. P. 312 – 320.
- [4] Keane J.P., Hurst P.J., Lewis S.H. Modeling Memory Errors in Pipelined Analog-to-Digital Converters. // Proceedings of International Conference on Circuits, Signals and System. 2004 (CSS 2004). P. 190 – 196.
- [5] Ou H.-H., Chang S.-J., Liu B.-D. Low-power Circuit Techniques for Low-Voltage Pipelined ADCs Based on Switched Opamp Architecture // IEICE Tr. Fundamentals. 2008. Vol. E91-A. No. 2. P. 461 – 468.
- [6] Lee B.-G., Tsang R.M. A 10-bit 50 MS/s Pipelined ADC With Capacitor-Sharing and Variable-gm // IEEE J. Solid-State Circuits. 2009. Vol. 44. No. 3. P. 883 – 890.
- [7] Garcia-Gonzalez J.-M., Greitschus N., Desel T. A 94-mW, 100-MS/s, 12-bit pipeline ADC for multi-standard TV demodulation applications. // Analog Integrated Circuits and Signal Processing. 2010. Vol. 62. P. 167 – 177.
- [8] Гуменюк А.С., Бочаров Ю.И. Повышение эффективности использования компараторов в конвейерных АЦП // Сборник научных трудов ИТМиВТ им. С.А. Лебедева РАН. 2008. № 1. С. 87 – 90.
- [9] Гуменюк А., Бочаров Ю. Методика анализа Фурье при моделировании аналого-цифровых схем с помощью средств проектирования Cadence // Chip News. 2007. № 9 (122). С. 22 – 25.