

## Характеризация псевдодинамических элементов

Д.Ю. Степченков, Ю.Г. Дьяченко, Н.В. Морозов

{DStepchenkov, YDiachenko, NMorozov}@ipiran.ru

Учреждение Российской академии наук Институт проблем информатики РАН (ИПИ РАН)

**Аннотация** — Представлены результаты апробации процесса характеристики псевдодинамических элементов, составляющих основу схемотехнического базиса самосинхронного (СС) вычислителя, выполняющего операции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754. Описан программный комплекс трансляции результатов характеристики, обеспечивающий формирование стандартных файлов функционально-логического описания библиотечных элементов (БЭ) для вновь вводимых элементов. Эффективность программного комплекса подтверждена при проектировании СС-вычислителя.

**Ключевые слова** — Библиотека; характеристика; псевдодинамический элемент; моделирование; трансляция.

### I. ВВЕДЕНИЕ

Разработка современных больших интегральных схем (БИС) невозможна без использования готовых библиотек стандартных элементов разного уровня – от простейших логических элементов до фрагментов памяти и сложных функциональных блоков. Такие библиотеки содержат, как правило, наиболее часто используемые логические элементы, из которых, как из "кирпичиков", собираются более сложные схемы.

Характеристики схемы – количество транзисторов, площадь реализации, быстродействие, энергопотребление – не в последнюю очередь зависят от функционального состава используемой библиотеки стандартных элементов. Особенно сильно это проявляется при проектировании самосинхронных схем (СС-схем). Обусловлено это необходимостью индексировать (определять момент окончания переключения) каждый элемент в составе СС-схемы. Под элементом здесь понимается однокаскадная принципиальная схема, выполняющая некоторую логическую функцию.

Сильная функциональная декомпозиция цифрового устройства приводит к появлению множества "мелких" логических элементов, требующих индикации, и, соответственно, к увеличению сложности не только самой схемы, но и индикаторной подсхемы. Поэтому сокращение сложности СС-схемы и улучшение ее технических характеристик напрямую зависит от

функциональной полноты используемого базиса – библиотеки элементов.

Современные библиотеки стандартных элементов, как правило, не учитывают указанной специфики проектирования СС-схем. Это заставляет разработчиков СС-БИС вводить в состав готовой сертифицированной библиотеки новые элементы, повышающие эффективность проектирования СС-схем и улучшающие их потребительские характеристики. Но в этом случае разработчикам приходится сталкиваться с необходимостью характеристики добавляемых в библиотеку элементов, чтобы иметь возможность использовать их в традиционном маршруте проектирования БИС с применением имеющихся систем автоматизированного проектирования (САПР).

Данный доклад посвящен проблемам характеристики псевдодинамических элементов, составляющих схемотехнический базис разработки самосинхронного вычислителя (далее – СС-вычислителя), выполняющего операции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754 [1].

### II. СОСТАВ БИБЛИОТЕКИ

Разработка СС-вычислителя состояла в последовательном выполнении стадий традиционного восходящего маршрута проектирования БИС на основе библиотеки стандартных элементов фирмы Artisan [2] с тем отличием, что готовых псевдодинамических элементов в составе библиотеки не оказалось. Поэтому традиционный маршрут проектирования дополнительно включал в себя следующие стадии:

- 1) определение набора необходимых дополнительных БЭ с позиции целесообразности их использования в составе СС-вычислителя;
- 2) разработку принципиальных схем и топологических представлений новых БЭ;
- 3) характеристику новых БЭ;
- 4) составление логических моделей новых элементов на языке Verilog и подготовку дополнений к стандартным файлам описания параметров БЭ для подсистем функционально-логического моделирования промышленно эксплуатируемых САПР.

Библиотека стандартных элементов фирмы Artisan [2] оказалась недостаточной для проектирования СС-схем и, в частности, СС-вычислителя. Дополнительно потребовалось 27 псевдодинамических элементов. В их состав вошли различные варианты мультиплексов 2:1 и 3:1, гистерезисные триггеры (Г-триггеры) [3], полусумматоры, полные одноразрядные сумматоры и элементы "неравнозначности" на 2 и 3 входа.

Особенность используемых псевдодинамических элементов заключается в несимметричности принципиальной схемы на КМОП-транзисторах, обусловленной типом спейсера СС-вычислителя и принципом организации хранения промежуточных данных в конвейере вычислительного тракта.

Все элементы и блоки в составе СС-вычислителя используют парафазные информационные сигналы с нулевым спейсером [4]. Это позволило при реализации принципиальных схем псевдодинамических элементов максимально упростить часть схемы на транзисторах с каналом р-типа проводимости. Пример принципиальной схемы псевдодинамического мультиплексора 2:1 показан на рис. 1.

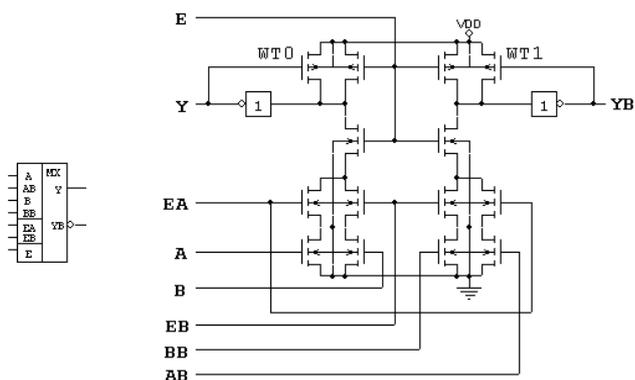


Рис. 1. Принципиальная схема мультиплексора 2:1

Здесь сигналы  $\{A, AB\}, \{B, BB\}$  – парафазные информационные с нулевым спейсером;  $EA, EB$  – входы выборки с нулевым спейсером;  $E$  – вход управления, регулирующий фазовые переходы. При  $E = 0$  мультиплексор находится в спейсере: на обоих его выходах низкий уровень (логический 0) независимо от состояния остальных входных сигналов. Слабые транзисторы р-типа WT1 и WT2 обеспечивают сохранение спейсера на выходах мультиплексора после переключения входа управления  $E$  в логическую 1. Но они не препятствуют переключению соответствующего выхода в логическую 1 при переходе в рабочую фазу во время  $E = 1$ .

Рабочее состояние ( $\{Y = 1, YB = 0\}$  или  $\{Y = 0, YB = 1\}$ ) сохраняется при переходе информационных входов и/или сигналов выборки в спейсер за счет того, что паразитная емкость на входе соответствующего инвертора разряжена.

Таким образом, схема на рис. 1 обеспечивает хранение как спейсерного, так и рабочего состояния, что позволяет использовать ее в качестве разряда регистра хранения данных в конвейере СС-вычислителя.

Реализация трехвходового логического элемента неравнозначности представлена на рис. 2. В отличие от схемы мультиплексора, она не имеет отдельного входа управления  $E$ . Его роль играет один из парафазных информационных сигналов –  $\{B, BB\}$ . Комбинация  $B = BB = 0$  переводит выходы элемента в спейсер ( $Y = YB = 0$ ). Поступление на вход  $\{B, BB\}$  рабочего состояния  $\{B = 1, BB = 0\}$  или  $\{B = 0, BB = 1\}$  разрешает переключение одного из выходов в состояние логической 1 в зависимости от значений остальных входов.

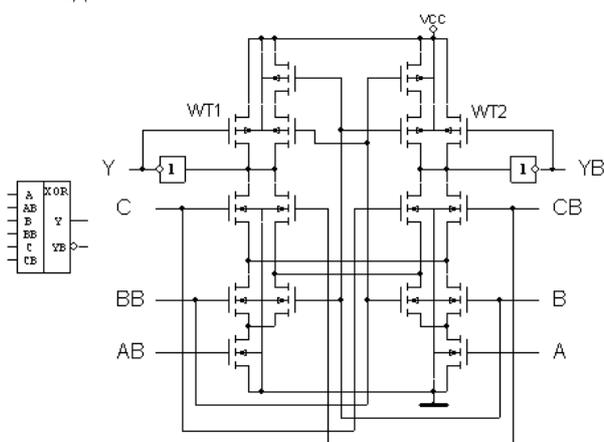


Рис. 2. Схема элемента неравнозначности

Элемент неравнозначности также обеспечивает активное хранение спейсера и пассивное хранение рабочего состояния на своих выходах.

Остальные псевдодинамические элементы реализуются аналогично.

Для включения новых элементов в систему логического моделирования проведена их характеристика.

### III. ОСОБЕННОСТИ ХАРАКТЕРИЗАЦИИ

Характеристика необходима для извлечения временных и энергетических параметров и паразитных характеристик элементов из их топологической реализации для последующего использования системами логического моделирования.

Одной из важнейших характеристик элемента является его быстродействие – задержки переключения из 0 в 1 и обратно. Известно, что задержка переключения зависит от ряда параметров – напряжения питания, температуры окружающей среды, нагрузочной емкости и внутренних паразитных параметров элемента, а также от длительности фронта входного сигнала. Паразитные параметры извлекаются из топологической реализации элемента на этапе верификации

топологии по принципиальной схеме элемента. Остальные параметры задаются матрицами зависимостей.

Совокупность напряжения питания ( $U_{\dot{r}}$ ) и температуры ( $T$ ) определяла вариант условий функционирования: типовой ( $U_{\dot{r}} = 1.8B, T = 25^{\circ}C$ ), наихудший ( $U_{\dot{r}} = 1.62B, T = 125^{\circ}C$ ) и наилучший ( $U_{\dot{r}} = 1.98B, T = -60^{\circ}N$ ). Для каждого варианта условий функционирования путем характеристики формировался свой набор файлов описания параметров БЭ.

Характеризация элементов осуществлялась с помощью программы SignalStorm фирмы Cadence. Она обеспечивает получение параметров элементов с погрешностью не более 5%, что является удовлетворительным для целей функционально-логического моделирования. Исходными данными для этой программы является воссозданная из топологии принципиальная схема элемента, включающая в себя и паразитные компоненты – емкости и резисторы.

Характеризация простых логических элементов, не содержащих элементов памяти, не вызывает затруднений при использовании программы SignalStorm. Однако при характеристике псевдодинамических элементов возникают трудности, связанные с правильной идентификацией типа элемента. Несмотря на наличие функции хранения, разработанные псевдодинамические элементы не являются стандартными триггерами. В них нельзя выделить вход синхронизации. Попытка формальной характеристики приводит к ряду ошибок на разных этапах характеристики.

Почти для всех псевдодинамических элементов удалось решить проблемы формальной характеристики с помощью следующих приемов:

- 1) построения gate-файла, задающего в явном виде структуру принципиальной схемы элемента;
- 2) использования команды db\_diff, детализирующей описание типов входов и выходов элемента.

Однако провести характеристику некоторых сложных псевдодинамических элементов автоматически с помощью программы SignalStorm не удалось. Они были отхарактеризованы вручную при помощи средств электрического моделирования фирмы Cadence.

Для проверки работы программы автоматической характеристики SignalStorm были вручную отхарактеризованы некоторые простые элементы, ранее уже характеризованные автоматически. Полученные результаты отличались от результатов автоматической характеристики незначительно – в пределах 2–3%.

Следует отметить, что при ручной характеристике можно более точно описать условия переключения для сложных элементов, поскольку задержка переключения сигнала зависит иногда от состояния всех (а не только изменяемого) входов элемента.

Исследования показали, что для ряда элементов при одинаковом состоянии входных и выходных сигналов задержки могут иметь некоторые (обычно несущест-

венные) различия в зависимости от того, какие сигналы переключались перед этим, поскольку из-за этого возможен разный уровень напряжения в отдельных узлах схемы.

На основе результатов характеристики были построены модели новых элементов, использованные при отладке аппаратной модели алгоритма делителя. Сравнительный анализ показал, что полученные таким образом модели оказались достаточно близкими по параметрам к реальным схемам. Разница в задержках переключений схемы при моделировании программами функционально-логического и электрического моделирования оказалась не больше 5%.

### III. ТРАНСЛЯЦИЯ РЕЗУЛЬТАТОВ ХАРАКТЕРИЗАЦИИ

Результат характеристики элемента – некоторый текстовый файл с описанием полученных его параметров для заданных ограничений и условий окружающей среды. Он содержит исчерпывающую информацию по анализируемому элементу, но имеет форматы описания, не совпадающие с форматами стандартных файлов описания библиотек элементов, используемых системами синтеза и функционально-логического моделирования (Encounter, Modelsim, NCVerilog и другими). Поэтому важным этапом ввода новых элементов в состав готовой библиотеки является трансляция полученных результатов характеристики в форматы стандартных файлов функционально-логического описания БЭ.

Ручная трансляция может использоваться при добавлении в готовую библиотеку одного-двух новых элементов. Если же речь идет о десятках элементов, необходимо средство автоматической трансляции форматов описания параметров элементов.

В Институте проблем информатики (ИПИ) РАН был разработан комплекс программных средств СТЕРХ (Система Трансляции Естественных Результатов Характеризации), обеспечивающий автоматическую трансляцию результатов характеристики, полученных с помощью программы SignalStorm (фирмы Cadence). СТЕРХ (см. рис. 3) включает в себя:

- 1) блок загрузки данных, принимающий входные данные (результаты характеристики) и условия работы программы, а также проводящий первичный синтаксический и семантический контроль данных;
- 2) блок трансляции данных, обрабатывающий результаты характеристики; в его составе следует выделить модуль, устанавливающий взаимодействие между входными и выходными портами; модули, которые на основе этого взаимодействия обрабатывают информацию о таких характеристиках, как потребляемая мощность (Internal Power), задержки элементов (Pin-To-Pin Delay), время переключения выхода (Output transition); модуль, формирующий на их основе еди-

- ную структуру параметров элемента библиотеки;
- 3) модуль, включающий новый элемент в формируемую пользовательскую библиотеку;
  - 4) модуль контроля ошибочных ситуаций;
  - 5) блок выдачи результатов работы программы: оттранслированные элементы, созданную на их базе пользовательскую библиотеку, журнальный файл ошибочных ситуаций.

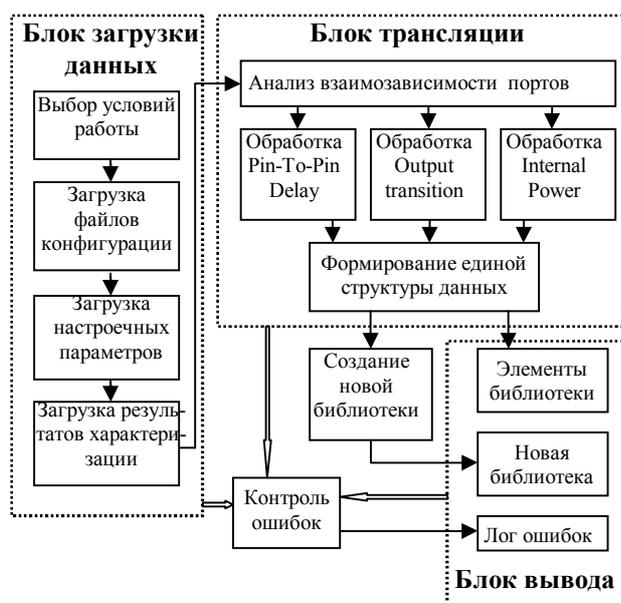


Рис. 3. Блок-схема программы СТЕРХ

Программный комплекс СТЕРХ позволяет оттранслировать полученные результаты характеристики, и проверить полученные при характеристике файлы результатов на наличие ошибок, несоответствий и отсутствие отдельных разделов описания элемента.

Исходными данными для СТЕРХ являются:

- 1) файлы результатов характеристики программой SignalStorm в формате "out";
- 2) файлы конфигурации, содержащие информацию о расположении исходных файлов и результатов работы, а также о наборе обрабатываемых файлов;
- 3) файл формата "LEF", содержащий информацию о топологии элемента;
- 4) шаблоны, содержащие настройки стандартной библиотеки для всех условий функционирования.

Результатом работы СТЕРХ является обновленный (дополненный) файл описания библиотеки элементов для заданных условий работы. Формат полученного файла полностью совпадает со стандартным форматом соответствующих файлов. Он содержит описания задержек элементов, необходимых, например, для функционально-логического моделирования (Modelsim, NCVerilog и др.) или для топологического синтеза (Encounter и др.). Имя формируемого файла описания пользовательской библиотеки зависит от задан-

ных условий работы: wUserLib.lib – для наихудшего случая, tUserLib.lib – для типовых условий, bUserLib.lib – для наилучшего случая.

Кроме того, для каждого элемента создается индивидуальный файл, содержащий описание этого элемента в стандартном формате – для облегчения последующего анализа. Одновременно ведется журнальный файл ошибок error.log, который в случае неверных входных данных зафиксировывает ошибочную ситуацию. При этом правильно заданные элементы будут обработаны.

Опытная эксплуатация программного комплекса СТЕРХ показала его эффективность при формировании стандартных файлов функционально-логического описания БЭ.

#### IV. ЗАКЛЮЧЕНИЕ

Готовые библиотеки стандартных элементов, используемые для проектирования заказных БИС, обычно содержат относительно небольшое количество элементов, обеспечивающих разработку синхронных проектов средствами САПР. Эффективное проектирование самосинхронных схем требует использования гораздо более широкой номенклатуры БЭ.

Характеризация элементов библиотеки – необходимый этап расширения состава библиотеки стандартных элементов при проектировании СС-БИС. Представленный программный комплекс СТЕРХ обеспечивает трансляцию результатов характеристики, полученных с помощью программы SignalStorm фирмы Cadence, в файлы функционально-логического описания БЭ стандартного формата.

Работоспособность и эффективность программного комплекса СТЕРХ подтверждена при разработке СС-вычислителя, выполняющего операции деления и извлечения квадратного корня.

#### ЛИТЕРАТУРА

- [1] IEEE Standards Committee 754. IEEE Standard for Binary Floating-Point Arithmetic // ANSI/IEEE Standard 754-1985. Institute of Electrical and Electronics Engineers, New York, 1985. Reprinted in SIGPLAN Notices, 22(2):9-25, 1987.
- [2] Chartered Semiconductor 0.18μm IB Process 1.8-Volt SAGE-XTM. Standard Cell Library Databook // Artisan Components, February 2003, Release 1.0.
- [3] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. М.: Наука, 1986. С. 165.
- [4] Ю.Г. Дьяченко, Ю.В. Рождественский, В.Н. Морозов, Д.Ю. Степченко. Квазисамосинхронный вычислитель: практическая реализация // 3-ья Международная конференция "Проблемы разработки микро- и нанoeлектронных систем" МЭС-2008: материалы конференции (Москва, 6-10 окт. 2008г.), М.: ИППМ РАН, 2008. С. 435-440.