

Подсистема САПР генерации функциональных блоков кодера/декодера сверточных турбокодов

А.В. Ковалев, Н.А. Бычков

Технологический институт Южного федерального университета в г. Таганроге,
andr@fep.tsure.ru, n.bychkoff@gmail.com

Аннотация — Разработано программное обеспечение TurboGen для генерации VHDL-спецификаций сложных функциональных блоков кодера/декодера сверточных турбокодов. Предложена новая структура вычислительной системы турбокодека, обладающая высоким быстродействием за счет конвейеризованного подхода при проектировании, а также эффективного использования банков оперативной памяти.

Ключевые слова — САПР, сложный функциональный блок, сверточный турбокод, кодер, декодер, алгоритм MAP, СБИС, ПЛИС, VHDL.

I. ВВЕДЕНИЕ

В современных системах цифровой связи при передаче данных по зашумленному каналу ключевую роль играет достоверность принятой информации. Для обеспечения защиты информации от шумов и, соответственно, повышения верности приема применяют технологии помехоустойчивого кодирования, самой эффективной из которых в настоящее время является сверточное турбокодирование [1].

К сожалению, пока технология турбокодирования не нашла широкого применения в отечественных разработках и в настоящее время находится на начальном этапе своего развития. Это связано как минимум с двумя факторами: отсутствие исчерпывающей документации по данной технологии на русском языке, а также высокая сложность реализации. В частности, достаточно серьезную задачу представляет аппаратная реализация устройства декодирования сверточных турбокодов по алгоритму MAP (Maximum of A Posteriori) [2]-[4].

II. ПРОБЛЕМАТИКА ПРОЕКТИРОВАНИЯ ПАРАМЕТРИЗУЕМЫХ ТУРБОКОДЕКОВ

Известно, что эффективность турбокода напрямую связана с его конфигурационными параметрами [5]. Причем параметров, задающих турбокод, достаточно много. И если сложность реализации кодирующего устройства практически не зависит от параметров конфигурации, а задача турбокодирования сводится к

выполнению ряда простых логических операций над поступающей информацией, то с устройством декодирования сверточного турбокода дело обстоит иначе.

Вычислительным ядром турбодекодера является MAP-декодер, который получил название декодера с мягким входом и мягким выходом (Soft Input Soft Output — SISO) [6]-[9]. Он позволяет исправлять ошибки, возникающие при передаче закодированной информации по каналу с низким отношением сигнал/шум. Процесс декодирования турбокода заключается в итеративном вычислении максимума апостериорной вероятности по алгоритму MAP для всех информационных символов принятой последовательности, которые затем используются для изменения значений информационных символов. Этот алгоритм основан на достаточно серьезном математическом аппарате и использует в своих расчетах сложные экспоненциальные функции. Хотя на практике используется аппроксимация алгоритма MAP, а обработка данных MAP-декодером сводится к выполнению многочисленных элементарных арифметических операций, сложность реализации устройства декодирования сильно зависит от параметров определяющих турбокод. Так, аппаратная сложность турбодекодера квадратично возрастает с увеличением длины кодового ограничения. Кроме того, конфигурация турбокода влияет на неоднозначность системы соединений между состояниями по кодовой решетке, а это значит, что система шинных коммуникаций турбодекодера будет изменяться при различных значениях параметров.

В связи с этим возникают трудности при реконфигурации турбокодека, параметры которого определяют не только разрядность оперируемых данных или емкость банков оперативного запоминающего устройства (ОЗУ), но и количество комбинационных и последовательностных элементов, а также порядок соединений между ними. В итоге, при изменении конфигурационных параметров турбокодека, придется возвратиться к расчетам основных компонентов системы и повторить практически все этапы проектирования.

III. ПОДСИСТЕМА TURBOGEN

Для решения задачи проектирования параметризуемых турбокодексов предлагается использовать разработанное программное обеспечение TurboGen, которое позволяет уменьшить затраты на проектирование сверхбольшой интегральной схемы (СБИС) кодера/декодера сверточных турбокодексов. Разработчику требуется ввести необходимые значения параметров в систему и провести генерацию проекта в виде VHDL-описаний. С этой целью интерфейс программы TurboGen (рис. 1) содержит две основные вкладки “кодер” и “декодер”, предназначенные для конфигурирования блоков кодирующего и декодирующего устройств, соответственно.

Кроме основных конфигурационных параметров турбокодека (размера информационного блока, длины кодового ограничения, значений полиномов генератора кода, типа перемежителя, скорости кодирования, разрядности мягких решений, числа итерационных циклов декодирования и др.), TurboGen позволяет задать дополнительные параметры синтеза, которые расширяют возможности управления функционированием системы непосредственно во время работы, делают её более гибкой за счет программирования тех или иных параметров, а также влияют на способы ввода/вывода информации и организацию оперативной памяти. Так, например, можно отказаться от использования встроенных блоков ОЗУ, расположенных

в архитектуре турбокодека, а в интерфейс включить все необходимые шины и сигналы для подключения модулей внешней памяти.

В TurboGen встроены средства моделирования, при помощи которых можно осуществить тестирование проектируемого турбокодека при заданных условиях и построить график зависимости вероятности возникновения битовой ошибки (P_b) при декодировании от отношения энергии бита (E_b) к спектральной плотности шума (N_0), так называемой зависимости BER (Bit Error Rate).

Если результаты моделирования удовлетворяют требованиям разработчика, выполняется генерация проекта. В процессе генерации VHDL-описания компонентов турбокодека сохраняются в отдельные для кодера и декодера директории и готовы к использованию в системах автоматического проектирования (САПР) СБИС для реализации в виде программируемой логической интегральной схемы (ПЛИС) или закладной СБИС.

IV. АРХИТЕКТУРА БЛОКОВ ТУРБОКОДЕКА

В основу VHDL-описаний блоков турбокодека предложена архитектура вычислительной системы, обладающая высоким быстродействием за счет конвейеризованного подхода при проектировании, а также эффективного использования банков оперативной памяти [10]-[13].

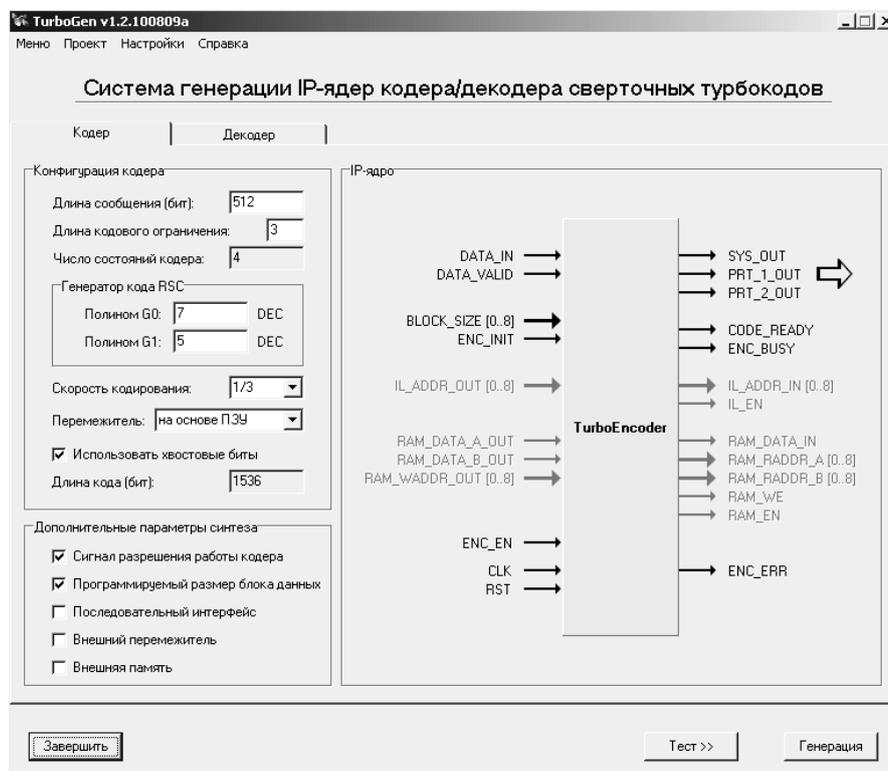


Рис. 1. Главное окно программы TurboGen

А. Турбокодер

Аппаратное ядро кодера сверточных турбокодов формируется на основе функциональной схемы, которая представлена на рис. 2. В блок буферизации данных загружаются входные биты для последующего кодирования. Этот компонент выполнен на основе двухпортового ОЗУ и работает совместно с блоком перемежения данных (InterLeaver), который генерирует адреса, перемешанные в случайном порядке или по заданному стандарту (UMTS/3GPP [14], CDMA2000/3GPP2, CCSDS, DVB-RSC, DVB-RCT, Eutelsat и др.). На основе данных блоков осуществляется псевдослучайное перемешивание принятых данных. Кроме того, блок буферизации входной информации играет роль синхронизатора данных. Таким образом, после ввода и сохранения информационного пакета выдача принятых данных, как в обычном, так и в перемешанном виде, осуществляется одновременно, т.е. синхронизировано, что повышает быстродействие системы.

Подсистема САПР TurboGen позволяет задавать аппаратную структуру перемежителя. При его реализации на основе постоянного запоминающего устройства (ПЗУ) генерация псевдослучайной последовательности осуществляется в результате чтения заранее записанных перемешанных адресов, которые подаются на второй адресный вход двухпортового ОЗУ. Такой подход обусловлен сложностью аппаратной реализации “хорошего” генератора псевдослучайной последовательности (ГПСЧ), который смог бы генери-

ровать перемешанные адреса из интервала от 0 до $N-1$ с максимальным периодом повторения. Поэтому используется его аппроксимация, реализованная в виде ПЗУ. В TurboGen также существует возможность реализации перемежителя в виде детерминированного ГПСЧ на основе линейного конгруэнтного метода генерации, требующего меньших аппаратных затрат, но обладающего меньшей случайностью.

Кодирование информации выполняется двумя параллельно включенными рекурсивными систематическими сверточными кодерами RSC (Recursive Systematic Convolution encoder) [1].

На выход турбокодера поступают систематические и проверочные данные с выходов RSC-кодеров, мультиплексирование которых определяет кодовую скорость. Чем выше скорость кодирования, тем ниже корректирующая способность системы декодирования.

Б. Турбодекодер

В отличие от кодера сверточных турбокодов, турбодекодер, функциональная схема которого представлена на рис. 3, оперирует не битами, а многобитными данными. Это связано с тем, что систематические и проверочные данные, которые подаются на его вход, представляют собой значения, выработанные демодулятором по мягкой схеме принятия решений, модуль которых определяет надежность этих решений, а знак соответствует передаче 0 или 1 информационного бита.

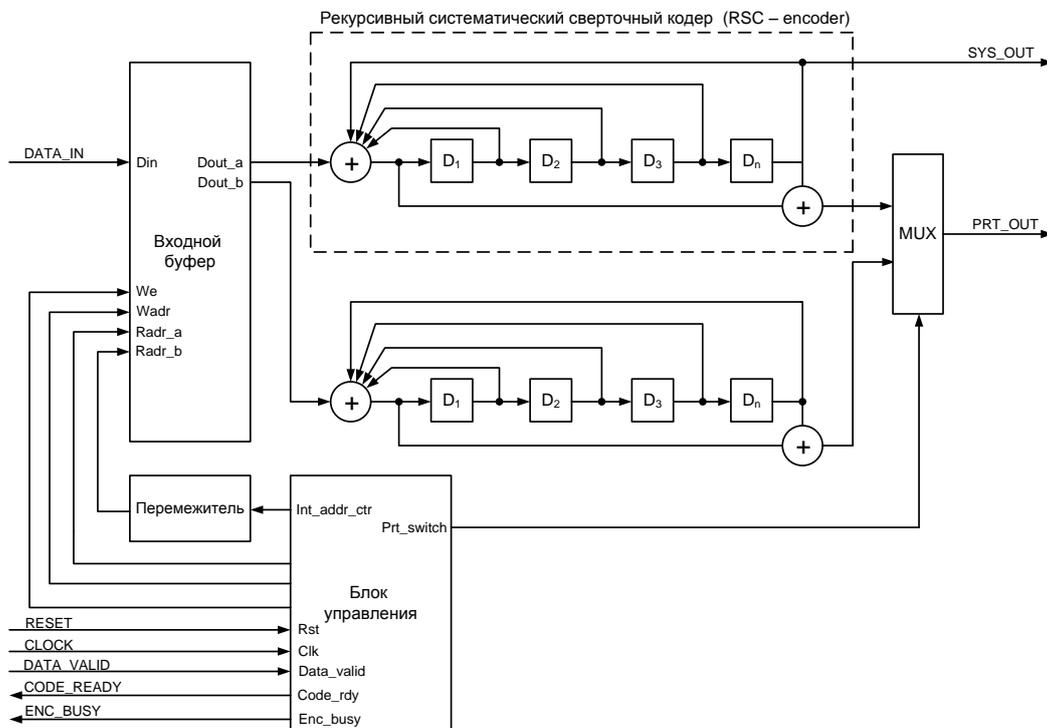


Рис. 2. Функциональная схема кодера сверточных турбокодов

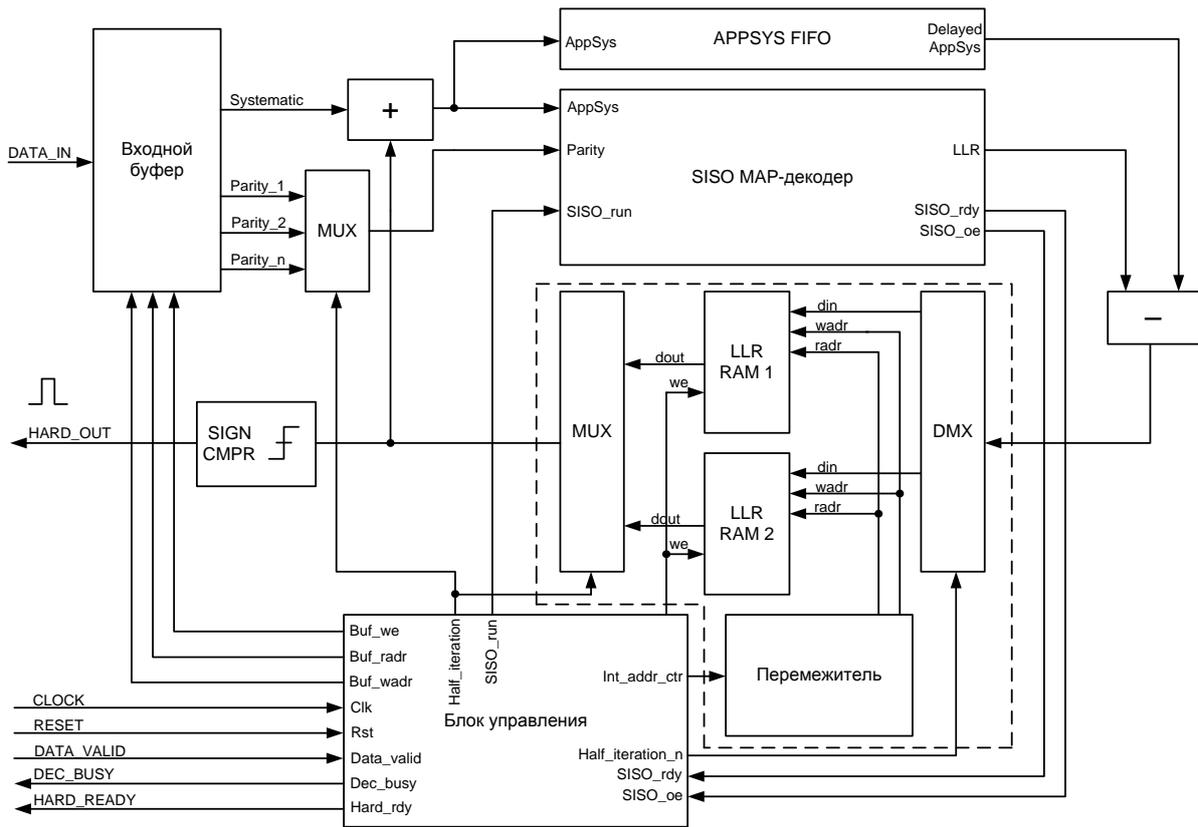


Рис. 3. Функциональная схема декодера сверточных турбокодов

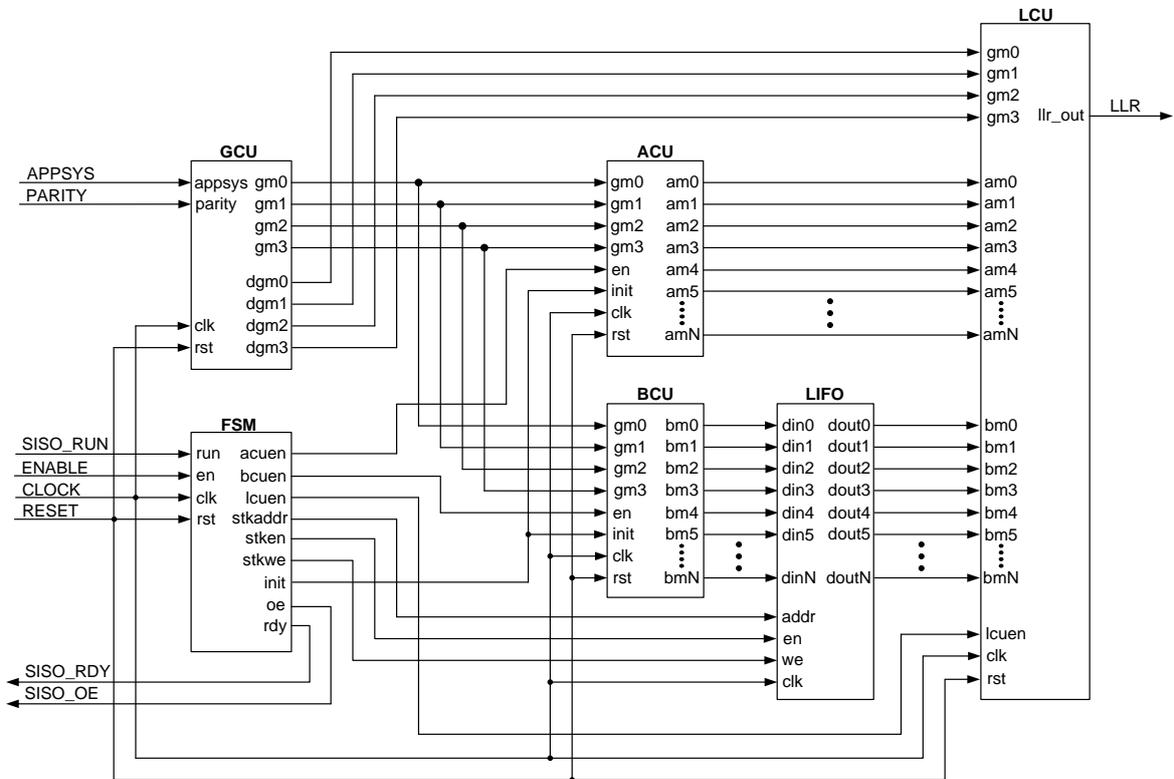


Рис. 4. Функциональная схема MAP-декодера

После приема и буферизации закодированной последовательности турбодекодер переходит в итеративный режим декодирования, в ходе которого мягкие решения систематических и проверочных данных подаются на вход MAP-декодера (рис. 4) вместе с априорной информацией, которая дополнительно характеризует надежность этих решений. Вычисляя логарифм отношения функций правдоподобия (Log-Likelihood Ratio - LLR) для каждой принятой пары, MAP-декодер использует все метрики состояний из всех возможных переходов по кодовой решетке, чтобы получить полную статистическую картину информационных символов и определить наиболее вероятный информационный бит, который должен был быть передан турбодекодером. В следующем итерационном цикле из полученных значений LLR выделяется внешняя апостериорная информация, которая подается обратно на вход MAP-декодера, но уже в качестве априорной, тем самым обновляя информацию о надежности принятых данных.

В разработанной схеме турбодекодера с целью экономии занимаемой площади на кристалле вместо двух последовательно включенных MAP-декодеров, которые сопоставляются двум RSC-кодерам турбодекодера (как это предлагается в классической схеме), используется один, а цикл декодирования делится на две фазы.

Эффективность использования банков оперативной памяти LLR RAM 1 и LLR RAM 2 заключается в том, что в процессе декодирования, пока в одном ОЗУ хранятся значения вычисленных LLR, другое ОЗУ используется в целях перемежения или деперемежения и наоборот. Смена ролей между буферами осуществляется при помощи мультиплексирования входов и выходов ОЗУ и зависит от текущей фазы декодирования.

Очевидно, что для успешного выполнения операции декодирования в турбодекодере должен использоваться такой же закон перемеживания данных, что и в турбокодере. Поэтому блоки перемежения турбокодера и турбодекодера идентичны.

После завершения конечного числа итераций декодирования обработанные данные пропускаются через пороговый элемент для принятия жестких решений, последовательность которых является результатом декодирования.

IV. АНАЛИЗ ЭФФЕКТИВНОСТИ ДЕКОДИРОВАНИЯ

На рис. 5 показана зависимость BER для некодированного сигнала и турбокода с параметрами, которые приняты в стандарте UMTS/3GPP: длина информационного блока $N = 4096$, степень кодирования $R = 1/3$, длина кодового ограничения $K = 4$, полиномы RSC-кода $G1/G2 = 11/13$, количество итераций декодиро-

вания $Q = 7$, разрядность мягких решений $SW = 3$, тип перемежителя - "на основе ПЗУ", алгоритм декодирования - "max-log-MAP". Моделирование осуществлялось для канала с аддитивным белым гауссовым шумом (АБГШ) при двоичной фазовой модуляции сигнала. Из полученных результатов видно, что BER турбокода достигает значения 10^{-7} при отношении $E_b/N_0 = 2$ дБ, в то же время BER некодированного сигнала при этом отношении составляет всего $10^{-0.5}$.

Компания Xilinx предлагает сторонним разработчикам готовые решения в виде функциональных блоков различных устройств, в том числе ориентированных на применение в области помехоустойчивого кодирования, в частности, турбокодирования. Так, в работе [15] приведены результаты синтеза турбодекодера, используемого в стандарте UMTS/3GPP для ПЛИС xc5v1x50 серии Virtex 5 фирмы Xilinx. При этом параметры турбодекодера немногим отличаются от приведенных выше параметров, которые были выбраны при генерации проекта в TurboGen. Поэтому, с целью сравнения и оценки эффективности полученных результатов, формирование топологии для сгенерированных блоков турбодекодера осуществлялось в САПР Xilinx ISE v.11.4 для той же микросхемы.

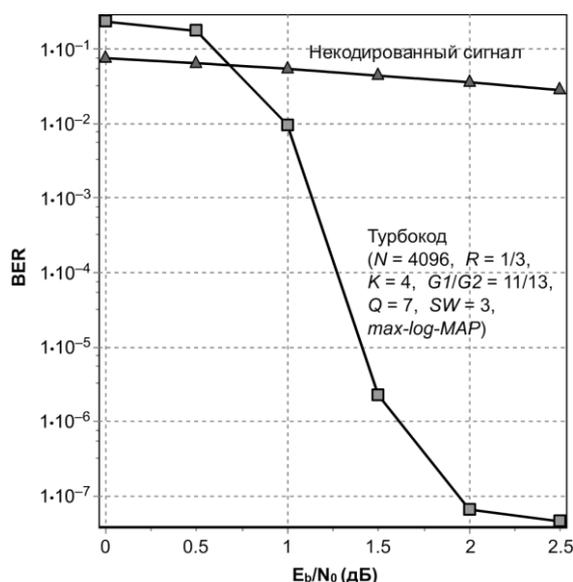


Рис. 5. Зависимость BER для турбокода и некодированного сигнала

Результаты, полученные при формировании топологии для сгенерированных блоков турбокодека, представлены в таблице 1. Практически при одинаковых значениях максимальной частоты для реализации турбодекодера фирмы Xilinx расходуется в 2 раза больше ресурсов логических ячеек (Slice Look-Up Table – LUT) и в 6 раз больше триггерных ячеек (Slice Registers) ПЛИС. Объемы памяти, необходимые для реализации турбодекодера фирмы Xilinx, составляют

Результаты синтеза

Параметры	Турбокодер (TurboGen)	Турбодекодер (TurboGen)	Турбодекодер (Xilinx LogicCore)
Занято Slice LUTs	1216	1654	3483
Занято Slice Registers	53	665	4115
Занято ОЗУ	52 кбит	196 кбит	360 кбит
Максимальная частота	307 МГц	296 МГц	299 МГц
Пропускная способность	153,5 Мбит/с	21 Мбит/с	18,69 Мбит/с

360 кбит, а пропускная способность устройства при 7 итерациях декодирования составляет 18,69 Мбит/с, эти значения параметров также уступают значениям, которые приведены для турбодекодера, сгенерированного в TurboGen.

V. ЗАКЛЮЧЕНИЕ

Подсистема САПР TurboGen позволяет генерировать VHDL-описания сложных функциональных блоков кодера/декодера сверточных турбокодов с заданной конфигурацией. Это удобный и легкий в использовании инструмент, существенно облегчающий процесс проектирования турбокодеров с различной конфигурацией. При этом сгенерированные VHDL-описания сложных функциональных блоков турбокодека могут быть реализованы как на ПЛИС, выбор которой осуществляется разработчиком, так и в виде заказной СБИС.

Результаты синтеза показали, что турбодекодер сформированный в программе TurboGen, при реализации требует меньших аппаратных ресурсов ПЛИС, чем турбодекодер, предлагаемый фирмой Xilinx, при этом максимальная частота и пропускная способность обоих устройств остается практически на одном уровне.

К преимуществам TurboGen можно отнести широкий набор конфигурационных параметров турбокодека, а также открытый исходный VHDL-код формируемых функциональных блоков. В отличие от таких программных генераторов аппаратных ядер турбокодеков, как Altera MegaCore и Xilinx LogiCore, которые позволяют реализовать проект только на микросхемах компании-разработчика с применением соответствующих САПР, сгенерированные в TurboGen функциональные блоки кодера/декодера сверточных турбокодов обладают большей универсальностью и могут использоваться практически в любой САПР СБИС.

ЛИТЕРАТУРА

- [1] Berrou N., Glavieux A., Thitimajshima P. Near Shannon Limit Error-Correcting Coding and Decoding: Turbo-Codes // Proceedings of ICC.93, Geneva, Switzerland, pp. 1064-1070, May, 1993.
- [2] Скляр Б. Цифровая связь. Теоретические основы и практическое применение – 2 изд., – М.: «Вильямс», 2007. – с. 1104.
- [3] Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования. Методы, алгоритмы, применение. М.: «Техносфера», 2006. – с. 320.
- [4] Huang Fu – Hua. Evaluation of Soft Output. Decoding for Turbo Codes, thesis at the Faculty of the Virginia Polytechnic Institute, May 1997., <http://scholar.lib.vt.edu/theses/available/etd-71897-15815>.
- [5] Barbulescu S. Iterative decoding of turbo codes and others concatenated codes // Dissertation for the degree of doctor of philosophy, University of South Australia, February 1996.
- [6] Boutillon E., Gross Warren J., Gulak P. Glenn. VLSI Architectures for the MAP Algorithm // IEEE transaction on communications, February 2003, vol.51, no.2.
- [7] Nikolic-Popovic J. Implementing a MAP decoder for cdma2000TM turbo codes on a TMS320C62x DSP device // Texas Instruments, SPRA629, May 2000.
- [8] Sabeti L. New Design of a MAP Decoder // Research center for integrated microsystems, University of Windsor, April 2004.
- [9] Valenti M.C. and Sun J. The UMTS turbo code and an efficient decoder implementation suitable for software-defined radios // International Journal of Wireless Information Networks, 2001, vol. 8, no. 4, pp. 203–215.
- [10] Worm A., Michel H., Gilbert F., Kreiselmaier G., Thul M., When N. Advanced implementation issues of turbo-decoders // In Proc. 2nd International Symposium on Turbo-Codes and Related Topics, Sep. 2000.
- [11] Cheng M. K., Nakashima M. A., Moision B. E., Hamkins J. Optimizations of a Turbo-Like Decoder for Deep-Space Optical // Communications, IPN Progress Report 42-168, 2007.
- [12] Bjärmark J. Hardware Accelerator for Duo-binary CTC decoding // Algorithm Selection, HW/SW Partitioning and FPGA Implementation, LiTH-ISY-EX--06/3875--SE, Linköping, 2006.
- [13] Chaikalis C., Noras J. M., Riera-Palou F. Improving the reconfigurable SOVA/log-MAP turbo decoder for 3GPP // in Proceedings of CSNDSP, Stafford, UK, July 2002.
- [14] 3GPP Spec. 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Multiplexing and channel coding (FDD) (Release 6). 3GPP Organizational Partners, Dec. 2003.
- [15] Xilinx, inc. 3GPP Turbo Decoder v4.0 // June 2007. http://www.xilinx.com/support/documentation/ipcommunicationnetwork_errorcorrect_do-di-tccdec-umts.htm.

[1] Berrou N., Glavieux A., Thitimajshima P. Near Shannon Limit Error-Correcting Coding and Decoding: Turbo-