

Моделирование статической погрешности конвейерных АЦП с калибровкой

В.Б. Лифшиц, Ю.В. Агрич

Учреждение Российской академии наук
Институт проблем проектирования в микроэлектронике РАН,

lvb@alphachip.ru

Аннотация — Предложена модель, позволяющая быстро оценить влияние технологических факторов на статическую погрешность конвейерных АЦП с калибровкой до начала схемотехнического проектирования. Рассмотрены основные источники погрешности. Приведены примеры из опыта разработки 12-разрядного АЦП по 180 нм технологии.

Ключевые слова — АЦП, ЦАП, УВХ, коррекция, калибровка, Flash, RSD, INL, DNL.

I. ВВЕДЕНИЕ

Современные субмикронные процессы предоставляют новые возможности для улучшения характеристик аналого-цифровых преобразователей (АЦП). Более того, возникают новые варианты традиционных архитектур преобразователей. Многие архитектуры включают элементы калибровки отдельных источников погрешности.

В этих условиях становится важным наличие методов и средств быстрой оценки архитектурных вариантов до начала длительного и трудоёмкого схемотехнического проектирования. Для 12-разрядного конвейерного АЦП с калибровкой построена модель погрешности. Модель построена исходя из понимания основных источников погрешности и их зависимости от параметров технологического процесса.

Модель построена в программной среде **Matlab**.

II. ОБЪЕКТ МОДЕЛИРОВАНИЯ

В ходе проектирования 12-разрядного конвейерного АЦП по 180 нм КМОП технологии рассмотрены несколько архитектурных вариантов. Обсуждаемая здесь модель дала важную информацию для выбора окончательного варианта. Основными рассмотренными вариантами являются:

- классический конвейер из 12 $1\frac{1}{2}$ -разрядных RSD (Redundant Signed Digit) каскадов [1];
- входной 3-разрядный параллельный преобразователь и 10 $1\frac{1}{2}$ -разрядных RSD каскадов;

- 4-разрядный параллельный преобразователь, 7 $1\frac{1}{2}$ -разрядных RSD каскадов, 2-разрядный параллельный преобразователь [2]. Этот вариант архитектуры представлен в работе “Архитектура быстродействующих конвейерных АЦП, оптимизированная под современные субмикронные процессы”, помещенной в данном сборнике и далее рассмотрен подробно.

III. АРХИТЕКТУРА АЦП

На рис. 1 приведены важные для построения модели особенности архитектуры АЦП:

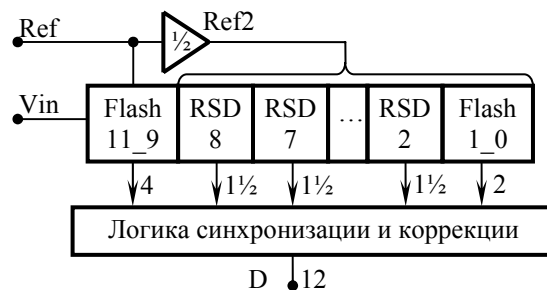


Рис. 1. Особенности архитектуры АЦП

Каскады преобразователя:

- входной 4-разрядный параллельный преобразователь Flash11_9, совмещённый с устройством выборки и хранения (УВХ). Цифры в имени каскада отражают номера битов выходного кода;
- семь $1\frac{1}{2}$ -разрядных RSD преобразователей RSD8 - RSD2;
- выходной 2-разрядный параллельный преобразователь Flash1_0.

Диапазон изменения аналоговых сигналов на выходе первого каскада в 4 раза меньше входного. Это позволяет использовать быстродействующие низковольтные 180 нм nMOS транзисторы во всём аналоговом тракте. Входной диапазон делится на 16 сегментов, УВХ имеет усиление 2. Выходной диапазон

обладает двукратной избыточностью, необходимой для коррекции ошибок компараторов (рис. 3а, 3б).

Для работы в уменьшенном диапазоне требуется источник пропорционально уменьшенного опорного напряжения. Буфер **Ref2** на рис. 1 делит исходное опорное напряжение пополам, ещё одно деление пополам происходит непосредственно в RSD каскадах. Такая конфигурация обусловлена требованиями к буферу, не рассматриваемыми в настоящей модели.

Погрешность формирования уменьшенного опорного напряжения является одним из доминирующих источников ошибок. Эта погрешность устраняется периодически запускаемой процедурой **калибровки**. Во время этой процедуры АЦП не выполняет нормальных преобразований.

Все каскады преобразователя построены по известной схеме **коррекции** [1]. При этом требования к точности компараторов снижены, диапазон выходного напряжения каскадов расширен, а выходной цифровой код каждого каскада обладает избыточностью. Коррекция происходит в ходе нормального функционирования АЦП.

Все каскады преобразователя работают по схеме двойной выборки [3]. Это позволяет удвоить частоту выборки ценой отказа от автокомпенсации смещения нуля усилителей.

Весь аналоговый тракт является полностью дифференциальным.

IV. МОДЕЛЬ ИДЕАЛЬНОГО АЦП

Модель АЦП построена на основе моделей отдельных каскадов. Модель отражает статические характеристики АЦП. Конвейерная задержка и ошибки неустановления моделью не учитываются.

Аналоговые величины модели приведены к диапазону [-1; 1]. В этом диапазоне величина опорного напряжения в RSD каскадах равна 2.

A. Flash11_9

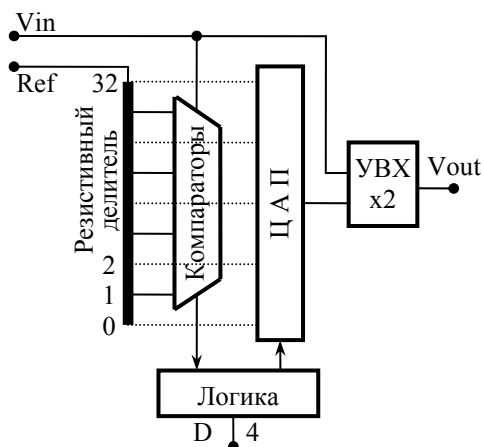


Рис. 2. Структура каскада Flash11_9

На рис. 2 приведена структура каскада Flash11_9, на рис. 3а - его идеальная передаточная характеристика.

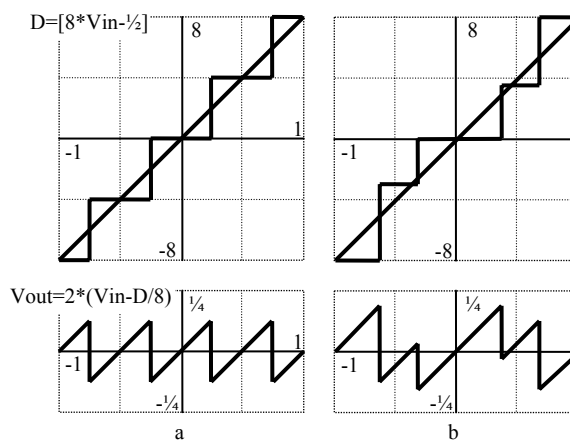


Рис. 3. Характеристика каскада Flash11_9: а – идеальная, б – с ошибками делителя и компараторов

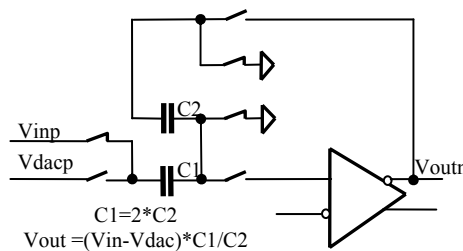


Рис. 4. Структура УВХ

На рис. 4 приведены детали одного дифференциального плеча одного из двух семплов, необходимые для построения модели ошибок. Семплер находится в состоянии выборки.

Б. RSD8 – RSD2

На рис. 5 приведена структура каскадов RSD8–2.

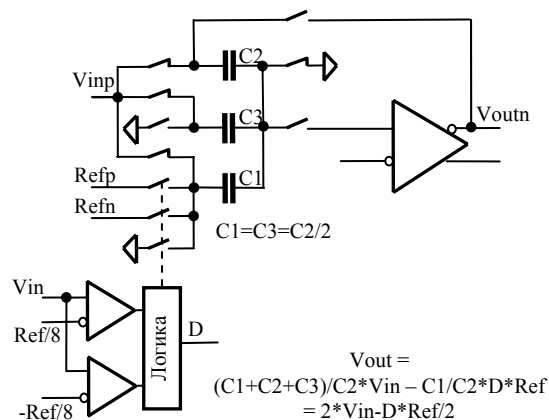


Рис. 5. Структура каскадов RSD8 – RSD2

На рис. 5 отражены детали одного дифференциального плеча одного из двух семплеров, необходимые для построения модели ошибок. Семплер находится в состоянии выборки. На рис. 6а приведена идеальная передаточная характеристика каскада.

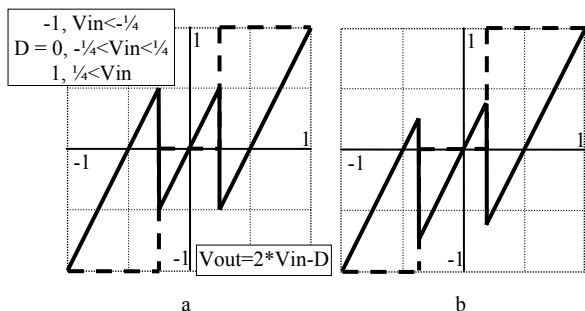


Рис. 6. Характеристика каскадов RSD8 – RSD2: а – идеальная, б – с ошибками компараторов

С. Flash1_0

Каскад Flash1_0 состоит из трёх компараторов с уровнями переключения $-1/2$, 0 $+1/2$ и простейшей логики формирования 2-разрядного цифрового кода. На рис. 7 приведена идеальная передаточная характеристика каскада.

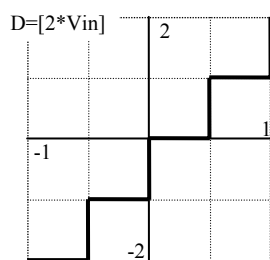


Рис. 7. Характеристика каскада Flash1_0

V. Источники ошибок

В модели учитываются следующие основные компоненты ошибок:

- погрешность согласования резисторов делителя каскада Flash11_9;
- погрешность согласования конденсаторов в каскадах Flash11_9, RSD8 – RSD2. Несогласование конденсаторов порождает ошибку усиления;
- смещение нуля в каскадах Flash11_9, RSD8 – RSD2;
- смещение буфера уменьшенного опорного напряжения Ref2 (рис. 1).

Кроме того, модель учитывает смещение компараторов всех каскадов. Эти ошибки не приводят к ошибкам на выходе АЦП, т.к. эффективно устраняются схемой коррекции, если находятся в допустимых пределах.

Важно отметить, что конечность коэффициентов передачи усилителей создаёт ошибку усиления, малую по сравнению с точностью согласования конденсаторов. Так как обе эти ошибки суммируются, в модели учитывается только большая из них. Процедура калибровки устраняет обе ошибки.

Каждый из источников ошибок представлен в модели как нормально распределённая случайная величина. Стандартное отклонение каждой ошибки обусловлено её природой и параметрами связанного с ней элемента АЦП. Далее случайная величина ошибки будет обозначаться как δ_σ , где σ - стандартное отклонение. В табл. 1 приведён полный перечень варьируемых параметров модели и значений их стандартных отклонений. Указаны также источник, обусловивший приведённые значения, и количество независимых случайных величин для каждого каскада.

Таблица 1

Варьируемые параметры модели

Обозначение	Значение	Объект, [размеры элемента или источник значения]	Каскад	Количество
srd	0.0009	Резистор делителя [7 сегментов 4x21 мкм]	Flash11_9	32
scf	0.0070	Смещение нуля компаратора [моделирование Монте-Карло]	Flash11_9	16
sgt1	0.0007	Конденсатор УВХ C1 [32 сегмента 5x5 мкм]	Flash11_9	1
sgt2	0.0009	Конденсатор УВХ C2 [16 сегментов 5x5 мкм]	Flash11_9	1
sot	0.0010	Смещение нуля усилителя [моделирование Монте-Карло]	Flash11_9	1
scp	0.0500	Смещение нуля компаратора [моделирование Монте-Карло]	RSD8...2	2*7
sgp1	0.0011	Конденсатор C1 [2 сегмента 11x12 мкм]	RSD8...2	1*7
sgp2	0.0008	Конденсатор C2 [4 сегмента 11x12 мкм]	RSD8...2	1*7
sgp3	0.0011	Конденсатор C3 [2 сегмента 11x12 мкм]	RSD8...2	1*7
sop	0.0010	Смещение нуля усилителя [моделирование Монте-Карло]	RSD8...2	1*7
scp	0.0500	Смещение нуля компаратора [моделирование Монте-Карло]	Flash1_0	3
sor	0.0700	Смещение нуля буфера [моделирование Монте-Карло]	Ref2	1

VI. МОДЕЛЬ РЕАЛЬНОГО АЦП

A. Flash11_9

Резистивный делитель (рис. 2) состоит из 32 топологически равных последовательно соединённых резисторов с сопротивлением $R_i = 1 + \delta_{srd}$, $i = 1 \dots 32$. Делитель задаёт сетку из 33 потенциалов

$$V_0 = 0, V_i = \sum_{j=1}^i R_j / \sum_{j=1}^{32} R_j, \quad i = 1 \dots 32$$

Чётные отводы делителя определяют 17 возможных напряжений на выходе ЦАПа

$$DAC_i = V_{2i} - V_{32-2i}, \quad i = 0 \dots 16$$

Нечётные отводы делителя и смещение компараторов определяют точки переключения компараторов

$$CF_i = V_{2i-1} - V_{32-2i-1} + \delta_{scf}, \quad i = 1 \dots 16$$

Термометрический код на выходах компараторов $V_{in} > CF_i$ преобразуется логикой в выходной цифровой код каскада D и определяет на выходе ЦАПа одно из 17 значений DAC_D .

Пусть смещение нуля усилителя УВХ равно δ_{sot} . Тогда общее выражение для аналогового выхода каскада (рис. 4) имеет вид:

$$V_{out} = \frac{2 + \delta_{sgt1}}{1 + \delta_{sgt2}} * (V_{in} - DAC_D + \delta_{sot})$$

B. RSD8 – RSD2

Уровни переключения компараторов (рис. 5) отклоняются от идеальных значений на δ_{scp} и равны $-\frac{1}{4} + \delta_{scp}$, $\frac{1}{4} + \delta_{scp}$. Выходы компараторов декодируются в цифровой выходной код D , принимающий значения $-1 \dots 1$.

Случайные отклонения номиналов конденсаторов равны $\delta_{sgp1 \dots 3}$. Пусть смещение усилителя равно δ_{sop} . Тогда выражение для V_{out} из рис. 5 сводится к

$$V_{out} = \left(1 + \frac{2 + \delta_{sgp1} + \delta_{sgp3}}{2 + \delta_{sgp2}} \right) * (V_{in} + \delta_{sop}) - \frac{1 + \delta_{sgp1}}{2 + \delta_{sgp2}} * D$$

B. Flash1_0

Уровни переключения трёх компараторов отклоняются от идеальных значений на δ_{scp} и равны $-\frac{1}{2} + \delta_{scp}$, 0 , $\frac{1}{2} + \delta_{scp}$. Выходы компараторов декодируются в цифровой выходной код D , принимающий значения $-2 \dots 1$.

Г. Ref2

Смещение нуля буфера уменьшенного опорного напряжения равно δ_{sor} .

VII. МОДЕЛЬ КАЛИБРОВКИ

Для проведения калибровки структура АЦП модифицируется:

- входы УВХ каскада Flash11_9 переключаются с входа АЦП и выхода ЦАПа на сегменты резистивного делителя (рис. 8);
- в УВХ аддитивно вводится сигнал смещения, создаваемый ЦАПом калибровки смещения DACo;
- в буфер уменьшенного опорного напряжения аддитивно вводится сигнал смещения, создаваемый ЦАПом калибровки опорного напряжения DACr (рис. 9);
- в каскад Flash1_0 вводятся два дополнительных компаратора с уровнями переключения -1 и 1.

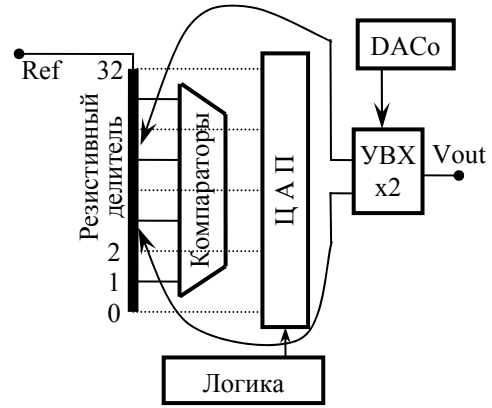


Рис. 8. Структура каскада Flash11_9 при калибровке

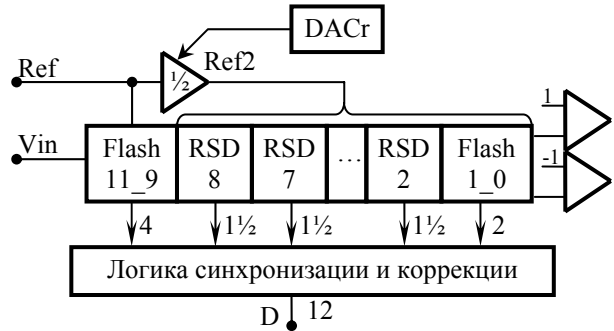


Рис. 9. Элементы калибровки опорного напряжения

Калибровка проводится в два этапа: калибровка смещения нуля (А) и калибровка усиления (Б).

A. Калибровка смещения нуля

Входы УВХ каскада Flash11_9 коммутируются таким образом, чтобы дифференциальное напряжение, подаваемое на оба входа, было равно нулю и снима-

лось со средней точки делителя (рис. 8). При этом АЦП будет обрабатывать суммарное смещение нуля усилителей всех своих каскадов. С помощью процедуры последовательного приближения вычисляется код ЦАПа DACo, обеспечивающий нулевой код на выходе АЦП.

Вся работа по необходимой коммутации и организации процедуры последовательного приближения выполняется логикой. При современных методах проектирования возможность создания такой логики не вызывает сомнения и в данной работе не рассматривается.

Б. Калибровка усиления

Входы УВХ каскада Flash11_9 коммутируются таким образом, чтобы разность подаваемых напряжений соответствовала одному сегменту делителя (или минус одному сегменту делителя) (рис. 8). При этом АЦП будет вести себя как при обработке входного напряжения, соответствующего полной шкале (или минус полной шкале).

С помощью процедуры последовательного приближения вычисляется код ЦАПа DACr (рис. 9), обеспечивающий срабатывание дополнительного компаратора с уровнем переключения 1 (или -1).

В. Особенности калибровки, важные для обоих этапов

1. Выбор сегментов делителя, участвующих в калибровке усиления, определяется топологическими особенностями делителя. Целесообразно включить в калибровку крайние по топологии сегменты, подверженные наибольшему отклонению номиналов резисторов и провести по ним усреднение. Нет принципиальных ограничений по проведению калибровки по всем сегментам.

2. После каждого преобразования процедуры последовательного приближения необходима задержка для установления калибровочных ЦАПов и буфера пониженного опорного напряжения.

3. При использовании схемы двойной выборки важно, чтобы все итерации одной процедуры последовательного приближения проводились с использованием одного и того же набора семплеров. Для этого достаточно, чтобы очередная итерация запускалась через чётное число тактов.

4. Целесообразно провести калибровку с обоими наборами семплеров. Для переключения на другой набор семплеров достаточно запустить новую калибровку через нечётное число тактов.

5. Для уменьшения влияния случайного шума преобразования на результаты калибровки необходимо проводить многократные калибровки с усреднением. В проекте, из которого взяты примеры для данной работы, для каждого этапа калибровки использова-

лось по 4 сегмента делителя, 2 набора семплеров и 4 калибровки для каждой комбинации, итого 32 калибровки. На предельной частоте эта процедура занимает 23 мкс с учётом времени установления ЦАПов и буфера. Для упрощения логики усреднения имеет смысл общее число калибровок делать равным степени 2.

6. Выходные диапазоны калибровочных ЦАПов и число шагов процедур последовательного приближения определяют соответственно диапазон и точность калибровки. Оба этих параметра легко меняются в модели, что позволяет найти оптимальное решение для калибровки.

VIII. МЕТОДИКА МОДЕЛИРОВАНИЯ

А. Моделирование одной реализации АЦП

- генерация случайных значений для всех варьируемых параметров модели (Табл. 1). Для конденсаторов генерируются отдельные значения для разных семплеров;
- расчёт передаточной характеристики АЦП без калибровки. Для каждого выходного кода 1...4095 методом последовательного приближения вычисляется напряжение межкодового перехода;
- проведение серии калибровок как это описано в предыдущем разделе и загрузка усреднённых результатов калибровки в калибровочные ЦАПы;
- расчёт передаточной характеристики АЦП с калибровкой;
- вычисление интегральной (INL – Integral NonLinearity) и дифференциальной (DNL – Differential NonLinearity) нелинейности;
- сохранение INL и DNL для построения гистограмм;
- построение графика передаточной характеристики.

Б. Обработка статистики

- моделирования множества реализаций АЦП;
- расчёт и построение гистограмм;
- моделирование одной реализации АЦП требует около 5 сек на процессоре с частотой 2 ГГц, так что ночной запуск даёт объём выборки 10000 АЦП.

IX. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

На рис. 10 приведён пример характеристики АЦП до (тонкая линия) и после (толстая линия) калибровки. Пунктиром отмечены уровни $\pm\frac{1}{2}$ и ± 1 LSB. В примере очевидно преобладание ошибки буфера пониженного опорного напряжения. Пример отобран

специально для демонстрации эффективности калибровки.

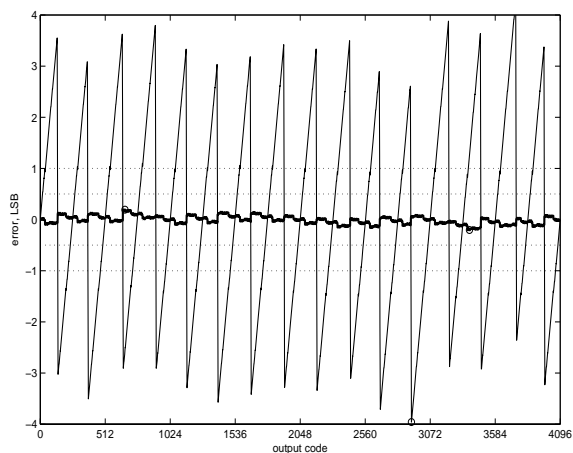


Рис. 10. Характеристика АЦП до и после калибровки

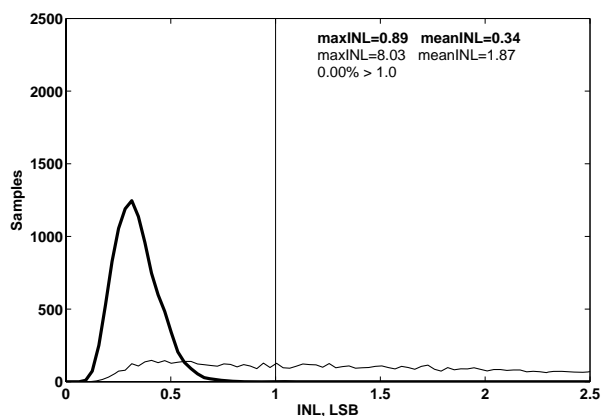


Рис. 11. Распределение INL до и после калибровки

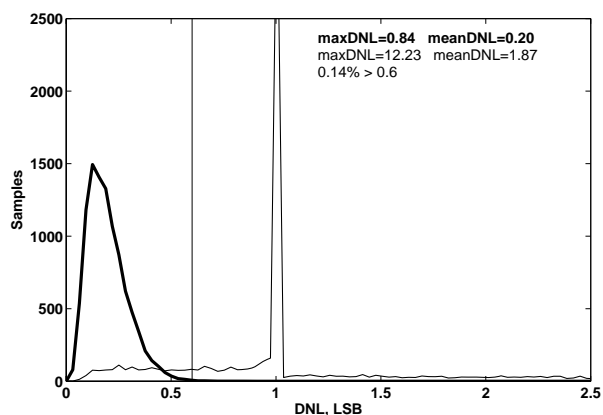


Рис. 12. Распределение DNL до и после калибровки

Более объективную картину представляют статистические данные. На рис. 11, 12 приведены гистограммы распределения INL и DNL до и после калибровки по выборке 10000 АЦП. Приведены также численные характеристики выборки. Указан процент АЦП, после калибровки не соответствующих требованиям ТЗ (вертикальная линия).

Важно отметить, что пример характеристики АЦП, приведённый на рис. 10, до калибровки имеет $DNL \approx 7$ и попадает за пределы окна гистограммы рис. 12, в хвост распределения. Тем не менее, после калибровки этот пример находится в пределах окна. Максимальное значение DNL по этой выборке равно 0,84.

Х. ЗАКЛЮЧЕНИЕ

Рассмотренная методика моделирования статической погрешности АЦП позволила в ходе проектирования 12-разрядного АЦП:

- оценить достижимые параметры АЦП до этапа схемотехнического проектирования;
- подтвердить правильность выбора варианта архитектуры;
- оптимизировать размеры резисторов и конденсаторов;
- подтвердить работоспособность и эффективность выбранной схемы калибровки;
- оптимизировать схему калибровки (определить требуемые диапазон и разрядность калибровки);
- построить гистограммы распределения INL и DNL.

ЛИТЕРАТУРА

- [1] Rakers et al. US Patent No. 5,644,313, Jul. 1, 1997. REDUNDANT SIGNED DIGIT A-TO-D CONVERSION CIRCUIT AND METHOD THEREOF.
- [2] Агрич Ю.В., Быстродействующий аналого-цифровой преобразователь и способ его калибровки, Патент РФ № 2341017, 10.04.08г., пр. 29.09.2006.
- [3] Garrity et al. US Patent No. 5,574,457, Nov. 12, 1996. SWITCHED CAPACITOR GAIN STAGE.