

Разработка прецизионного преобразователя напряжения в частоту

Ю.В. Агрич, В.Б. Лифшиц

Учреждение Российской академии наук Институт проблем проектирования в микроэлектронике РАН, agrich@ippm.ru

Аннотация — Представлены результаты разработки микросхемы прецизионного интегрирующего преобразователя напряжения в частоту (ПНЧ) для 350 нм КМОП технологии. На основе анализа факторов, определяющих погрешность преобразования, предложены схемные решения и разработана микросхема ПНЧ, обеспечивающая преобразование входных напряжений ± 9 В с абсолютной некорректируемой погрешностью менее 0,015 %. Динамический диапазон ПНЧ 19,5-20 бит при диапазоне выходных частот 0,1 Гц-90 кГц. Чоппер-стабилизация усилителя интегратора обеспечивает высокую стабильность смещения нуля ПНЧ в диапазоне температур и напряжения питания. Статическая подстройка смещения нуля усилителя интегратора встроенным корректирующим ЦАП позволяет снизить погрешность преобразования при выходной частоте, превышающей частоту чоппер-стабилизации.

Ключевые слова — преобразователь напряжения в частоту, ПНЧ, интегратор, операционный усилитель чоппер-стабилизация смещения нуля.

I. ПРЕОБРАЗОВАТЕЛИ НАПРЯЖЕНИЯ В ЧАСТОТУ (ПНЧ)

ПНЧ представляют собой специфическую разновидность интегрирующих аналого-цифровых преобразователей с выходной частотой, пропорциональной усредненному входному напряжению.

Наиболее часто используются ПНЧ с резистивным входом интегратора [1] - [3] и ПНЧ с интегратором на переключаемых конденсаторах [4].

ПНЧ с интегратором на переключаемых конденсаторах более экономичны, но имеют не очень хорошие точностные характеристики.

Рассмотрим наиболее точный из известных, ПНЧ с резистивным входом интегратора AD652 фирмы Analog Devices [3].

На рис. 1 представлена схема интегратора, используемая в микросхеме ПНЧ AD652. Положительное напряжение на входе интегратора заряжает конденсатор C_i током V_{in}/R_{in} , вызывая уменьшение напряжения на выходе интегратора. При этом ключ Sw подключен к выходу усилителя интегратора (ОУ). При достижении напряжением на выходе интегратора уровня напряжения (-9 В), подключенного к опорному входу компаратора напряжения (КН), последний срабатывает, вызывая переключение ключа Sw на вход ОУ на определенный период времени T_{res} , определяемый блоком логики. Ток источника I_{res} раз-

ряжает C_i , вызывая увеличение напряжения выхода интегратора, и после отключения ключа Sw от входа интегратора цикл заряда C_i повторяется. Выходная частота ПНЧ, формируемая блоком логики, пропорциональна входному току и обратно пропорциональна емкости интегратора. При этом, на выходную частоту влияют погрешности задания тока сброса интегратора I_{res} и интервала времени T_{res} его подключения к входу ОУ. В общем случае точность преобразования такого ПНЧ невелика, однако, линейность преобразования может быть достаточно хорошей при использовании линейных R_{in} , C_i и I_{res} .

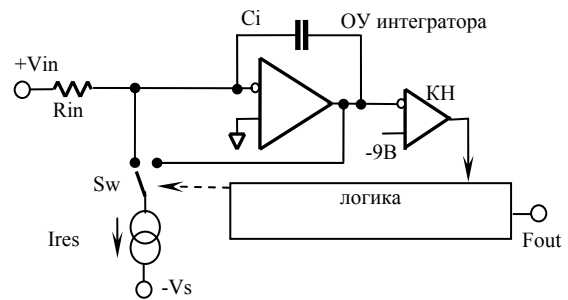


Рис. 1. Схема интегратора ПНЧ AD652

II. ТОЧНОСТНЫЕ ХАРАКТЕРИСТИКИ ПНЧ И ВОЗМОЖНОСТИ ИХ УЛУЧШЕНИЯ

Проведем анализ факторов, определяющих точностные характеристики ПНЧ и методы их улучшения.

Определим зависимость выходной частоты F_{out} от параметров интегратора.

Изменение напряжения на выходе интегратора в результате заряда емкости интегратора входным током за время T определяется по формуле (1):

$$\Delta V_i = \Delta Q_i / C_i = (V_{in} / R_{in}) \cdot (T / C_i) \quad (1)$$

Изменение напряжения на выходе интегратора при разряде емкости током сброса I_{res} за время фазы сброса T_{res} определяется по формуле (2):

$$\Delta V_r = \Delta Q_r / C_i = I_{res} \cdot T_{res} / C_i \quad (2)$$

В условиях преобразования постоянного входного напряжения и установившейся выходной частоты оба изменения напряжений на выходе интегратора равны, поэтому, приравнявая (1) и (2) получаем:

$$T = I_{res} \cdot T_{res} \cdot R_{in} / V_{in} \quad (3)$$

Принимая во внимание, что выходная частота ПНЧ $F_{out} = 1/T$ из (3) имеем:

$$F_{out} = V_{in} / (R_{in} \cdot I_{res} \cdot T_{res}) \quad (4)$$

Анализируя выражение (4), замечаем, что для повышения точности воспроизведения выходной частоты ПНЧ необходимо:

- стабилизировать I_{res} использованием стабилизированного источника опорного напряжения V_{ref} и резистора R_p , согласованного с входным резистором R_{in} ;
- стабилизировать T_{res} использованием стабилизированной тактовой частоты.

При этом, формулу (4) можно переписать в виде:

$$F_{out} = (V_{in}/V_{ref}) \cdot (R_p/R_{in}) / (n \cdot T_{clk}) \quad (5),$$

где $n \cdot T_{clk}$ - длительность фазы сброса, определяемая n - периодами тактовой частоты T_{clk} .

Формула (5) справедлива для идеального интегратора с нулевым смещением входа. С учетом смещения нуля ОУ интегратора (V_o) входное напряжение можно представить в виде $(V_{in} + V_o)$ и выражение (5) переписать в виде:

$$F_{out} = F_o + (V_{in}/V_{ref}) \cdot (R_p/R_{in}) \cdot F_{clk}/n \quad (6)$$

Анализируя полученное выражение (6), видим, что напряжение опорного источника, тактовая частота и отношение сопротивлений резисторов входа и сброса интегратора, определяющие выходную частоту ПНЧ, поддаются точному учету и стабилизации. Однако, минимизация выходной частоты F_o (7) при нулевом входном напряжении, определяемом смещением нуля и входным шумом ОУ интегратора, требует специальных мер.

$$F_o = (V_o/V_{ref}) \cdot (R_p/R_{in}) \cdot F_{clk}/n \quad (7)$$

В отношении сопротивлений резисторов цепей сброса и входа интегратора (R_p/R_{in}) в (6) и (7) должно входить и сопротивление ключа Sw , которое имеет температурную зависимость, отличную от ТКС резисторов. Для обеспечения температурной стабильности погрешности шкалы преобразования необходимо ввести аналогичный, но постоянно замкнутый компенсирующий ключ во входную цепь интегратора.

Отметим, что выходная частота ПНЧ не зависит от емкости конденсатора интегратора в предположении, что эта емкость стабильна во времени и не имеет зависимости от напряжения. В противном случае, временная нестабильность емкости интегратора приведет к шуму преобразования, а нелинейность - к нелинейности характеристики преобразования ПНЧ.

III. ОСОБЕННОСТИ РАЗРАБОТАННОГО ПНЧ

A. Требования к разрабатываемой микросхеме ПНЧ

Рассмотрим требования к разрабатываемому ПНЧ, определяемые спецификой его применения:

- ПНЧ должен обеспечивать непрерывное интегрирование входного напряжения, накопление частотных импульсов и, при этом гарантировать отсутствие потери информации о входном сигнале и частотных импульсах;
- ПНЧ должен иметь динамический диапазон выходной частоты (отношение максимальной частоты к минимальной, надежно фиксируемой в заданных условиях эксплуатации) не менее 18 бит;
- ПНЧ с напряжением питания ± 5 В должен обрабатывать биполярный входной сигнал ± 9 В, при этом частотные импульсы для входного сигнала разной полярности формируются на разных частотных выходах;
- выходная частота ПНЧ при нулевом входном напряжении (закороченный вход) должна иметь нестационарности в диапазоне рабочих температур и напряжения питания не более 1 Гц;
- выходные частотные импульсы должны накапливаться с учетом знака входного напряжения на реверсивном 12 разрядном счетчике и считываться по команде выборки `sample` с обнулением счетчика;
- допускаются подстройки нуля и шкалы преобразования внешними резисторами, но при обеспечении их стабильности в диапазоне температур и напряжения питания.

B. Особенности интегратора разработанного ПНЧ

С учетом анализа формулы (6) и требований подраздела III A предложена схема интегратора, приведенная на рис. 2.

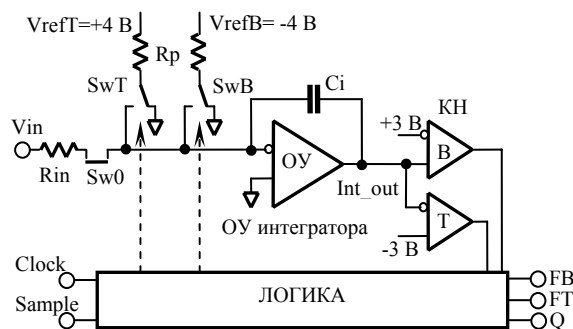


Рис. 2. Схема интегратора разрабатываемого ПНЧ

На рис. 3 приведены временные диаграммы сигналов в интеграторе ПНЧ, поясняющие его работу.

Особенностью интегратора разрабатываемого ПНЧ является использование двух КН и двух симметричных схем сброса, обеспечивающих разряд конденсатора интегратора при положительном и отрицательном входном напряжении. Входное напряжение преобразуется входным резистором R_{in} в ток, заряжающий конденсатор интегратора C_i . Выходное напряжение интегратора поступает на входы двух КН, сравнивающих его с опорными уровнями ± 3 В.

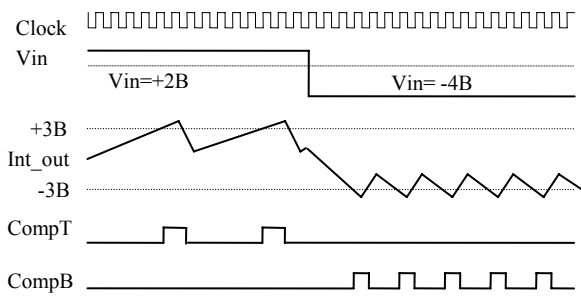


Рис. 3. Диаграмма сигналов в интеграторе ПНЧ

При превышении выходным напряжением интегратора уровня +3 В на выходе Т КН появляется высокий уровень, запускающий формирование выходного частотного импульса на выходе FB и импульса сброса интегратора подключением ключом SwT тока от RefT на вход ОУ.

При снижении выходного напряжения интегратора до уровня ниже -3 В на выходе В КН появляется высокий уровень, запускающий формирование выходного частотного импульса на выходе FT и импульса сброса интегратора подключением ключом SwB тока со входа ОУ на RefB.

В результате воздействия на вход ОУ токовых импульсов сброса, напряжение на выходе интегратора уменьшается по абсолютной величине, на выходах КН снимается высокий уровень и описанный процесс заряда конденсатора интегратора входным током повторяется до следующего срабатывания одного из КН.

На диаграмме сигналов рис. 3 показана форма сигнала на выходе усилителя интегратора Int_out для двух входных напряжений (+2 В и -4 В) и соответствующие сигналы Т и В на выходах КН.

При равенстве резисторов Rp и величин положительного и отрицательного опорных напряжений схема обеспечит равенство полной шкалы преобразования для входных напряжений обеих полярностей. Следует учесть, что сопротивления МОП-ключей SwT, SwB зависят от величины и полярности напряжения сток-исток, поэтому они должны быть достаточно малыми, по сравнению с сопротивлениями резисторов Rp для уменьшения погрешности шкалы и нелинейности преобразования, а также их температурных дрейфов и зависимости от питания.

Выходная частота в приведенной схеме интегратора ПНЧ определяется выражением (6).

Отметим, что погрешности срабатывания КН, в том числе их смещение нуля и погрешности напряжений на их опорных входах, не создают погрешностей преобразования, при условии стабильности этих ошибок во времени и их независимости от скорости изменения напряжения выхода интегратора. Последнее означает, что КН могут иметь большие статические ошибки срабатывания, но скорость срабатывания КН

должна быть максимально возможной для уменьшения погрешности преобразования и нелинейности на высокой выходной частоте.

К ошибке шкалы преобразования и нелинейности приводит и конечная скорость коммутации тока сброса на входе ОУ интегратора. Для уменьшения этой ошибки использованы низковольтные быстродействующие токовые ключи, переключающие постоянные токи сброса интегратора между землей и входом ОУ интегратора. Так как при переключении постоянного тока не происходит изменений потенциалов и не перезаряжаются паразитные емкости на входе интегратора, погрешности от переключения токовых ключей минимальны.

Как уже отмечалось ранее, последовательно с входным резистором Rin интегратора для обеспечения временной стабильности погрешности шкалы введен постоянно замкнутый ключ Sw0, компенсирующий сопротивление ключей SwT, SwB. Однако, введение ключа Sw0 приводит к повышению нелинейности преобразования за счет зависимости сопротивления этого ключа от преобразуемого входного напряжения. Поэтому необходимо минимизировать сопротивление ключа Sw0 по отношению к сопротивлению входного резистора.

Заметим, что для нормальной работы ПНЧ с интегратором, приведенным на рис. 2, необходимо выполнение условия (8), гарантирующего нахождение выходного напряжения интегратора в диапазоне между пороговыми напряжениями компараторов (± 3 В):

$$V_{out} = (V_{ref}/R_p) \cdot (T_{res}) / (C_i) \leq 6B \quad (8)$$

По условию (8) необходимо выбирать величину емкости интегратора.

В. Усилитель интегратора ПНЧ

Для уменьшения смещения нуля и повышения его временной и температурной стабильности предложено использовать технологию чоппер-стабилизации смещения нуля ОУ интегратора. Принцип чоппер-стабилизации поясняется на рис. 4, где представлена схема ОУ с синхронным переключением пар входов и выходов дифференциального усилителя кросс-ключами Swi и Swo. При этом эффективное смещение нуля ОУ уменьшается за счет его усреднения за период времени, существенно больший периода чоппер-коммутации.

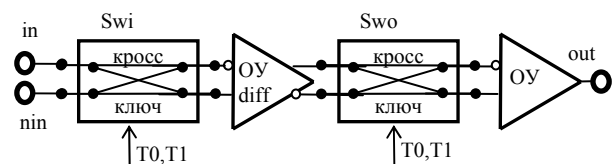


Рис. 4. Усилитель с чоппер-стабилизацией смещения

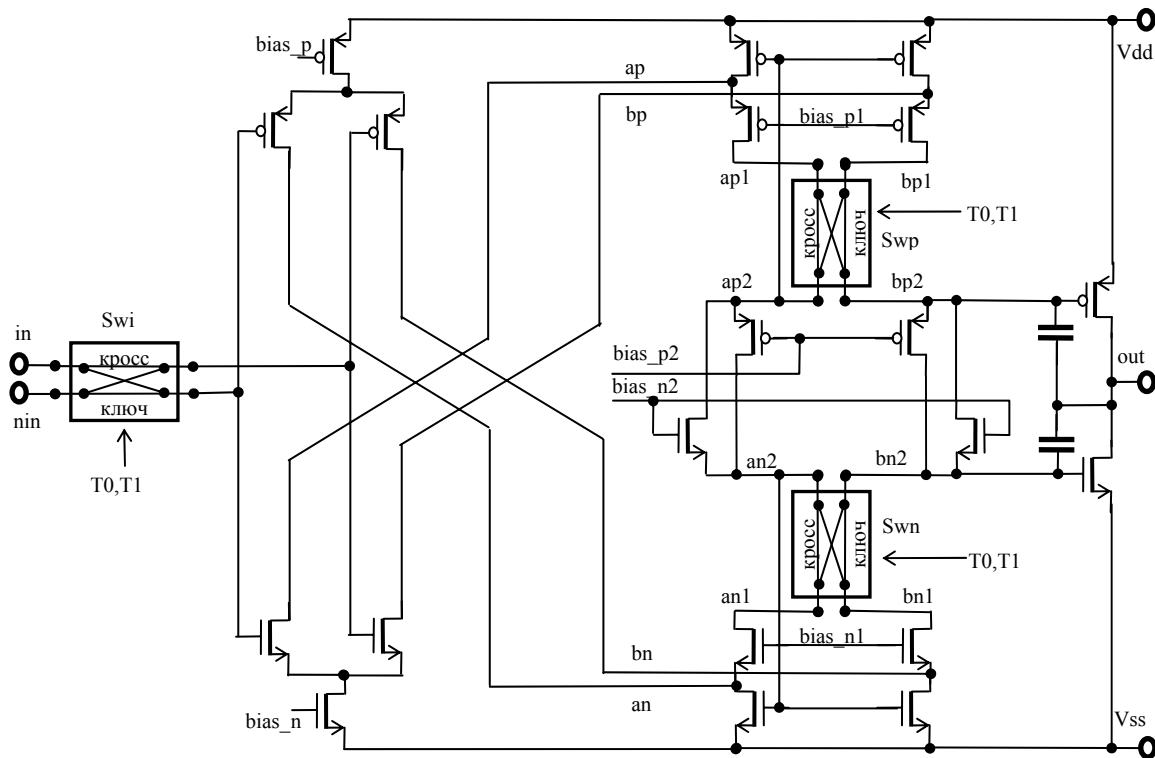


Рис. 5. Каскодный ОУ с комплементарным входом и чоппер-стабилизацией смещения нуля

Недостатком схемы, приведенной на рис. 4, является использование двух усилителей: входного дифференциального и выходного буфера, преобразующего дифференциальный сигнал в однопроводной. Поскольку оба этих усилителя должны быть охвачены общей обратной связью интегратора, обеспечение достаточного запаса по фазе при большом усилении входного каскада и высокой частоте единичного усиления не просто.

С целью упрощения реализации чоппер-стабилизации в усилителе с высоким коэффициентом усиления, необходимым для интегратора с высокой линейностью, предложена оригинальная схема ОУ, описанная в [5] и представленная на рис. 5.

В ОУ использован комплементарный входной каскад, включенный по схеме симметричного каскода. Выходы каскода управляют комплементарным однокаскадным выходным усилителем, обеспечивающим высокие и близкие по величине скорости нарастания и спада выходного сигнала.

Каскодный входной каскад в подобной схеме может обеспечить коэффициент усиления на уровне 70-90 дБ при достаточно большой полосе единичного усиления. На вход ОУ и в n-МОП и p-МОП части каскода введены кросс-ключи, синхронно перекоммутирующие дифференциальные сигналы на входе ОУ и на выходах каскода.

На выходе усилителя формируется временная функция выходного сигнала $V_{out}(t)$ в зависимости от входного $V_i(t)$:

$$V_{out}(t) = K \cdot \{V_i(t) + n(t) \cdot V_{od}(t) + V_{oo}(t)/K_d\}$$

где K и K_d – коэффициенты усиления всего усилителя и дифференциального каскада (до кросс-ключей) соответственно;

$n(t)$ – функция, принимающая значения +1 при прямой коммутации кросс-ключей, или -1 при переключении кросс-ключей;

$V_{od}(t)$ – функция части напряжения смещения нуля от рассогласования пар транзисторов во входном дифференциальном каскаде (до кросс-ключей);

$V_{oo}(t)$ – функция части напряжения смещения нуля от рассогласования пар транзисторов источников тока каскода (после кросс-ключей) и выходного каскада.

Усредненный за время, кратное целому числу периодов коммутации кросс-ключей, выходной сигнал равен:

$$V_{out}(t) = K \cdot \{V_i(t) + V_{oo}(t)/K_d\} \quad (9)$$

Из (9) видно, что выходное напряжение ОУ уже не зависит от смещения нуля, связанного с погрешностями входного каскада, и включает только смещение, вызванное источниками тока каскода и погрешностями выходного усилителя, деленное на коэффициент усиления входного дифференциального усилителя.

Подобным же образом, за счет усреднения устраняются температурный и временной дрейфы смещения нуля и низкочастотный входной шум, связанные с источниками во входном дифференциальном каскаде.

Моделирование приведенного ОУ для 350 нм КМОП технологии показывает минимальные (в диапазоне температур, напряжений питания и технологических параметров моделей) коэффициенты усиления каскода: 79 дБ по n-канальному тракту и 52 дБ по p-канальному. Общий коэффициент усиления ОУ более 128 дБ, что обеспечивает высокую линейность интегратора на низкой частоте.

Скорости нарастания и спада выходного напряжения ОУ уравниваются и составляют не менее 10,5 В/мкс, а 3 дБ полоса более 10 МГц, что обеспечивает линейность интегратора на частотах до 200 кГц.

Максимальное (3 сигма) смещение нуля ОУ без чоппер-стабилизации не превышает 1,5 мВ.

Г. Особенности разработанного ПНЧ

Разработаны схема и топология микросхемы ПНЧ для 350 нм КМОП технологии фирмы XFAV.

Микросхема ПНЧ включает следующие блоки:

- ОУ интегратора;
- блок прецизионных поликремниевых резистивных делителей и ключей цепей входа и сброса интегратора;
- внутренний металлический конденсатор интегратора C_1 с типовой емкостью 600 пФ;
- два КН фиксации выхода напряжения интегратора за установленные пороги ($\pm 3V$);
- токовый ЦАП коррекции смещения нуля каскода ОУ;
- блок логики управления с 12-бит реверсивным счетчиком частотных импульсов;
- источник опорных напряжений $\pm 4,096$ В с 4-бит триммингом напряжения bandgap ядра;
- источник низковольтного питания 2,75 В для блока логики, низковольтных ключей входа интегратора и кросс-ключа входа ОУ;
- генератор стабилизированных токов смещения аналоговых схем.

Микросхема ПНЧ разработана с учетом максимальной универсальности, что позволяет оптимально использовать ее возможности в различных применениях.

Предусмотрены режимы работы ПНЧ:

- с внутренним или внешним конденсатором интегратора;
- с внутренним или внешним источником опорных напряжений;
- с различными коэффициентами преобразования: 20; 10; 5; 2,5 Гц/мВ, определяемыми состоянием входов C_0 , C_1 и входной тактовой частотой;
- дополнительной статической (при отключенной чоппер-стабилизации) подстройки смещения нуля ОУ интегратора токовым ЦАП, что позволяет устранить шум преобразования на частотах, превышающих частоту чоппер-коммутации;

- выключенный режим с пониженным энергопотреблением.

Микросхема разрабатывалась для использования с напряжениями питания ± 5 В, тогда как основная элементная база 350 нм технологии требует 3 В питания. Это обусловило необходимость встроенного источника питания с напряжением $2,75 \pm 0,15$ В для низковольтных аналоговых и цифровых схем. Источник выполнен на резистивном делителе от 5 В напряжения питания и буферном усилителе с внутренним фильтрующим конденсатором.

Резистивный вход ПНЧ обеспечивает возможность обработки входного сигнала в диапазоне удвоенного диапазона напряжений питания.

Прецизионные поликремниевые резистивные делители входа (75 кОм типовое) и сброса интегратора рассчитаны с учетом обеспечения погрешности шкалы преобразования ПНЧ 0,1%. Предусмотрена возможность подстройки ошибки шкалы до уровня менее 0,01 % включением внешних резисторов на входы ПНЧ или опорных напряжений. При этом температурный дрейф погрешности шкалы может немного измениться.

Отметим, что собственная погрешность шкалы преобразования ПНЧ значительно меньше погрешности внутреннего опорного источника, поэтому для прецизионных применений может быть использован внешний источник опорных напряжений.

В связи с тем, что на линейность и ошибку шкалы ПНЧ влияют линейность и стабильность емкости конденсатора интегратора, предусмотрена возможность использования внешнего прецизионного конденсатора. Кроме того, при использовании ПНЧ с коэффициентом преобразования 2,5 Гц/мВ и ниже, внутренней емкости интегратора может не хватить для обеспечения условия (8). В этом случае можно подключить внешний конденсатор параллельно с внутренним.

12-бит реверсивный счетчик обеспечивает подсчет частотных импульсов с учетом знака входного напряжения и считывание выходного кода с одновременным обнулением счетчика по сигналу nSample. Наличие счетчика позволяет организовать прецизионный интегрирующий аналого-цифровой преобразователь (АЦП) заданием сигналов считывания с временным интервалом, необходимым для накопления частотных импульсов в количестве, обеспечивающем требуемую точность преобразования.

IV. РЕЗУЛЬТАТЫ ИЗМЕРЕНИЯ ПАРАМЕТРОВ ПНЧ

В таблице 1 приведены измеренные характеристики разработанного ПНЧ и параметры ближайших аналогов - ПНЧ фирмы Analog Devices.

Таблица 1

Параметры разработанного ПНЧ и ближайших аналогов фирмы Analog Devices

Источник информации Параметр	Разработанный ПНЧ				[1]	[2]	[3]	[4]
					AD537KD	AD650B	AD652B	AD7741
Технология	350нм КМОП				БИП	БИП	БИП	КМОП
Температурный диапазон, °С	-60 - 85				0 - 70	-25 - 85	-40 - 85	-40 - 85
Напряжение питания, В	±5				±15	±15	±15	5
Потребляемая мощность, мВт	120				75	240	450	40
Напряжение внутреннего источника опорного напряжения (Vref), В	±4,096				1,0	нет	5,0	2,5
Погрешность Vref при 27 °С, мВ	±20				±50	-	±50	±100
Температурный дрейф Vref, ppm/°С	30 тип				100	-	50	50 тип
Диапазон входного напряжения (Vin), В	±9				-15 ... 11	±5	±5	0 ... 2,5
Тип конденсатор интегратора	внутренний и (или) внешний				внешний	внешний	внешний	внутрен.
Входная тактовая частота (Fc), МГц	4	4	4	8	нет	нет	0,2	0,2 - 3
Коэффициент преобразования (Kf), Гц/мВ	2,5	5	10	20	-	-	40	32 - 480
Диапазон выходной частоты (Fout), кГц	22,5	45	90	180	100	100	100	0,4 Fc
Смещение нуля (offset), мВ	0,02	0,03	0,06	0,15	2*	4*	2*	40
Температурный дрейф смещения, мкВ/°С	0,3 тип	0,3 тип	0,4 тип	0,7 тип	1 тип	30	10 тип	30 тип
Ошибка шкалы (gain error), % п. шк.	0,15*	0,15*	0,2*	0,3*	5*	5*	0,5*	1,6
Темп. дрейф ошибки шкалы, ppm/°С	2,0 тип	2,0 тип	2,5 тип	4,0 тип	50	150	15 тип	16 тип
Интегральная нелинейность (INL), % п. шк.	0,005**	0,01**	0,02	0,03	0,1	0,02	0,005	0,012-0,024
Абсолютная некорректируемая ошибка в диапазоне температур, % п. шк. (типовой)	0,012	0,012	0,015	0,024	0,30 max	0,94 max	0,10	0,17
Динамический диапазон преобразования (Foutmax / Foutmin), бит (типовой)	20,0	20,0	19,5	18,7	18,7	12,4 min	14,0	10,4

Примечания к табл.1 * Возможна подстройка параметра внешними резисторами.

2** Подтверждено только моделированием, в связи с погрешностью измерителя 0,005%

Измерения характеристик ПНЧ проводились с Kf от 20 до 2,5 Гц/мВ при Fc, равном 8 или 4 МГц, внутренним и внешним конденсаторами интегратора и внешними опорными напряжениями ±4,096 В.

В таблице жирным шрифтом выделены колонки параметров AD652 и разработанного ПНЧ в сопоставимом по выходной частоте режимом.

Сравнение параметров разработанного ПНЧ с аналогами показывает существенно лучшие значения абсолютной ошибки и динамического диапазона преобразования разработанного ПНЧ.

Отметим, что погрешности разработанного ПНЧ уменьшаются при уменьшении Fc и Kf, в результате чего лучшие значения абсолютной некорректируемой ошибки и динамического диапазона преобразования достигаются при Kf равном 45 Гц/мВ и менее.

V. ЗАКЛЮЧЕНИЕ

Разработана микросхема прецизионного ПНЧ для 350 нм КМОП технологии. На основе анализа факторов, определяющих погрешности преобразования, предложены схемные решения и разработана микросхема ПНЧ, обеспечивающая преобразование входных напряжений ±9 В с абсолютной некоррек-

тируемой погрешностью не более 0,015 %. Динамический диапазон ПНЧ 19,5-20-бит при диапазоне выходных частот 0,1 Гц-90 кГц.

Чоппер-стабилизация усилителя интегратора обеспечивает высокую стабильность смещения нуля ПНЧ. Статическая подстройка смещения нуля ОУ интегратора встроенным ЦАП позволяет снизить погрешность преобразования при выходной частоте, превышающей частоту чоппер-коммутации.

ЛИТЕРАТУРА

- [1] Integrated Circuit Voltage-to-Frequency Converter AD537 // Data Sheets, Rev.C. Analog Devices Inc, U.S.A, 2000.
- [2] Voltage-to-Frequency and Frequency-to Voltage Converter AD650 // Data Sheets, Rev.D. Analog Devices Inc, U.S.A, 2006.
- [3] Monolithic Synchronous Voltage-to-Frequency Converter AD652 // Data Sheets, Rev.C. Analog Devices Inc, U.S.A, 2004.
- [4] Single and Multichannel, Synchronous Voltage-to-Frequency Converters AD7741/AD7742 // Data Sheets, Rev.0. Analog Devices Inc, U.S.A, 1999.
- [5] Агрич Ю.В., Лифшиц В.Б. Прецизионный КМОП усилитель, Патент РФ № 2310270, 10.11.2007г., пр.29.12.2005г.