

# Архитектура быстродействующих конвейерных АЦП, оптимизированная под субмикронные технологии

Ю.В. Агрич, В.Б. Лифшиц

Учреждение Российской академии наук Институт проблем проектирования  
в микроэлектронике РАН, [agrich@ippm.ru](mailto:agrich@ippm.ru)

**Аннотация** — Представлена оптимизированная под субмикронные технологии флэш-конвейерная архитектура быстродействующих прецизионных КМОП АЦП с уменьшенным сигналом в конвейере и калибровкой. Входной флэш-каскад включает параллельный АЦП, ЦАП с последовательным резистивным делителем и УВХ с двойной выборкой удвоенной разности входного сигнала и выхода ЦАП. Флэш-каскад может работать с опорным напряжением и входным сигналом до напряжения питания. Конвейерный преобразователь использует 1,5-бит RSD-каскады с уменьшенным опорным напряжением. Выходной сигнал флэш- и RSD-каскадов уменьшен для повышения быстродействия и снижения потребляемой мощности. Моделирование 12-бит АЦП по 180 нм технологии показывает частоту выборки до 167 МГц и энергию преобразования 200 фДж/бит. Активная площадь кристалла 12-бит АЦП - 0,75 мм<sup>2</sup>.

**Ключевые слова** — Быстродействующий АЦП, флэш, конвейерный АЦП, УВХ, RSD-каскад, энергия преобразования на эффективный бит, FOM.

## I. КОНВЕЙЕРНЫЕ АЦП И ВОЗМОЖНОСТИ ИХ СОВЕРШЕНСТВОВАНИЯ

Наиболее перспективной для реализации быстродействующих прецизионных аналого-цифровых преобразователей (АЦП) представляется широко используемая в настоящее время конвейерная архитектура [1] - [3].

Уникальной особенностью конвейерной архитектуры является возможность оптимального сочетания быстродействующих 2-4-бит флэш-каскадов (flash, далее флэш) параллельного преобразования на входе и выходе АЦП с центральным конвейером из обычно используемых 1,5-бит RSD-каскадов (Redundant Signed Digit stage, далее RSD). Поскольку компараторы даже в 4-бит флэш имеют суммарное энергопотребление меньше, чем у одного быстродействующего усилителя RSD, уменьшение их числа в конвейере обеспечит существенное снижение энергопотребления всего АЦП.

Рассмотрим пути улучшения характеристик флэш-конвейерных АЦП в условиях ограничений и возможностей, предоставляемых современными субмикронными технологиями.

Важнейшей характеристикой быстродействующих прецизионных АЦП является отношение сигнал-шум (SNR). Для увеличения SNR увеличивают амплитуду

входного сигнала АЦП, однако она ограничена напряжением питания и пороговыми напряжениями МОП-транзисторов входных ключей АЦП.

С учетом пониженных до 1,8-1,1 В напряжений питания в современных технологиях, необходимо использовать дифференциальные сигналы на входе и во всем аналоговом тракте АЦП. Это в 2 раза увеличивает сигнал и уменьшает влияние на него синфазных помех по земле и питанию.

Использование в аналоговых ключах изолированных n-канальных МОП-транзисторов, предоставляемых технологиями с глубоким n-карманом, позволяет уменьшить пороговые напряжения и сопротивления ключей коммутацией их карманов. В частности, можно обеспечить обработку высокочастотного входного сигнала с амплитудой до напряжения питания использованием бустеров для управления затворами n-МОП ключей с коммутируемыми карманами.

Очевидно, что большая амплитуда аналогового сигнала во всем конвейере АЦП приведет к снижению быстродействия и большой потребляемой мощности. Для обеспечения максимального быстродействия при минимальной потребляемой мощности целесообразно уменьшить амплитуду сигнала в конвейере. Учитывая, что в современных КМОП технологиях сопротивление канала n-МОП транзисторов в 2-3 раза ниже, чем у p-МОП, целесообразно вместе с уменьшением амплитуды выходного сигнала флэш понизить и его синфазный уровень. Это позволит использовать далее быстродействующие n-МОП ключи.

Развитие технологии привело к существенному повышению идентичности транзисторов, резисторов, конденсаторов. Анализ погрешностей согласования сопротивлений резисторов в современных технологиях показывает перспективность использования последовательных поликремниевых резистивных делителей для формирования сетки потенциалов малоразрядных ЦАП, АЦП. Последовательный делитель может обеспечить линейность 12-14 бит и, что особенно важно, гарантирует монотонность, и следовательно, предоставляет возможность разработки высокоразрядных АЦП без пропусков кодов.

Учитывая высокую плотность размещения цифровых схем в современных технологиях, для улучшения точности могут быть использованы калибровки. Эф-

фективность таких калибровок определяется используемой архитектурой и оптимальным выбором калибруемых параметров и критериев принятия решений.

## II. ФЛЭШ–КОНВЕЙЕРНЫЙ АЦП С УМЕНЬШЕННЫМ СИГНАЛОМ В КОНВЕЙЕРЕ И КАЛИБРОВКОЙ

С учетом вышеизложенного предложена архитектура быстродействующих флэш-конвейерных АЦП, оптимизированная под возможности современных технологий с целью улучшения точностных характеристик и снижения энергопотребления и площади кристалла.

Основной предложенной архитектуры являются:

- использование флэш на входе и выходе конвейера для уменьшения числа каскадов, использующих операционные усилители (ОУ);
- обработка входного сигнала вплоть до напряжения питания низковольтными n-МОП-ключами;
- уменьшение амплитуды и синфазного уровня сигналов, обрабатываемых ОУ в конвейере;
- использование дифференциального сигнала во всем аналоговом тракте АЦП и калибровки для обеспечения требований к точностным параметрам при использовании элементов схем с малыми размерами.

На рис. 1а представлена структурная схема флэш-конвейерного N-бит АЦП с уменьшенным сигналом в конвейере и калибровкой [4], включающая:

- входной 4-бит флэш;
- оконечный k-бит флэш ( $k=2-4$ ) с двумя компараторами напряжения (КН) для калибровки;
- конвейерный АЦП из  $i=N-3-k$  RSD;
- буферные ОУ уменьшенных напряжений опорного источника и синфазного уровня конвейера;
- два ЦАП калибровки смещения нуля АЦП и смещения буферного ОУ опорного напряжения конвейера;
- блок логики синхронизации, цифровой коррекции ошибок КН и калибровки.

Входной флэш включает:

- 4-бит флэш из 16 КН с компенсацией смещения и устройствами выборки-хранения (УВХ);
- 4-бит ЦАП с последовательным делителем из 32 резисторов и дифференциальным выходом, формирующий сетку потенциалов и для КН флэш;
- УВХ, формирующий удвоенную разность входного сигнала и выходного напряжения ЦАП;
- блок ключей калибровки, подключающих вход УВХ к нужным отводам резистивного делителя в режиме калибровки АЦП (на схеме не представлен).

1.5-бит RSD конвейерного АЦП содержит 2 КН и вычитатель–умножитель на 2. Избыточные 0.5-бит используются для цифровой коррекции ошибок КН.

На рис. 1б показана диаграмма опорных напряже-

ний и сигналов на входе и в конвейере АЦП. На диаграмме показаны обычно используемые опорное и входное напряжения 1 В, однако АЦП позволяет использовать опорное и входные напряжения вплоть до напряжения питания (1,6 В). Это позволяет дополнительно увеличить отношение сигнал-шум АЦП.

С целью обеспечения обработки входных сигналов АЦП до напряжения питания, использованы n-канальные входные ключи с изолированными коммутируемыми p-карманами, управляемые повышенными напряжениями, формируемыми схемами бустеров.

Отметим, что предложенные архитектура АЦП и схемы ключей УВХ обеспечивают возможность обработки дифференциального входного сигнала со смещением относительно середины опоры синфазным уровнем. Это позволяет варьировать синфазный уровень входного сигнала в достаточно широком диапазоне напряжений, независимо от опорного напряжения АЦП, привязанного к потенциалу земли.

На выходе УВХ флэш формирует сигнал удвоенной разности входного сигнала и напряжения выхода ЦАП с максимальной амплитудой, в 4 раза меньшей амплитуды входного сигнала. При этом максимальная амплитуда сигнала на выходе флэш в два раза больше обычной, за счет допустимой ошибки КН флэш, корректируемой с использованием избыточного кода последующего конвейера.

Синфазный уровень выходного сигнала флэш также понижен до уровня четверти опорного напряжения. Таким образом, сигналы на выходе флэш не превысят уровня 0,6 В при максимальном опорном напряжении 1,6 В, что позволяет во всех последующих каскадах использовать в качестве ключей только быстродействующие n-канальные транзисторы.

Уменьшенные амплитуды сигналов на выходе усилителей всех каскадов позволяют уменьшать коэффициент усиления и ток потребления усилителей при сохранении быстродействия и точности АЦП.

Пониженное опорное напряжение конвейера формируется буферным ОУ от центрального отвода резистивного делителя флэш. Наличие погрешности формирования пониженного опорного напряжения из-за погрешности делителя и смещения ОУ приводит к необходимости подстройки величины опорного напряжения конвейера. Подстройка обеспечивается путем коррекции смещения нуля ОУ токовым ЦАП, код которого определяется в режиме калибровки АЦП. В этом режиме входы УВХ поочередно подключают к смежным отводам выбранного сегмента делителя флэш и, по результатам сравнения напряжения выхода последнего RSD с опорным напряжением конвейера, последовательным приближением определяют код ЦАПа коррекции. Код определяется многократно для всех или отдельных сегментов делителя флэш и усредняется.

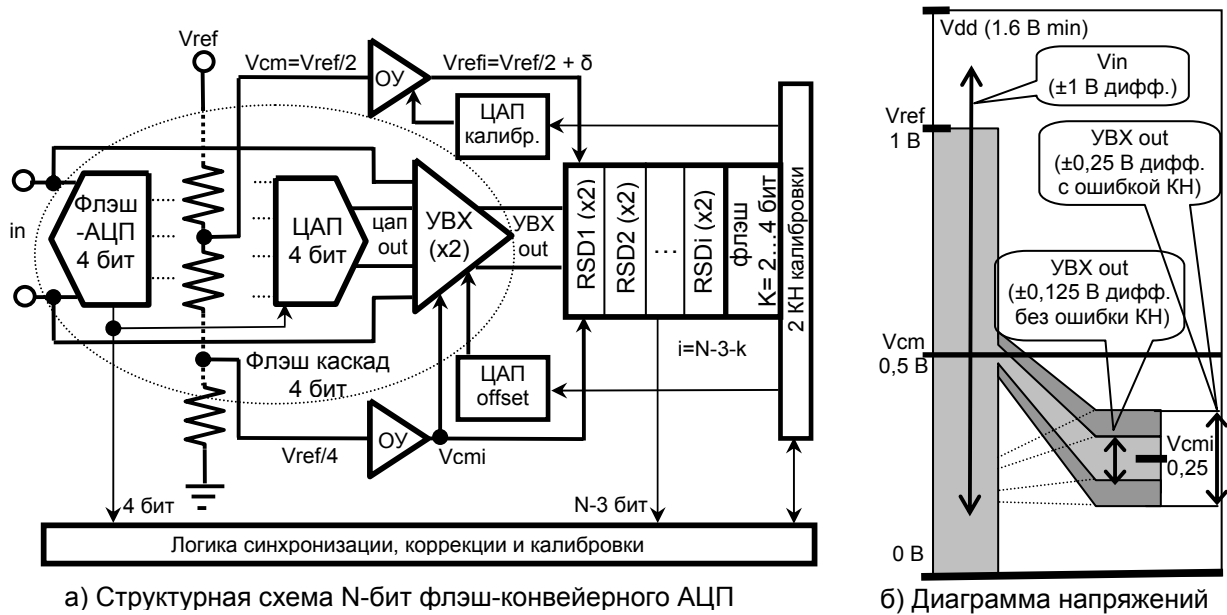


Рис. 1. Структурная схема (а) и диаграмма напряжений N разрядного флэш–конвейерного АЦП

При такой калибровке корректируются смещение буферного ОУ и систематические ошибки усиления УВХ и RSD из-за рассогласования емкостей и конечного усиления усилителей. Также усредняется влияние погрешности резистивного делителя.

УВХ и КН флэш, а также все RSD АЦП выполнены с двойной выборкой для повышения быстродействия. Двойная выборка реализуется сдвоенными УВХ на переключаемых конденсаторах, поочередно подключаемыми к входу каскада или входу усилителя, а усилитель все время, за исключением короткого периода переключения УВХ, работает в режиме усиления сигнала УВХ. Плата за повышение быстродействия в УВХ с двойной выборкой – дополнительные статические и динамические ошибки из-за рассогласования ключей, конденсаторов и момента выборки.

Использование УВХ с двойной выборкой не позволяет осуществить автокомпенсацию смещения нуля усилителей между выборками, поэтому для обеспечения малого смещения нуля АЦП необходимо использовать специальную калибровку смещения нуля.

Калибровка смещения нуля в предлагаемом АЦП реализована в специальном режиме калибровки путем коррекции смещения усилителя УВХ токовым ЦАП. В режиме калибровки смещения вход УВХ подключается к средней точке делителя. По результату сравнения напряжения выхода последнего RSD с напряжением центральной точки делителя методом последовательного приближения определяют код ЦАПа коррекции смещения усилителя УВХ.

Рассмотрим особенности схем, определяющих основные характеристики АЦП.

#### А. Компараторы флэш

Предложенная архитектура АЦП требует на входах КН флэш масштабированных УВХ, подобных основному УВХ АЦП [4], [5]. Подобие УВХ КН и УВХ АЦП обеспечивает равенство постоянных времени заряда конденсаторов выборки и, соответственно, минимальное рассогласование моментов выборки входного сигнала в КН и УВХ, что необходимо при работе с высокочастотным входным сигналом.

Ошибки срабатывания КН флэш и RSD не влияют на точностные характеристики АЦП, если эти ошибки не превышают допустимый уровень, исправляемый цифровой коррекцией с использованием избыточного кодирования конвейера. Например, при опорном напряжении 1,024 В допустимая корректируемая ошибка срабатывания составляет 64 мВ. Так как в допустимую ошибку КН флэш входит и динамическая ошибка выборки высокочастотного входного сигнала, КН выполнены по дифференциальной схеме с аналоговой компенсацией смещения нуля в каждом цикле преобразования.

С целью уменьшения тока потребления, ток смещения КН увеличивают для обеспечения требуемого быстродействия, но только на время, необходимое для их срабатывания (менее 2 нс).

#### Б. Операционные усилители УВХ и RSD каскадов

Усилители УВХ флэш и RSD каскадов выполнены по полностью дифференциальной двух каскадной схеме. Входной каскад с р-МОП входом представляет собой каскод с 4 симметричными выходами для управления комплементарным дифференциальным выходным каскадом.

Синфазный уровень дифференциального выходного сигнала ОУ обеспечивается дифференциальной

схемой обратной связи по синфазному уровню на переключаемых конденсаторах.

Все ОУ имеют вход управления подключением дополнительных конденсаторов коррекции для уменьшения полосы пропускания и, соответственно, теплового шума АЦП.

С учетом уменьшения требований к ошибке выходного напряжения ОУ по мере удаления обрабатываемого сигнала от входа АЦП, ОУ в двух первых RSD каскадах, имеют пониженный, по сравнению с ОУ УВХ, коэффициент усиления и ток потребления, а в ОУ остальных RSD каскадов коэффициент усиления и ток потребления еще ниже.

### *С. Генератор токов смещения аналоговых схем*

С целью оптимизации тока потребления и мощности АЦП при работе с разной частотой выборки разработана схема генератора тока смещения аналоговых схем, пропорционального тактовой частоте. Схема обеспечивает максимальный ток смещения в наихудших для быстродействия АЦП условиях: медленные модели МОП-транзисторов, повышенная температура (125 °С), минимальное напряжение питания (1,6 В). При уменьшении температуры и (или) быстрых моделях транзисторов ток смещения уменьшается, что позволяет получить при этих условиях экономию тока потребления и мощности АЦП до 30%.

### III. ТОЧНОСТНЫЕ ХАРАКТЕРИСТИКИ ФЛЭШ-КОНВЕЙЕРНОГО АЦП И МЕТОДЫ ИХ УЛУЧШЕНИЯ

Проведем анализ факторов, определяющих точностные характеристики флэш-конвейерного АЦП и методов их улучшения.

Точностные характеристики быстродействующих АЦП делятся на две группы:

- статические, к которым относят статистически усредненные характеристики преобразования постоянного или медленно изменяющегося входного сигнала: смещение нуля (offset), погрешность шкалы преобразования или усиления (gain error), интегральная (INL) и дифференциальная (DNL) нелинейности.
- динамические, к которым относят характеристики преобразования переменного входного сигнала: отношение сигнал шум (SNR), отношение сигнал шум с искажениями (SNDR), свободный от гармоник динамический диапазон (SFDR), эффективное число бит (ENOB).

В предложенном АЦП с флэш каскадом из 16 КН и коммутируемыми на выход ЦАП центральным и крайними отводами делителя, смещение нуля определяется только суммой смещений усилителей всех каскадов. В таком АЦП смещение нуля входа может быть скорректировано калибровкой с точностью, определяемой разрядностью ЦАП калибровки смещения

усилителя УВХ. Остаточное после калибровки смещение будет также определяться температурным и временным дрейфом смещения, которое по результатам моделирования не превысит 3 ЕМР (единиц младшего значащего разряда) 12-бит АЦП.

Погрешность шкалы преобразования представленного флэш-конвейерного АЦП за счет использования последовательного делителя флэш определяется падениями напряжения на паразитных сопротивлениях входов опорного напряжения, а также корректируемыми калибровкой погрешностями усиления УВХ и RSD. Погрешность шкалы преобразования калиброванного АЦП при правильном учете паразитных сопротивлений входов опорного напряжения не превысит 4 ЕМР 12-бит АЦП.

Интегральная нелинейность представленного АЦП определяется в основном нелинейностью резистивного делителя флэш и может быть достаточно большой. С целью минимизации интегральной нелинейности использованы следующие меры:

- резистивный делитель свернут в компактную матрицу с минимальными размерами и использованием вложенных с центральной симметрией сегментов;
- топология делителя разработана с учетом и минимизацией паразитных сопротивлений контактных окон и металлических соединений;
- калибровка опорного напряжения конвейера проводится для нескольких сегментов делителя для усреднения случайных погрешностей сегментов.
- размеры резисторов делителя рассчитаны по статистическим характеристикам согласования резисторов для используемой технологии, с учетом обеспечения интегральной нелинейности 12-бит АЦП, равной 1 ЕМР.

Дифференциальная нелинейность представленного АЦП определяется только ошибками согласования коэффициентов усиления RSD из-за рассогласования емкостей конденсаторных делителей.

На динамические точностные характеристики представленного АЦП влияют множество факторов, в том числе:

- а) шум аналогового сигнала, связанный с помехами в цепях питания, земли и опорного напряжения, генерируемыми импульсными токами на паразитных сопротивлениях и индуктивностях;
- б) шум неполного установления выходных сигналов усилителей каскадов;
- в) тепловой шум конденсаторов выборки, источника опорного напряжения, резисторов и ключей ЦАП, операционных усилителей;
- г) «джиттер» момента выборки входного сигнала УВХ, обусловленный тепловым шумом в формирователе сигналов выборки;
- д) перекося моментов выборки в плечах УВХ с двойной выборкой из-за асимметрии паразитных емкостей

и сопротивлений, а также рассогласования ключей и конденсаторов выборки;

е) дифференциальная нелинейность АЦП.

Для улучшения динамических характеристик при разработке АЦП использовались следующие меры:

- оптимальное разделение шин питания, земли и опорных уровней блоков, а также, введение RC-фильтров для уменьшения помех;

- оптимизация токов смещения и токов потребления усилителей для минимизации ошибок установления выходных сигналов;

- ограничение полосы пропускания усилителей каскадов с целью минимизации тепловых шумов;

- тщательное проектирование схемы и топологии формирователя сигналов выборки для минимизации теплового «джиттера» момента выборки и его перекося.

#### IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ 12 БИТ ФЛЭШ - КОНВЕЙЕРНОГО АЦП ПО 0,18 МКМ КМОП ТЕХНОЛОГИИ

По предложенной архитектуре разработаны схема и топология IP блока 12 бит 100-167 МГц АЦП на 180 нм КМОП технологии с изоляцией глубоким п-карманом, поликремниевыми резисторами, металлическими конденсаторами и 6 слоями металла.

##### A. Моделирование определяющих блоков АЦП

Приведем результаты моделирования блоков, определяющих характеристики АЦП.

Наихудшие параметры КН в полном диапазоне условий эксплуатации и технологии ( $V_{dd}=1,6-2$  В,  $T=$  минус 60-125 °С, все технологические модели):

- максимальная ошибка выборки по входу: 24 мВ;
- время выборки и переключения: 2 нс макс;
- усредненный ток потребления: 100 мкА макс.

Наихудшие параметры ОУ УВХ флэш в диапазоне условий эксплуатации и технологии:

- коэффициент усиления: 97 дБ (мин.);
- 9дБ полоса пропускания: 164 МГц (мин.);
- запас по фазе 55 град. (мин.);
- ошибка установления за 7 нс: 76 мкВ (макс.);
- ток потребления: 2,7 мА (макс.).

##### B. Методы моделирования АЦП

В процессе разработки проводились следующие виды моделирования полной схемы (модели) АЦП:

1. Математическое моделирование АЦП в среде MATLAB для оценки статических и динамических параметров в зависимости от параметров рассогласования элементов, «джиттера» тактового сигнала и приведенного к входу АЦП теплового шума.

2. Электрическое моделирование АЦП с введением паразитных сопротивлений и индуктивностей кри-

тичных внешних выводов (питания, земли, опорных напряжений, аналогового входа):

- 2А с ступенчатым входным сигналом для определения статических характеристик и токов потребления и их зависимости от частоты выборки;

- 2Б с синусоидальным входным сигналом для определения динамических характеристик и их зависимости от частот входного сигнала и частоты выборки.

3. Электрическое моделирование экстрагированной из топологии схемы АЦП с паразитными емкостями с синусоидальным входным сигналом.

Статические характеристики АЦП (смещение, ошибка шкалы, нелинейность) определялись по результатам математического (1) и электрического (2А) моделирования. Динамические параметры АЦП (SNDR, SFDR, ENOB) определялись по результатам математического (1) и электрического (2Б, 3) моделирования.

Моделирование статических точностных характеристик АЦП рассмотрено в работе «Моделирование статической погрешности конвейерных АЦП с калибровкой», помещенной в данном сборнике.

##### В. Основные результаты моделирования АЦП

Моделирование статических точностных характеристик АЦП в среде MATLAB показало для 99,9% выхода годных АЦП максимальные значения:

- интегральной нелинейности 0,89 ЕМР,
- дифференциальной нелинейности 0,84 ЕМР.

По результатам моделирования АЦП в MATLAB и электрического моделирования рассчитывались точностные характеристики, включающие все влияющие на них факторы, перечисленные в разделе III.

Характеристики разработанного АЦП в сравнении с некоторыми аналогами приведены в табл. 1.

На рис. 2 представлена зависимость интегральной характеристики качества АЦП FOM (энергии на эффективный бит) [2] от частоты выборки для разработанного АЦП в сравнении с некоторыми аналогами.

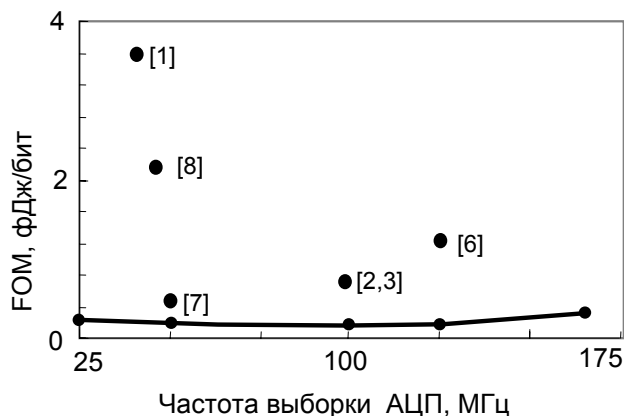


Рис. 2. Зависимость FOM от частоты выборки АЦП

Таблица 1

Параметры разработанного АЦП и ближайших аналогов

| Источник информации<br>Параметр             | Флэш-конвейерный АЦП,<br>моделирование ( типовые) |       |       |      | [3]       | [6]         | [7]       | [8]       |
|---|---|-------|-------|------|-----------|-------------|-----------|-----------|
|   |   |       |       |      | измерение | типовые     | измерение | измерение |
| Разрядность, бит                            | 12  | 12    | 12    | 14   | 14        | 12          | 10        | 11        |
| Частота выборки, МГц                        | 100   | 125   | 167   | 100  | 100       | 125         | 50        | 45        |
| Технология                                  | 180 нм КМОП                                       |       |       |      | 180 нм    | БИКМОП      | 180 нм    | 180 нм    |
| Температурный диапазон, °С                  | -60 - +125  |       |       |      |           | -40 - +85   |           |           |
| Напряжение питания, В                       | 1,6 – 2,0 В                                       |       |       |      | 1,8       | 1,7 – 1,9 В | 1,8       | 1,8       |
| Дифф входной сигнал, В (p-p)                | 2 (3,2 макс.)                                     |       |       |      | 2         | 2           | 1,6       | 1,3       |
| Ток потребления, мА                         | 19,9  | 23,5  | 33,5  | 21,5 |           |             |           |           |
| Потребляемая мощность, мВт                  | 35,8  | 42,3  | 60,3  | 38,7 | 230       | 415         | 12        | 81        |
| Смещение нуля (offset), %                   | 0,05  |       |       |      |           | 0,3         |           |           |
| Ошибка шкалы (gain error), %                | 0,05  |       |       |      |           | 0,2         |           |           |
| Интегральная нелинейность (INL), ЕМР        | 0,4   |       |       | 1,6  | 2,1       | 0,5         | 0,81      | 1,1       |
| Дифф. нелинейность (DNL), ЕМР               | 0,2   |       |       | 0,8  | 0,8       | 0,2         | 0,39      | 0,45      |
| Отношение сигнал-шум и искажения (SNDR), дБ | 67,0  | 65,4  | 63,1  | 68,1 | 72,2      | 69,2        | 56,2      | 60,0      |
| Эффективное число бит (ENOB)                | 10,84   | 10,57 | 10,19 | 11,0 | 11,7      | 11,4        | 9,03      | 9,67      |
| Энергия на бит (ФОМ), фДж/бит               | 0,20  | 0,22  | 0,31  | 0,19 | 0,69      | 1,23        | 0,46      | 2,2       |
| Площадь кристалла IP-блока, кв. мм.         | 0,75  |       |       | 0,80 | 7,28      |             | 0,86      | 3,57      |

Как видно из данных табл. 1 и рис. 2, разработанный АЦП имеет существенно меньшее значение FOM по сравнению с известными АЦП для аналогичной 180 нм КМОП технологии.

Разработанный 12-бит АЦП имеет активную площадь кристалла всего 0,75 кв.мм., что также существенно меньше площади аналогов.

Также рассмотрена возможность разработки 14-бит АЦП путем увеличения разрядности последнего флэша до 3-х и добавления 8-го RSD каскада. 14-бит АЦП позволяет повысить SNDR и ENOB при незначительном увеличении потребляемой мощности и размера кристалла. В табл. 1 приведена оценка параметров, достижимых для 14-бит АЦП.

#### V. ЗАКЛЮЧЕНИЕ

Предложена флэш-конвейерная архитектура быстродействующих АЦП с расширенным диапазоном входного сигнала, уменьшенным сигналом конвейера и калибровкой. Разработаны схема и топология 100 – 167 МГц 12-бит АЦП на 180 нм КМОП технологии. Моделирование разработанного АЦП показало возможность значительного уменьшения тока потребления и мощности. Достигнуты лучший для быстродействующих 12-бит АЦП уровень показателя качества FOM = 200 фДж/бит и меньшая площадь кристалла: 0,75 кв.мм. Полученные результаты показывают эффективность предложенной архитектуры АЦП, и возможность разработки 14-разрядного 100 МГц АЦП с энергией на эффективный бит всего 190 фДж/бит.

#### ЛИТЕРАТУРА

- [1] Sourja Ray, Bang-Sup Song. A 13-b Linear, 40-MS/s Pipelined ADC With Self-Configured Capacitor Matching // IEEE Journal of Solid-State Circuits. - 2007. - V. 42. - № 3. - P. 463 – 474.
- [2] Kazutaka Honda, Masanori Furuta, Shoji Kawahito. A Low-Power Low-Voltage 10-bit 100-MS/s Pipeline A/D Converter Using Capacitance Coupling Techniques // IEEE Journal of Solid-State Circuits. - 2007. - V. 42. - № 4. - P. 757 – 765.
- [3] Byung-Geun Lee, Byung-Moo Min, Gabriele Manganaro, Jonathan W. Valvano. A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC // IEEE Journal of Solid-State Circuits. - 2008. - V. 43. - № 12. - P. 2613 – 2619.
- [4] Агрич Ю.В. Быстродействующий аналого-цифровой преобразователь и способ его калибровки, Патент РФ № 2341017, 10.04.08г, пр. 29.09.2006г.
- [5] Агрич Ю.В. Дифференциальный компаратор с выборкой входного сигнала, Патент № 2352061, 10.04.09г, пр. 11.02.2008г.
- [6] 12-Bit, 80MSPS/105MSPS/125MSPS, 1.8V Analog-to-Digital Converter, AD9233 // Data Sheets. Analog Devices Inc, U.S.A, 2006.
- [7] Byung-Geun Lee, Robin M. Tsang. A 10-bit 50-MS/s Pipelined ADC With Capacitor-Sharing and Variable-gm Opamp // IEEE Journal of Solid-State Circuits. - 2009. - V. 44. - № 3. - P. 883 – 890.
- [8] Imran Ahmed, David A. Johns. An 11-Bit 45-MS/s Pipelined ADC With Rapid Calibration of DAC Errors in a Multibit Pipeline Stage // IEEE Journal of Solid-State Circuits. - 2008. - V. 43. - № 7. - P. 1626 – 163.