

“Cycle-To-Cycle” методология временного анализа быстродействующих синхронных интерфейсов

В.В. Полевиков, В.Б. Лифшиц

Учреждение Российской академии наук

Институт проблем проектирования в микроэлектронике РАН,

pvv@ippm.ru

Аннотация - Предлагается “Cycle-To-Cycle” методология анализа временных параметров быстродействующих синхронных интерфейсов. Приводится краткое описание модели интерфейса, реализованной в пакете QUANTUM SI (QSI) компании SiSoft™. Дано описание QSI и “Cycle-To-Cycle” методик расчета временных параметров синхронных интерфейсов. Проведен сравнительный анализ их на примере расчета временных параметров DDR1-400МГц интерфейса. Алгоритм расчета временных параметров DDR интерфейса реализован в среде Matlab.

Ключевые слова - Синхронный интерфейс, “Cycle-To-Cycle” анализ, “Signal Integrity”.

I. ВВЕДЕНИЕ

Уменьшение размеров и повышение быстродействия современных вычислительных систем повышает требования, предъявляемые к интерфейсам передачи данных, а задача сохранения передаваемой информации (*Signal Integrity* - *SI*), при наличии шумов в канале передачи данных, является важной частью разработки быстродействующих вычислительных систем [1].

SI определяет следующие типы шумов [2]:

- *Simultaneous Switching Output (SSO) noise* - шум в цепях земли и питания, вызванный одновременным переключением выходных каскадов передатчиков.
- *Cross Talk noise* - шум, порождаемый электромагнитным взаимодействием между проводниками, в корпусе и на печатной плате.
- *Reflection noise* - шум в канале, вызванный взаимодействием передаваемых сигналов из-за несогласованности импедансов в передающей линии [3,4].
- *InterSymbol Interference (ISI) noise* - форма шума, вызываемая влиянием *m-1* передаваемого бита на *m* бит, данный вид шума носит случайный характер и полностью зависит от передаваемой последовательности сигналов [5].

Основными задачами *SI* являются – моделирование, анализ и определение условий при которых: обеспечивается совместимость всех компонентов интерфей-

са, сохраняется целостность и качество передаваемой информации. Под сохранением целостности информации подразумеваются неотрицательные запасы времен предустановки и удержания (*Setup, Hold Margin*) данных относительно строба на входе приемника. В частном случае, при наличии в приемнике схемы подстройки частоты, для сохранения целостности сигнала достаточно обеспечение неотрицательного значения суммы времен *Setup* и *Hold Margin (Margin)*.

Для решения данной задачи необходимы:

- физические модели компонентов интерфейса, а именно: микросхемы передатчика, модели корпуса передатчика, печатной платы и приемника, модели корпуса приемника;
- временная модель интерфейса, учитывающая временные соотношения между всеми передаваемыми сигналами;
- методика анализа полученных результатов.

В данной работе предлагается “Cycle-To-Cycle” (*C2C*) методология временного анализа быстродействующих синхронных интерфейсов, проведено её сравнение с методикой, реализованной в пакете *Quantum SI (QSI)* компании *SiSoft™*, которая является одним из лидеров в области разработки программных средств, направленных для решения задач *SI* [6]. В качестве иллюстрации проведен расчет временных параметров *DDR1-400MHz* интерфейса, выполненный на основе *QSI* и *C2C* методик и дана оценка их эффективности. Алгоритм расчета временных параметров быстродействующих синхронных интерфейсов реализован в среде Matlab.

II. МОДЕЛЬ СИНХРОННОГО БЫСТРОДЕЙСТВУЮЩЕГО ИНТЕРФЕЙСА

Модель синхронного быстродействующего интерфейса строится на основе “*core-to-core*” методики, разработанной и внедренной компанией *SiSoft™* [7]. Данная методика предполагает проведение моделиро-

вания интерфейса в аналоговом виде от точки “core” передатчика - вход интерфейса до точки “core” приемника - выход интерфейса. Предполагается, что на входе и выходе интерфейса сигналы представлены в цифровом виде. Таким образом, методология позволяет проводить моделирование и расчет временных параметров интерфейса с учетом всех видов паразитных шумов, возникающих в канале передачи данных. На Рис. 1 показана блок схема модели синхронного быстродействующего интерфейса. Модель интерфейса состоит из следующих блоков:

- *Периферийных элементов кристалла передатчика и приемника (IO ring)* - представлен моделями

ячеек передатчика (DDxx) и приемника (DRxx), ячеек контактных площадок земли (VSS_t_pad, VSS_r_pad) и питания (Vddq_t_pad, Vddq_r_pad), ячейками фильтрующих конденсаторов (Cdecap_t, Cdecap_r).

- *Корпус БИС передатчика и приемника* - представлен RLC -моделью или S-моделью.
- *Печатной платы PCB* - представлена линиями передачи данных с потерями и их описание базируется на основе телеграфного уравнения [8].

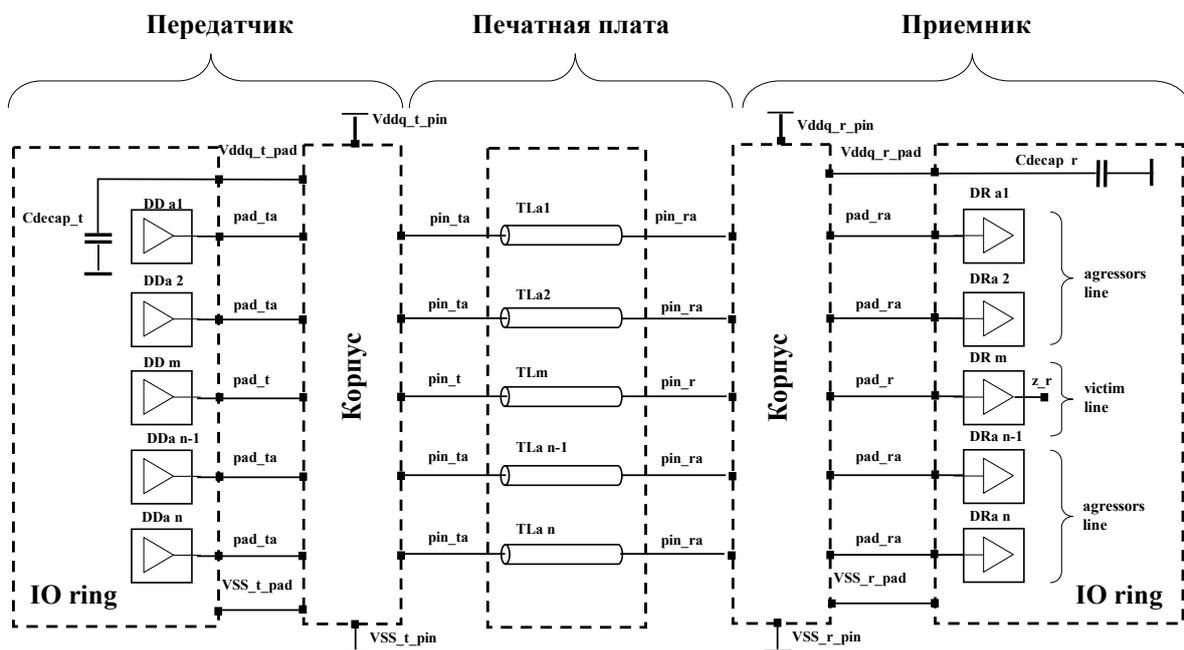


Рис. 1. Блок схема модели синхронного быстродействующего интерфейса

Модели, применяемые для анализа интерфейса, могут быть представлены как на транзисторном уровне, так и в виде поведенческих моделей. “Core-to-core” методология позволяет совместно использовать оба типа моделей.

Для моделирования быстродействующего синхронного интерфейса с шириной шины n на вход передатчика DDm тестируемой линии (*victim line*) подаются тестовые воздействия. Задержка прохождения сигнала измеряется от входа DDm до точки pad_r (вход микросхемы приемника) или z_r (вход кристалла “ядра” приемника). Оставшиеся n-1 линии (*aggressor lines*) используются для генерации шумовых воздействий на *victim line*. Для этого на входы передатчиков DDaxx одновременно подается последовательность сигналов, имитирующая работу интерфейса в реальных условиях.

Модель интерфейса, реализованная компанией SiSoftTM, позволяет учитывать следующие шумовые воздействия:

- *SSO noise* - вызываемый одновременным переключением передатчиков DDaxx во всех *aggressor lines*. Данный шум через паразитные индуктивности цепей земли VSS_t и питания Vddq_t в корпусе воздействует на тестируемую линию. Для его уменьшения оптимизируются номиналы фильтрующих конденсаторов.
- *Cross Talk noise* - порождаемый электромагнитными взаимодействиями между паразитными элементами в модели корпуса и взаимовлиянием близлежащих линий задержки TLaxx на тестируемую линию задержки TLm. Важно отметить, что по мере удаления линии TLa от тестируемой, этот вид взаимовлияния ослабевает.

- *Reflection noise* - генерируемый в линии передачи в результате взаимных отражений сигналов. Для снижения данного вида шума необходимо тщательно учитывать и, по возможности, согласовывать импедансы всех компонентов модели, а именно передатчика DDM, линии задержки TLM и приемника DRm.
- *InterSymbol Interference (ISI) noise* - для наиболее полного моделирования данного типа шума тестовая последовательность должна включать максимальное количество возможных переключений.

На Рис. 2 приведена блок схема *source synchronous* интерфейса, при моделировании которого сигналы стробов *DQS*, *Clk* и данных *DQ*, *Address* передаются от одного и того же источника [9]. Такие интерфейсы могут быть синхронизированы по одному фронту - *Single Data Rate (SDR)* или по двум фронтам - *Double Data Rate (DDR)*.

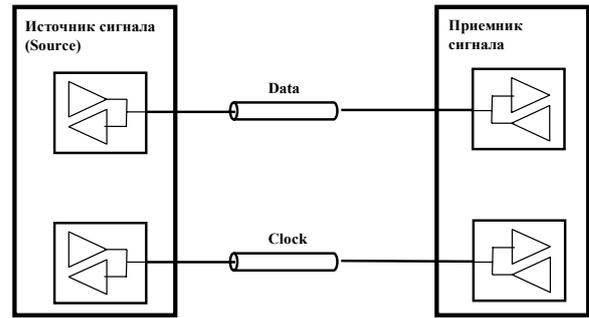


Рис. 2. Source synchronous DDR интерфейс, блок схема

III. C2C и QSI МЕТОДИКИ РАСЧЕТА ВРЕМЕННЫХ ПАРАМЕТРОВ БЫСТРОДЕЙСТВУЮЩИХ СИНХРОННЫХ ИНТЕРФЕЙСОВ

На Рис. 3 показана временная диаграмма цикла записи *source synchronous DDR* интерфейса.

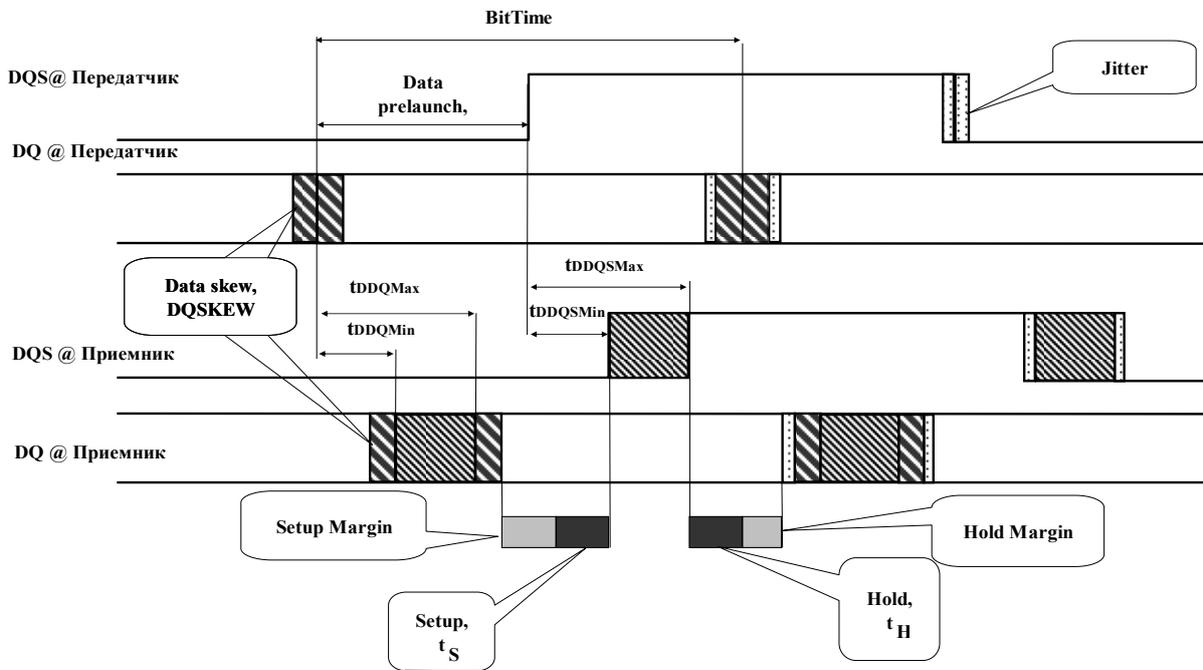


Рис. 3. Source synchronous DDR интерфейс. Временная диаграмма, цикл записи

На основе Рис. 3 выражение для *Margin DDR* интерфейса может быть определено как:

$$M = BitTime - n_{ch} - DQ_{SKEW} - t_S - t_H - Jitter \quad (1)$$

где *BitTime* - время передачи одного бита информации;

n_{ch} - интегральный шум канала “*source synchronous*” интерфейса, измеряемый при моделировании интерфейса;

DQ_{SKEW} - задержка между переключениями сигнала *DQ* (*Address*) и переключением сигнала *DQS* (*Clk*) на выходе микросхемы передатчика;

t_S, t_H - постоянные времена *Setup*, *Hold*;

Jitter - не коррелированное изменение сигнала *Clk*, определяемое на этапе разработки БИС передатчика.

Для вычисления значения *Margin* необходимо определить величину n_{ch} , так как остальные слагаемые выражения (1) формируются на этапе логического проектирования БИС [10]. Таким образом, методика

расчета временных параметров синхронного интерфейса сводится к определению величины интегрального шума.

$$n_{ch} = n_{setup} + n_{hold},$$

где n_{ch} - общий шум “source synchronous” интерфейса;

n_{setup} - общий шум предустановки (*Setup noise*);

n_{hold} - общий шум удержания (*Hold noise*).

А. Вычисление Setup, Hold noise на основе QSI методики

Setup noise вычисляется как:

$$n_{setup} = \frac{BitTime}{2} - (t_{DDQSMin} - t_{DDQMax}), \quad (2)$$

где $t_{DDQSMin}$ - минимальная задержка сигнала *DQS*;

t_{DDQMax} - максимальная задержка сигнала *DQ*;

Hold noise вычисляется как:

$$n_{hold} = \frac{BitTime}{2} - (t_{DDQMin} - t_{DDQMax}), \quad (3)$$

где t_{DDQMin} - минимальная задержка сигнала *DQ*;

t_{DDQMax} - максимальная задержка сигнала *DQS*;

Б. Вычисление Setup, Hold noise на основе C2C методики

Setup noise вычисляется как:

$$n_{setup} = \frac{BitTime}{2} - \text{Min}_{i=1}^N \{ \Delta t_{DQS-DQ}^i \}, \quad (4)$$

где $\text{Min}_{i=1}^N \{ \Delta t_{DQS-DQ}^i \}$ - минимальное значение из множества векторов:

$$\Delta t_{DQS-DQ}^i = t_{DDQS}^i - t_{DDQ}^i;$$

Hold noise вычисляется как:

$$n_{hold} = \frac{BitTime}{2} - \text{Min}_{i=1}^N \{ \Delta t_{DQ-DQS}^i \}, \quad (5)$$

где $\text{Min}_{i=1}^N \{ \Delta t_{DQ-DQS}^i \}$ - минимальное значение из множества векторов:

$$\Delta t_{DQ-DQS}^i = t_{DDQ}^i - t_{DDQS}^i.$$

В. Вычисление ширины “Eye Diagram”.

“Eye Diagram” - эффективное средство контроля и анализа сигналов, которое широко используется при разработке современных коммуникационных, в том

числе и быстродействующих синхронных интерфейсов. Анализ результатов моделирования с помощью eye diagram позволяет оценить уровень шумов и амплитуду сигнала, и получить оценку временных параметров интерфейса. Основным временным параметром “Eye Diagram” является “EyeWidth”.

“EyeWidth” на основе *QSI* методики определяется как:

$$EyeWidth_{QSI} = t_{DMIN} - t_{DMAX}. \quad (6)$$

“EyeWidth” на основе *C2C* методики определяется как:

$$EyeWidth_{C2C} = \text{Min} \{ \Delta t_D^1 \dots \Delta t_D^N \}, \quad (7)$$

где $\text{Min} \{ \Delta t_D^1 \dots \Delta t_D^N \}$ - минимальное значение из множества векторов

$$\Delta t_D^i = \begin{cases} t_{DF}^i - t_{DR}^i, & \text{если } t_R^i > t_F^i \\ t_{DR}^i - t_{DF}^i, & \text{если } t_F^i > t_R^i \end{cases},$$

где t_R^i, t_F^i - времена появления переднего и заднего фронтов исследуемого сигнала.

IV. СРАВНИТЕЛЬНЫЙ АНАЛИЗ МЕТОДИК РАСЧЕТА ВРЕМЕННЫХ ПАРАМЕТРОВ БЫСТРОДЕЙСТВУЮЩИХ СИНХРОННЫХ ИНТЕРФЕЙСОВ

Для проведения сравнительного анализа *QSI* и *C2C* методик расчета временных параметров синхронных интерфейсов использованы результаты моделирования цикла записи *DDR1* - 400МГц интерфейса, которые были получены при следующих условиях:

- “slow” spice модели элементов;
- минимальное напряжение питания выходных каскадов передатчика: 2.3В;
- температура окружающей среды: 125°C;
- частота на входе приемника: 200 МГц (*BitTime*=2.5нс);
- ширина шины передачи данных: 10 бит (1 victim, 9 aggressors);
- передатчик интерфейса: RC spice netlist SSTL25;
- представление приемника в модели интерфейса: модель SSTL25 приемника, поставляемого компанией Micron;
- корпус со стороны передатчика: распределённая частотно зависимая S - модель;
- модель корпуса со стороны приемника: RLC;
- модель печатной платы: микрополосковые линии с потерями.

На Рис. 4, 5, 6 представлены результаты расчета параметров *DDR* интерфейса, выполненные в среде Matlab и с использованием алгоритмов рассмотренных выше. Результатами расчетов являются

- значения параметра “EyeWidth”, полученные на основе *QSI* (6) и *C2C* (7) методик (Рис.4);

- значения, n_{setup} , n_{hold} полученные на основе *QSI* (2),(3) и *C2C* методик (4),(5).

На Рис. 6 показана временная диаграмма цикла записи DDR интерфейса.

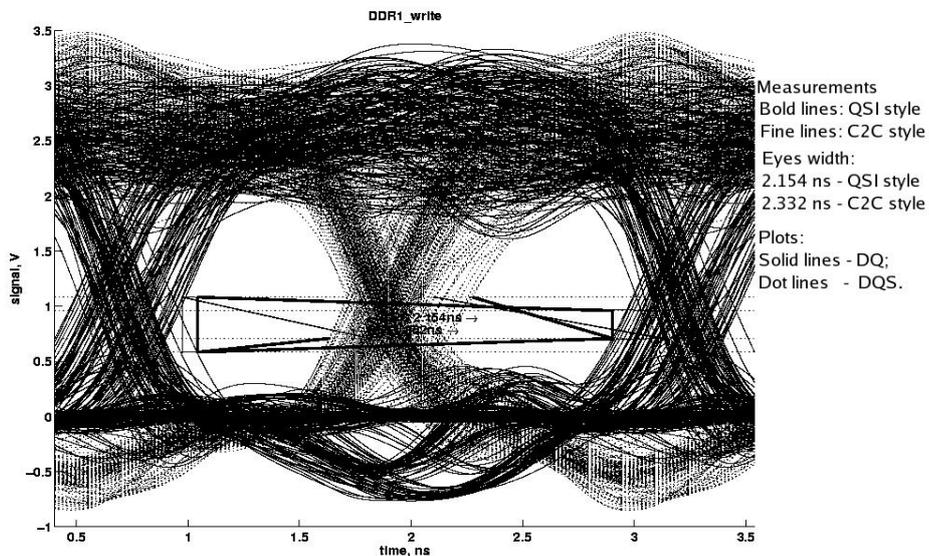


Рис. 4. “Eye diagram” на входе микросхемы приемника.

На диаграмме показаны: сплошные линии - *DQ*, прерывистые линии - *DQS*.

Ширина глаза: на основе *QSI* методики : $EyeWidth_{QSI} = 2.154$ нс, на основе *C2C* методики: $EyeWidth_{C2C} = 2.332$ нс

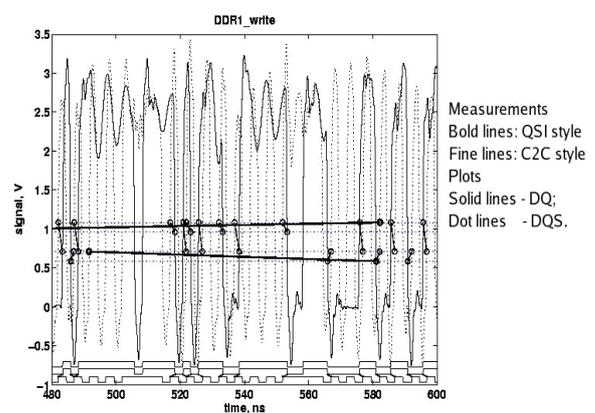
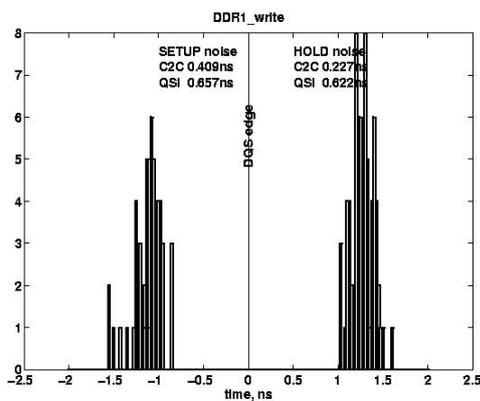


Рис. 5. Гистограммы распределения *Setup*, *Hold noise* (n_{setup} , n_{hold}), рассчитанные на основе *C2C* методики

Подставляя в выражение (1) значения *Setup*, *Hold noise*, полученные на основе методов *C2C*:

- $n_{setup} = 0.409$ нс;
- $n_{hold} = 0.227$ нс;

Рис. 6. Диаграммы цикла записи DDR интерфейса *DQ* (сплошные линии), *DQS* (прерывистые линии). Задержки между *DQ* и *DQS* сигналами: “Bold lines” – *QSI* методика; “Fine lines” – *C2C* методика и *QSI*:

- $n_{setup} = 0.622$ нс;
- $n_{hold} = 0.657$ нс.

Результаты сравнительного анализа методик расчета быстродействующих синхронных интерфейсов

Методика	$EyeWidth$, нс	n_{setup} , нс	n_{hold} , нс	n_{ch} , нс	$Margin$, нс
QSI	2.154	0.657	0.622	1.279	0.071
$C2C$	2.332	0.409	0.227	0.636	0.714

Временные константы, типовые для БИС уровня $DDR1 - 400\text{МГц}$ [11]:

- $BitTime = 2.5\text{нс}$,
- $DQ_{SKEW} = 0.4\text{нс}$,
- $t_s/t_H = 0.3\text{нс}$,
- $Jitter = 0.15\text{нс}$.

Получаем значения M , рассчитанные на основе двух методик:

- $M_{QSI} = 0.071\text{нс}$,
- $M_{C2C} = 0.714\text{нс}$.

Результаты расчетов сведены в таблицу 1.

Как следует из результатов проведенных расчетов, применение $C2C$ метода позволяет получить лучшие результаты для интерфейсов типа $DDR1$. Это связано с тем, что в QSI методе используется пессимистический подход для вычисления шумов в канале передачи данных. Попарно сравнивая выражения (2), (4) и (3), (5) видно, что QSI метод *определяет шум в канале на основе крайних значений задержек DQ/DQS* , измеренных в течении всего цикла записи – “Bold lines” на Рис. 6. Такой подход является пессимистичным. $C2C$ метод *использует крайние значения разности DQ/DQS задержек* рассчитываемых для каждого цикла записи – “Fine lines” на Рис. 6.

Применение $C2C$ метода для расчета временных параметров интерфейса предпочтительнее для максимальных частот, так как более соответствует реальному поведению интерфейса и исключает излишнюю долю пессимизма при оценке временных параметров.

Пакет QSI компании $SiSoft^{\text{TM}}$ позволяет осуществлять сквозное проектирование синхронных интерфейсов от этапа построения модели до расчета и оценки параметров. Методика расчета, позволяет получить численные значения временных параметров с достаточным запасом, точности и высокой степенью автоматизации, что существенно ускоряет процесс разработки интерфейса. Поэтому, для получения максимально точных результатов представляется целесообразным совместное использование QSI и $C2C$ методологий.

V. ЗАКЛЮЧЕНИЕ

В данной работе рассмотрена “Cycle-To-Cycle” методика проектирования быстродействующих синхронных интерфейсов. Даны определения, краткие описания и рекомендации по снижению шумов возникающих при работе интерфейса и влияющих на его

временные параметры. Приведено подробные описания модели интерфейса и методики моделирования. Показана реализация $C2C$ и QSI методик расчета временных параметров синхронных интерфейсов в среде Matlab. На примере цикла записи *source synchronous $DDR1 - 400\text{МГц}$ интерфейса* показаны их достоинства и недостатки, даны рекомендации по их применению.

ЛИТЕРАТУРА

- [1] Signal Integrity. [Электронный ресурс]. URL: http://en.wikipedia.org/wiki/Signal_integrity (дата обращения: 14.02.2010).
- [2] Eric Bogatin. Signal Integrity-simplified // BookCraft Inc. URL: http://books.google.ru/books?id=_IiONSphoB4C&printsec=frontcover&dq=signal+integrity&source=bl&ots=OlH9dVHbVh&sig=-oL2OjGrW4X7LyaAdkDt-ovHd6A&hl=ru&ei=O513S8XDHYeomgOrtM2eCQ&sa=X&oi=book_result&ct=result&resnum=2&ved=0CBcQ6AEwAQ#v=onepage&q=&f=false (дата обращения: 14.02.2010).
- [3] Reflection Noise. [Электронный ресурс]. URL: http://en.wikipedia.org/wiki/Signal_reflection (дата обращения: 03.06.2010).
- [4] Impedance Matching. [Электронный ресурс]. URL: http://en.wikipedia.org/wiki/Impedance_matching (дата обращения: 03.06.2010).
- [5] Inter Symbol Interference. [Электронный ресурс]. URL: http://en.wikipedia.org/wiki/Intersymbol_interference (дата обращения: 03.06.2010).
- [6] Quantum-SITM Overview. [Электронный ресурс]. URL: http://sisoft.com/products_qsi_oview.asp (дата обращения: 03.06.2010).
- [7] Core to Core Methodology. [Электронный ресурс]. URL: <http://sisoft.com/method.asp> (дата обращения: 03.06.2010).
- [8] Telegraph Equation. [Электронный ресурс]. URL: <http://planetmath.org/encyclopedia/TelegraphEquation.html> (дата обращения: 03.06.2010).
- [9] Marcus Muller. Fundamentals of Digital Communications Systems. Chapter 1. URL: http://ptgmedia.pearsoncmg.com/images/9780132209106/samplechapter/0132209101_01.pdf. (дата обращения: 07.06.2010).
- [10] Signal Integrity Software. Inc. Quantum SITM. Users Guide, 2007. P. 361.
- [11] Micron. Double Data Rate (DDR) SDRAM [Электронный ресурс]. URL: <http://download.micron.com/pdf/datasheets/dram/ddr/512MBDDRx4x8x16.pdf> (дата обращения: 14.02.2010).