

Архитектура оптического устройства приема информации в микропроцессорных вычислительных системах

А.Е. Агафонов

Учреждение Российской академии наук

Научно-исследовательский институт системных исследований РАН, agart@cs.niisi.ras.ru

Аннотация — статья описывает архитектуру оптического устройства приема информации (оптический приемник) для микропроцессорных вычислительных систем. Прием данных происходит в средах Ethernet (1 Гбит/с) и RapidIO (1 Гбит/с и 1,25 Гбит/с) с топологией типа точка-точка. Оптический приемник (ОП) содержит усилитель напряжения, управляемый током (УНУТ) с автоматической регулировкой усиления (АРУ), шесть усилителей-ограничителей (УО), схему детектирования сигнала (СДС) и выходной буфер. ОП обеспечивает усиление до 59 дБом при максимальной рабочей частоте 625 МГц в полном диапазоне рабочих температур. ОП создан по КМОП-технологии 0,35 мкм, напряжение питания 3,3 В, среднее значение потребляемой мощности 345 мВт.

Ключевые слова — оптический приемник, усилитель-ограничитель, усилитель напряжения, управляемый током, автоматическая регулировка усиления.

I. ВВЕДЕНИЕ

Стремительный рост информационных потоков в таких глобальных сетях как Интернет потребовал модернизации существующего коммуникационного оборудования. Среди доступных средств передачи информации волоконно-оптические технологии являются наиболее подходящим решением для обеспечения высокой пропускной способности. Малое затухание света в оптическом волокне обуславливает возможность применения волоконно-оптической связи на значительных расстояниях без использования усили-

телей, и такая связь свободна от электромагнитных помех и недоступна для несанкционированного использования — перехватить сигнал, передаваемый по оптическому кабелю, невозможно. Также, такой способ передачи информации используется и при обмене данными на коротких дистанциях (локальные сети, межсоединения между платами/микросхемами).

Чтобы удовлетворить всем этим требованиям, оптическое устройство приема информации должно обладать высоким быстродействием, широким входным диапазоном и высокой чувствительностью.

II. АРХИТЕКТУРА ОПТИЧЕСКОГО ПРИЕМНИКА

A. Общая структура оптического приемника

Архитектура приёмника [1]–[4] строится на основе преобразователя входного тока фотодиода в напряжение со встроенной автоматической регулировкой усиления, позволяющей максимально увеличить входной динамический диапазон и достичь необходимой чувствительности. Выходной сигнал преобразователя интегрируется, формируя опорное напряжение для конвертирования однофазного сигнала в парафазный. Полученный сигнал подается на выходной буфер приемника.

В данном приемнике используется схема детектирования сигнала (СДС), которая отслеживает наличие

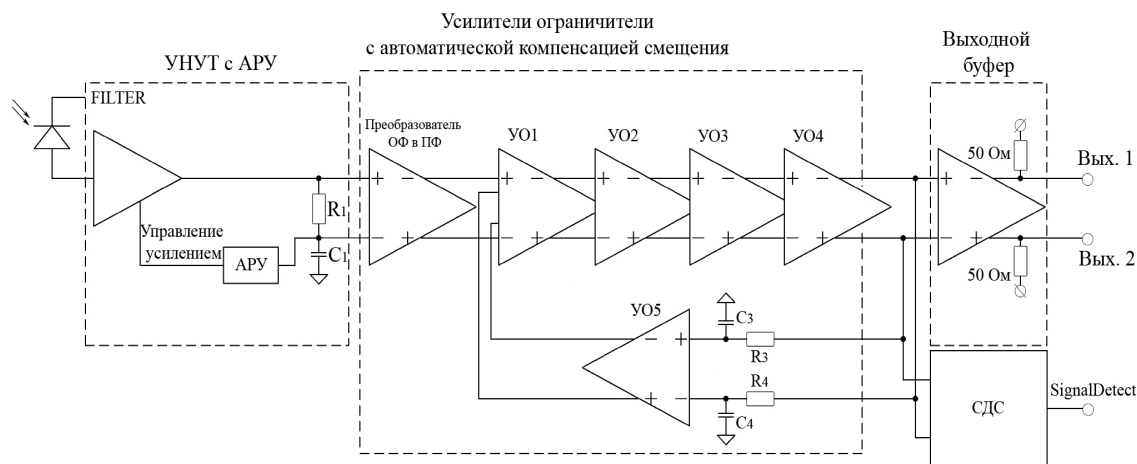


Рис. 1. Общая структура оптического приемника

входного оптического сигнала и формирует сигнал признака передачи данных (SignalDetect). Низкий уровень этого сигнала показывает отсутствие входного оптического сигнала на входе приемника.

На рис. 1 изображена структурная схема оптического приёмника. Приёмник включает в себя:

- фотодиод;
- схему усилителя напряжения управляемого током (УНУТ), преобразующего входной ток от фотодиода в выходное напряжение;
- преобразователь однофазного сигнала в парафазный (преобразователь ОФ в ПФ), конвертирующий входной сигнал УНУТ в дифференциальный сигнал;
- несколько усилителей ограничителей (УО);
- буфер к следующему каскаду, ограничивающий сигнал по амплитуде и согласующий его как с нагрузкой в 50 Ом, так и с низковольтной эмиттерно-связанной логикой (ЭСЛ);
- схема детектирования сигнала (СДС).

Б. Схемотехника УНУТ

Усилитель напряжения управляемого током (УНУТ) играет критическую роль в оптическом приемнике и является узлом, определяющим его быстродействие. Схема УНУТ с автоматической регулировкой усиления (АРУ) приведена на рис. 2.

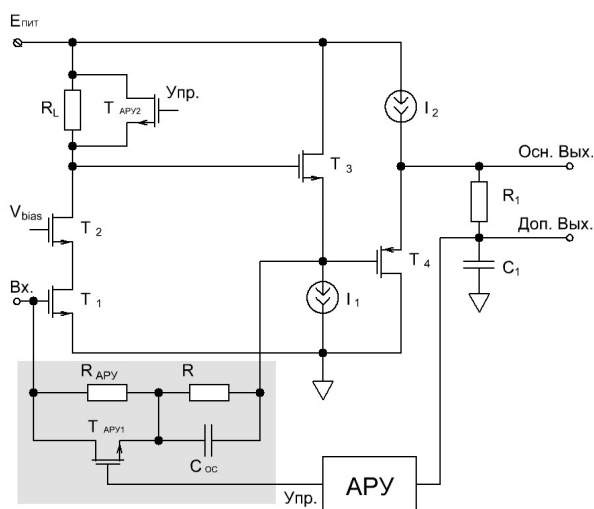


Рис. 2. Схема УНУТ с АРУ

Основной усилитель состоит из каскадного усилителя T_1 , T_2 и истокового повторителя – транзистор T_3 с источником тока I_1 . Истоковый повторитель на транзисторе T_4 и источнике тока I_2 – сдвигает уровень сигнала на выходе УНУТ в диапазон, необходимый для следующего блока. Изменяемая цепь обратной связи состоит из R , R_{APY} , T_{APY1} и C_{OC} . В зависимости от уровня сигнала на выходе УНУТ, АРУ формирует напряжение смещения $V_{зи}$ для транзисторов T_{APY1} и T_{APY2} , управляя величинами сопротивлений в цепях

обратной связи и усиления, а следовательно и коэффициентом усиления УНУТ.

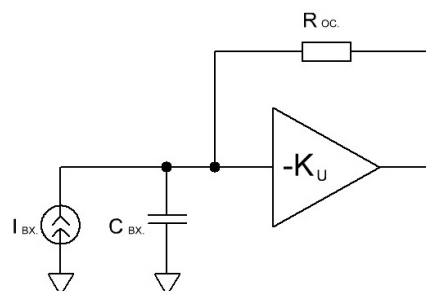


Рис. 3. Упрощенное представление схемы УНУТ

Передаточная функция типового УНУТ с резистором в цепи обратной связи (рис. 3) может быть описана следующим образом:

$$G = \frac{V_{вых}}{I_{вх}} = -\frac{K_U}{K_U + 1} \frac{R_{OC}}{1 + \frac{R_{OC}C_{вх}}{K_U + 1}s}, \quad (1)$$

где K_U – коэффициент усиления основного усилителя по напряжению, R_{OC} – сопротивление в цепи обратной связи, $C_{ВХ}$ – общая ёмкость входного узла.

Передаточная функция (1) имеет полюс на следующей частоте:

$$f_{-3dB} = \frac{1}{2\pi} \frac{K_U + 1}{R_{OC}C_{вх}}. \quad (2)$$

Для того чтобы работать на частоте 1 Гб/с, ширина полосы пропускания на уровне -3 дБ должна быть около 1 ГГц. Правильный выбор величин R_{OC} и $C_{ВХ}$ позволяет увеличить полосу пропускания УНУТ за счет высокочастотной коррекции.

Заменяв простой резистор R_{OC} в цепи обратной связи на элементы R , R_{APY} , T_{APY1} и C_{OC} (рис. 2), сопротивление в обратной связи можно записать как функцию частоты:

$$R_{OC}(s) = R_{APY} + \frac{R}{1 + RC_{oc}s}, \quad (3)$$

где T_{APY1} можно пренебречь для упрощения, при условии, что АРУ отключено. Сопротивление обратной связи снижает частоту, которая эквивалентна полюсу в передаточной функции:

$$f_p = \frac{1}{2\pi} \frac{1}{RC_{oc}}. \quad (4)$$

Сопротивление R и ёмкость C_{OC} формируют полюс, чтобы сгладить пик в частотной характеристике. Таким образом, УНУТ может использовать максимальный пик и в тоже время иметь плоскую АЧХ.

В. Схемотехника усилительного и выходного трактов

Перепад напряжения на выходе УНУТ при минимальном входном токе с фотодиода слишком мал для его передачи на выходной буфер и нуждается в дополнительном усилении. Для обеспечения нужного быстродействия и усиления в данном оптическом приемнике используется несколько последовательно включенных дифференциальных усилителей ограничителей УО1-УО4. Для автоматической компенсации смещения используется низко-частотная обратная связь, реализованная на УО2, УО5 и фильтрах нижних частот, построенных на R_3 C_3 и R_4 C_4 .

Усилители ограничители УО1, УО3-УО5 и преобразователь однофазного сигнала в парафазный (преобразователь ОФ в ПФ) имеют одинаковую структуру, построенную на основе модифицированной архитектуры усилителя Черри-Хупера [5] (рис. 4). УО состоит из дифференциального усилительного каскада (T_1 , T_2 , источник тока I_1), УНУТ каскада (T_3 , T_4 , источник тока I_2) и истоковых повторителей (T_7 , T_8 , источники тока I_3 , I_4).

Структура УО2 схожа со структурой усилителей ограничителей, рассмотренных выше (рис. 5).

В данном УО входной каскад выполняет две функции: входного буфера (транзисторы T_1 и T_2) и вычитателя (транзисторы T_{1fb} и T_{2fb}). Напряжение смещения из низкочастотной обратной связи преобразовывается в ток компенсации и вычитается из входного сигнала.

Выходной буфер показан на рис. 6. Он состоит из простой дифференциальной пары (T_1 , T_2) и двух транзисторов с открытым стоком (T_3 , T_4) для совмещения по выходу с низковольтной эмиттерно-связанной логикой (ЭСЛ). Для достижения необходимой ширины полосы пропускания необходимы резисторы R_L малой величины.

III. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Моделирование работы ОП проводилось в SPICE симуляторе при использовании напряжения питания в 3,3 В, температуре 125 °С и емкости фотодиода в 1 пФ.

На рис. 7 и 8 показаны измеренные глазковые диаграммы амплитуды дифференциального выходного напряжения для различных скоростей передачи данных 100 Мбит/с и 1,25 Гбит/с при псевдослучайной битовой последовательности на входе ОП при амплитудах входного тока 14 мкА и 1,4 мА.

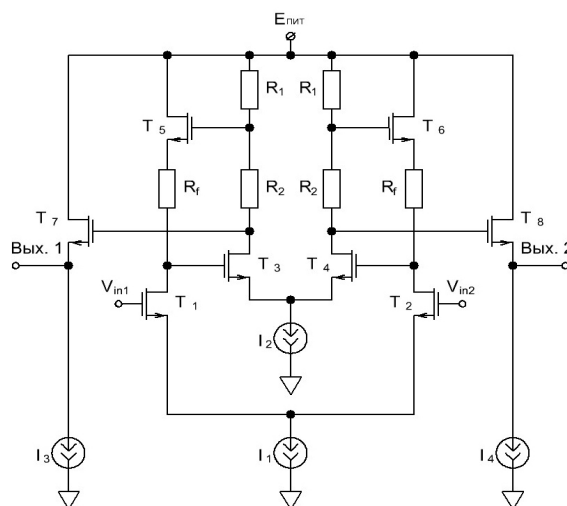


Рис. 4. Схема УО

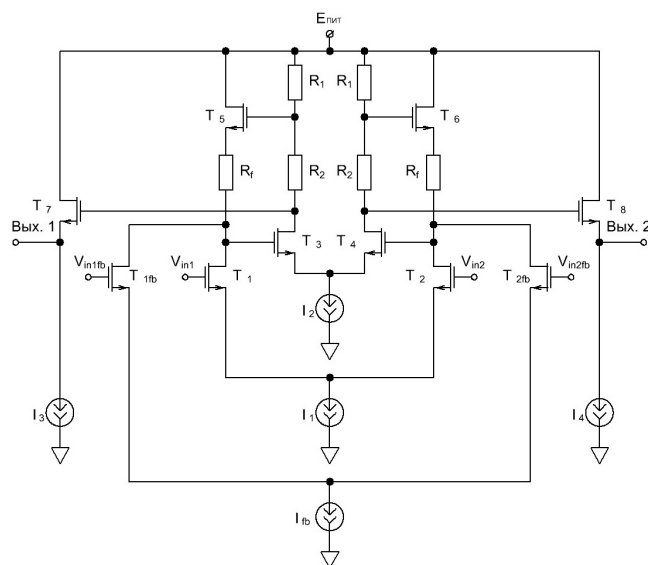


Рис. 5. Схема УО с функцией вычитателя

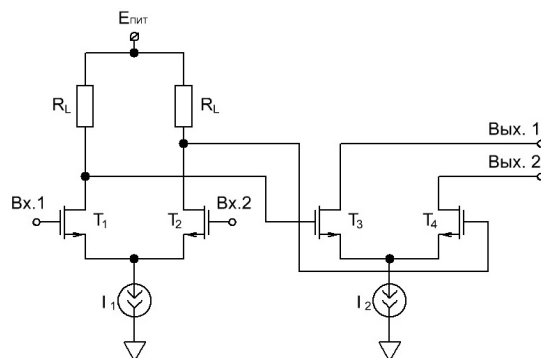


Рис. 6. Схема выходного буфера

IV. ЗАКЛЮЧЕНИЕ

В данной статье была описана архитектура ОП, функционирующего в средах Ethernet (1 Гбит/с) и RapidIO (1 Гбит/с и 1,25 Гбит/с) с топологией типа точка-точка.

ОП обеспечивает усиление до 59 дБом при максимальной рабочей частоте 625 МГц в полном диапазоне рабочих температур. ОП создан по КМОП-технологии 0,35 мкм, напряжение питания 3,3 В, среднее значение потребляемой мощности 345 мВт.

В таблице 1 приведены основные электрические характеристики ОП по результатам моделирования.

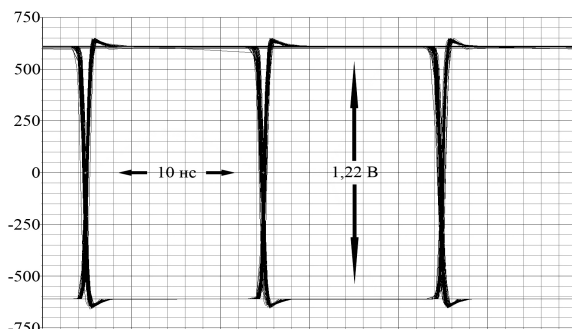
Таблица 1

Характеристики ОП

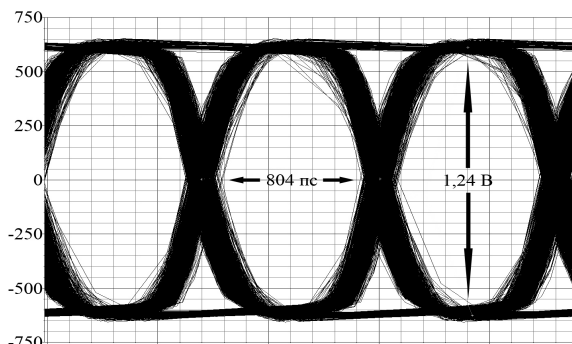
Параметр	MIN	TYP	MAX
Напряжение питания, В	3,0	3,3	3,6
Рабочая температура, °C	-40	25	125
Входной ток, мкА	2	-	1600
Потребляемая мощность статическая/динамическая, мВт	156,6/ 262,2	-/ 345,2	340,2/ 436,3
Емкость фотодиода, пФ	-	1	-
Амплитуда дифференциального выходного сигнала данных, В	1,1	1,2	1,4
Длительность переднего и заднего фронтов выходного сигнала данных 10%-90%, пс	115	150	240

ЛИТЕРАТУРА

- [1] Takeshi Nagahori, Kazunori Miyoshi, Yukio Aizawa, Yuki Kusachi. An Analog Front-End Chip Set Employing an Electro-Optical Mixed Design on SPICE for 5-Gb/s/ch Parallel Optical Interconnection // IEEE Journal of Solid-State Circuits. - 2001. - V. 36. - № 12. - P. 1984 - 1991.
- [2] Shinji Yamashita, Satoshi Ide, Kazuyuki Mori, Atsushi Hayakawa, Norio Ueno. Novel Cell-AGC Technique for Burst-Mode CMOS Preamplifier With Wide Dynamic Range and High Sensitivity for ATM-PON System // IEEE Journal of Solid-State Circuits. - 2002. - V. 37. - № 7. - P. 881 - 886.
- [3] Quan Le, Sang-Gug Lee, Yong-Hun Oh, Ho-Yong Kang. A Burst-Mode Receiver for 1.25-Gb/s Ethernet PON With AGC and Internally Created Reset Signal // IEEE Journal of Solid-State Circuits. - 2004. - V. 39. - № 12. - P. 2379 - 2388.
- [4] Makoto Nakamura, Yuki Imai, Yohtaro Umeda, Jun Endo. A 1.25-Gb/s Burst-Mode Receiver ICs With Quick Response for PON Systems // IEEE Journal of Solid-State Circuits. - 2005. - V. 40. - № 12. - P. 2680 - 2688.
- [5] Chris D. Holdenried, Michael W. Lynch, James W. Haslett. Modified CMOS Cherry-Hooper Amplifiers with Source Follower Feedback in 0.35um Technology // University of Calgary, Department of Electrical and Computer Engineering, T2N 1N4 Calgary, Canada. - 2003.

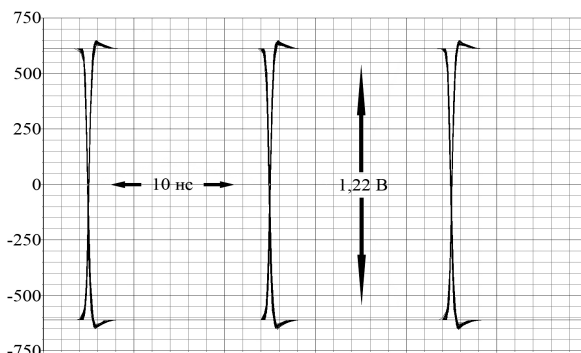


(а)

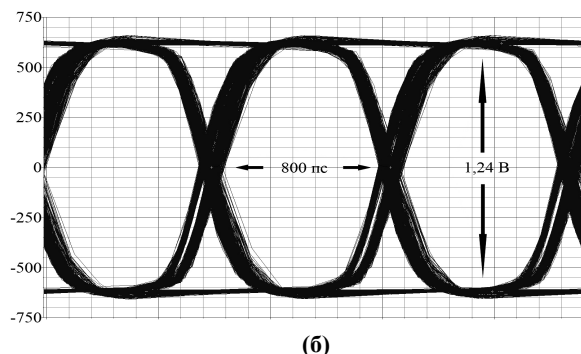


(б)

Рис. 7. Глазковые диаграммы для 100 Мбит/с (а) и 1,25 Гбит/с (б) при амплитуде входного тока 14 мкА



(а)



(б)

Рис. 8. Глазковые диаграммы для 100 Мбит/с (а) и 1,25 Гбит/с (б) при амплитуде входного тока 1,4 мА