

Подсистема событийного анализа самосинхронных схем АСПЕКТ

Ю.В. Рождественский, Н.В. Морозов, А.В. Рождественскене

Учреждение Российской академии наук Институт проблем информатики РАН (ИПИ РАН),

{ yrogdest, nmorozov, arogdest }@ipiran.ru

Аннотация — Предметом доклада является метод анализа асинхронных схем на независимость их поведения от задержек логических элементов, построенный на событийных моделях функционирования электронных схем. Схема определяется системой булевых уравнений, удовлетворяющей гипотезе Маллера относительно задержек логических элементов. Предлагаемый метод в теоретической части базируется на диаграммах переходов (метод в глобальных состояниях) с последующим тождественным преобразованием к событийным моделям. Полученные алгоритмы анализа обладают строгой фундаментальностью метода в глобальных состояниях, но не требуют полного перебора достижимых состояний схемы. Сложность задачи изменилась с экспоненциальной на полиномиальную. Подсистема АСПЕКТ - это комплекс программ, реализующий событийный метод анализа.

Ключевые слова — Самосинхронные схемы; событийный анализ; автоматизированное проектирование.

1. ВВЕДЕНИЕ

Существующие системы автоматизированного проектирования самосинхронных интегральных схем базируются на разработанных ранее библиотечных элементах вентиляльного уровня. Анализ их функционирования и проверка самосинхронности производятся с помощью программных средств, базирующихся на "глобальных моделях" – АСИАН [1], ТРАНАЛ [2]. Эти программные средства обеспечивают точный и корректный анализа небольших самосинхронных элементов, но неприменимы к более крупным схемным решениям вследствие экспоненциального роста вычислительных затрат от количества внутренних параллельных переключений в этих схемах. Проектирование крупных блоков непосредственно из библиотечных элементов вентиляльного уровня приводит к получению громоздких и неэффективных решений, часто дискредитируя саму идею самосинхронизации.

Выходом из "тупика" могут быть событийные модели функционирования самосинхронных схем, обладающие полиномиальной сложностью к внутреннему параллелизму. Основная проблема в реализации таких программ заключается в обеспечении строгого тождественного соответствия фундаментальным методам анализа на "глобальных моделях". Она имеет теорети-

ческую и техническую составляющие.

Основы теоретического подхода были проработаны группой В.И. Варшавского [3].

Детализация ряда теоретических положений и техническая реализация оставались до последнего времени невыполненными. Решению этой задачи посвящается данный доклад.

II. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ АНАЛИЗА САМОСИНХРОННЫХ СХЕМ НА БАЗЕ ГИПОТЕЗЫ МАЛЛЕРА

Для четкого определения круга решаемых задач приведем еще раз описание схемы по Маллеру [4].

Схемой называется совокупность логических элементов $\{Z_1, \dots, Z_n\}$, где каждый вход логического элемента присоединен к одному выходу, и никакие два выхода не соединены между собой. Состояние схемы в каждый момент представляет собой набор значений сигналов в ее узлах – выходах двоичных логических элементов. Входы схемы также можно считать логическими элементами без входов – генераторами нулей или единиц.

Состояние выхода элемента определяется значениями сигналов на его входах. Поведение i -того элемента схемы можно описать булевым уравнением:

$$Z'_i = F_i(Z_1, \dots, Z_i, \dots, Z_n), \quad (1)$$

где $Z_1, \dots, Z_{i-1}, Z_{i+1}, \dots, Z_n$ – значения сигналов во входных узлах i -того элемента в момент времени t ; Z_i – значение выхода i -того элемента в момент времени t ; Z'_i – значение, которое должен принять выход i в следующий момент времени t' ; F_i – собственная функция i -того элемента.

Для схемы, состоящей из n элементов, моделью Маллера называется система из n уравнений вида $Z'_i, i = 1, \dots, n$.

Сказанное означает, что переключение любого логического элемента может происходить в течение любого, но ограниченного интервала времени. При этом результат переключения, появляющийся на выходе элемента Z'_i , одновременно появляется на входах всех элементов Z_j , связанных с выходом элемента Z_i . (Все задержки переключения "приводятся" ко

входу сработавшего элемента.)

По Маллеру, схема будет самосинхронной, если в процессе её работы ни для каких переключающихся элементов не возникнет ситуация, когда два различных события на входах элемента, действуя в противоположных направлениях, могут переключить его в прямом и обратном направлении одновременно (режим "гонки").

Самосинхронные схемы по Маллеру (speed-independent) обладают рядом ценных качеств. Они характеризуются независимостью функционирования от времени переключения элементов схемы. Вместе с тем понятие самосинхронности по Маллеру может быть распространено и на специальный класс схем, независимых как от времени переключения, так и от задержек в соединениях элементов (delay-insensitive).

Действительно, если на всех входах каждого логического элемента поставить повторитель, то логика функционирования схемы останется неизменной, а времена появления входных сигналов окажутся произвольными, ограниченными величинами, отсчитываемыми от момента срабатывания переключающих их выходов. Система логических уравнений, описывающая исходную схему (1), модифицируется к виду:

$$\begin{aligned} Z'_i &= F(\alpha_{ij}) \\ \alpha'_{ij} &= Z_j ; \quad \forall i, \end{aligned}$$

где α_{ij} – логическая функция повторителя для j-го входа i-го логического элемента схемы.

Самосинхронность этой схемы по Маллеру будет означать независимость её функционирования во времени как от задержек логических элементов, так и от задержек в межсоединениях.

Следовательно, средства анализа самосинхронности схемы Маллера позволяют анализировать оба вида времянезависимых схем и обладают, с этой точки зрения, существенной фундаментальностью.

С практической точки зрения, модель Маллера для схем, не зависящих от задержек в элементах, хорошо описывала изделия в КМОП-технологии микронного диапазона. С переходом в субмикронный технологический диапазон соотношение задержек на переключение активных элементов и перезаряд емкостей трасс начинает меняться в сторону существенного увеличения последних. Это означает, что для адекватного описания поведения схемы с субмикронными технологическими нормами изготовления требуется проверять корректность функционирования с точки зрения нарушения самосинхронности на некоторой расширенной модели. Понятно, что нет необходимости делать такие проверки сразу по всем цепям и проектировать схемы, независимые от задержек в элементах и их межсоединениях (кроме специальных случаев). Это приведет к неоправданному росту аппа-

ратных затрат и, соответственно, энергопотребления.

Здесь целесообразно использовать результаты трассировки для выделения критических цепей, модификации модели Маллера с учетом задержек в этих цепях и анализа самосинхронности полученного решения. В случае её нарушения потребуются установить дополнительные индикаторы, учитывающие задержки в критических цепях, и повторить процесс контроля.

Универсальные алгоритмы на базе "глобальных моделей" [3] позволяют получить однозначный ответ о наличии нарушений самосинхронности в схеме Маллера. Своей универсальностью они обязаны полному просмотру всех допустимых и достижимых состояний схемы с целью проверки наличия таких нарушений. В этом и их главный недостаток. Время анализа схем с помощью универсальных алгоритмов определяется экспоненциальным характером зависимости числа анализируемых состояний от "внутренней параллельности" схемы, т.е. числа одновременно происходящих переключений логических элементов. В [1] описана реализация алгоритма проверки самосинхронности на базе диаграмм переходов (ДП), позволяющая максимально использовать практически все возможности современной вычислительной техники для решения этой задачи. Достигнутый уровень сложности исследуемых схем составляет не более 24 параллельных процессов. Это соответствует схемным решениям небольших электронных узлов по 500 ÷ 1000 вентилей [5]. Анализировать более сложные схемы по этим алгоритмам не представляется возможным.

III. СОБЫТИЙНЫЙ ПОДХОД К АНАЛИЗУ САМОСИНХРОННЫХ СХЕМ

В качестве альтернативы, группой проф. В.И. Варшавского был предложен событийный подход к анализу самосинхронных схем. В этом случае, под событием понимается изменение (срабатывание) одной из переменных в левой части уравнения (1). Предшествующее срабатыванию состояние переменной левой части, соответствующее временному интервалу, когда все переменные правой части завершили свое срабатывание, называется состоянием возбуждения переменной левой части логического уравнения. Оно демонстрирует приведение задержки срабатывания к выходу логического элемента для схемы Маллера. Множество возбужденных состояний переменной образует её зону возбуждения в диаграмме переходов Маллера. Именно величина этой зоны и определяет характер экспоненциальной зависимости анализа в ДП, поскольку эта зона состоит из полного перебора состояний схемы по независимым (параллельным) переменным, отличным от возбужденной переменной. В событийном подходе вся зона возбуждения заменяется набором событий, равным числу незави-

симых выходов из этой зоны. Для событий типа "И" это единственное событие – переключение элемента. Для события "ИЛИ" это число событий, равное числу независимых переменных, вызывающих переключение данного элемента.

Следовательно, переход от анализа на всем множестве допустимых состояний ДП Маллера к событийному анализу позволяет убрать экспоненциальную сложность анализа и сделать возможной проверку самосинхронности схемы Маллера размерностью до 10^4 - 10^5 логических уравнений. Это практически полностью покрывает потребности программных средств для анализа крупных блоков вычислительных систем. Такие блоки уже имеют шинную организацию внешних данных. Анализ самосинхронности устройств, содержащих эти блоки, сводится к анализу схемы управления их взаимодействием и полностью обеспечивается средствами событийного анализа.

Все эти блестящие возможности событийного анализа можно реализовать, только обосновав его фундаментальность и сформулировав основные принципы эквивалентности событийной модели схемы Маллера и ДП. Эта задача также была решена В.И. Варшавским и его группой [2]. Базируясь на ДП, он доказал, что "корректная" диаграмма изменений (ДИ) тождественно описывает переключения полумодулярной (самосинхронной) схемы Маллера.

Диаграмму изменений можно представить как направленный граф специального вида. Узлами этого графа являются события, соответствующие переключениям логических переменных схемы и указаниям знака переключений, имени логической переменной и номера переключения от инициального запуска. Дуги, соединяющие события в графе, представлены двумя типами. Дуги «строгого предшествования» соединяют события, для которых последующее событие невозможно без предыдущего (они описывают события типа «И»). Дуги «слабого предшествования», соединяющие событие-инициатор с событием-последствием, демонстрируют способность, но не обязательность срабатывания последствия от данного инициатора (но обязательное срабатывание последствия от всех инициаторов). Они описывают события типа «ИЛИ».

Корректная ДИ для процесса переключений системы уравнений должна удовлетворять условиям:

- 1) построение ДИ начинается с некоторого инициального состояния последовательно;
- 2) в каждый новый слой включаются только события, имеющие непосредственных предшественников в предыдущем слое;
- 3) события одного слоя не связаны между собой отношениями строгого предшествования (дугами первого типа);
- 4) события нового слоя бесконфликтны (отсутствуют входящие дуги, требующие противоположных

переключений события);

5) построение нового слоя производится только для уже построенного корректного фрагмента ДИ.

Задача построения "корректной" ДИ для дистрибутивных схем (не содержащих событий "ИЛИ") была решена группой Варшавского практически (система ТРАСПЕКТ). Корректная ДИ, для дистрибутивных схем, представляет собой направленный граф устанавливающий причинно-следственную связь между конкретными событиями - переключениями элементов схемы Малера. В.И. Варшавским были сформулированы условия и общие предложения по построению корректной ДИ для полумодулярных схем (самосинхронных схем, содержащих событий "И" и "ИЛИ"). ДИ в этом случае представляет собой некоторое расширение класса направленных графов, включающее в себя разновидность понятия одновременности – слабое предшествование, что не позволяет использовать обычные графовые модели для анализа полумодулярных схем [3]. Практического решения этой задачи до сих пор получить не удалось (в доступной литературе нет ссылок и указаний на её решение).

В настоящей статье приводятся результаты экспериментальной разработки программы АСПЕКТ, обеспечивающих построение "корректной" ДИ для полумодулярных схем Маллера и реализующих событийный анализ самосинхронных схем.

Основные проблемы построения корректной ДИ для полумодулярных схем связаны с "размазыванием" события переключения элемента "ИЛИ" по слоям и требованием «корректности» уже построенного фрагмента ДИ при построении очередного слоя. Это приводит к многократным перестроениям уже сформированного фрагмента ДИ при обнаружении новых событий "ИЛИ". Дополнительно серьезные проблемы создают случаи «вырождения» событий "ИЛИ" и "перехвата термов" [6], когда реальное событие "ИЛИ" в силу определенных взаимодействий его входных переменных между собой или с его выходом переключается как событие "И".

Реализация данной версии подсистемы анализа ориентирована на доскональную, строгую обработку всех видов ситуаций, возникающих при построении "корректной" ДИ. Ряд алгоритмов отдельных программных модулей не оптимален по временным затратам из-за обеспечения демонстративной наглядности и строгости процесса анализа. Однако версия решает основную задачу – построение "корректной" ДИ для схем большой размерности и проверку их самосинхронности с помощью событийной модели переключений. Получена полиномиальная, не экспоненциальная зависимость временных затрат процесса анализа от внутренней параллельности схемы.

На рис. 1 представлен графический вариант отображения ДИ в подсистеме АСПЕКТ. Приведенная

ДИ отображает процесс анализа нарушения самосинхронности на этапе разработки схемы управления 32-разрядного вычислительного блока. На рисунке приведены лишь 21 из 376 слоев полной диаграммы, соответствующих моменту обнаружения нарушения самосинхронности.

В таблице 1 приведены данные временных затрат процессорного времени ПК для решения задачи ана-

лиза n -разрядного арифметико-логического устройства, где $n = 2, 4, 8, 16, 32$, позволяющие приблизительно оценить степенную зависимость временных затрат как $\sim n^5$. Эти временные затраты включают в себя затраты как на алгоритмы анализа, так и на алгоритмы предобработки входных данных и организации диагностических сообщений. Это несколько искажает вид приведенной зависимости для небольших схем.

Таблица 1

Зависимость временных затрат ПЭВМ для анализа самосинхронных АЛУ от внутренней параллельности (на примере n -разрядных самосинхронных АЛУ)

Схема	Число элементов схемы	Параллельность	Число событий ДИ	Время счета
АЛУ-2	92	14	624	< 1 сек.
АЛУ-4	156	26	1 244	~ 1 сек.
АЛУ-8	283	50	2 444	~ 6 сек.
АЛУ-16	537	98	4 808	~ 80 сек.
АЛУ-32	1 047	192	9 568	24 мин. 30 сек.

Для сравнения вычислительных затрат процесса анализа самосинхронных схем на базе ДИ и ДП было проведено исследование схемы двухразрядного арифметико-логического устройства (АЛУ-2) с помощью подсистемы АСИАН, основанной на ДП. Полученные результаты анализа совпали с данными

подсистемы АСПЕКТ, но временные затраты существенно различались – 28 мин для АСИАН (проанализировано 0.5 млн. состояний схемы) против менее 1 секунды для АСПЕКТ. Попытка анализа АЛУ-4 на подсистеме АСИАН потребовала времени счета, из-

меряемого сутками, что делает такой анализ бессмысленным.

Для оценки влияния внутренней параллельности схемы на временные затраты в таблице 2 приведены результаты анализа работы четырехразрядного микроконтроллера на входной последовательности из четырех микрокоманд [7]. Этот анализ потребовал построения большой ДИ при невысокой (для событийного анализа) внутренней параллельности и уложился в сравнительно небольшой временной интервал.

Таблица 2

Результаты анализа работы четырехразрядного самосинхронного микроконтроллера на одной последовательности из четырех микрокоманд с помощью программы АСПЕКТ

Число элементов схемы	Число событий	Максимальная параллельность	Время анализа
599	506 565	19	~ 16 мин. 40 сек.

IV. ОРГАНИЗАЦИЯ ДИАГНОСТИКИ В ПОДСИСТЕМЕ АСПЕКТ

Модули диагностических сообщений в подсистемах анализа самосинхронных схем выполняют роль основного внешнего интерфейса с разработчиком электронных схем. От точности, конкретности и наглядности его сообщений в значительной степени зависит скорость разработки и эффективность схемотехнических решений.

В процессе развития программных средств анализа модули диагностики претерпели серьезные эволюционные изменения.

В подсистеме ТРАНАЛ [2] диагностировалась пара переменных, ответственных за возникновение конфликта и нарушение полумодулярности. Этого достаточно для системы из 10-20 уравнений.

В подсистеме АСИАН [1] диагностический модуль позволял увидеть весь процесс переключений

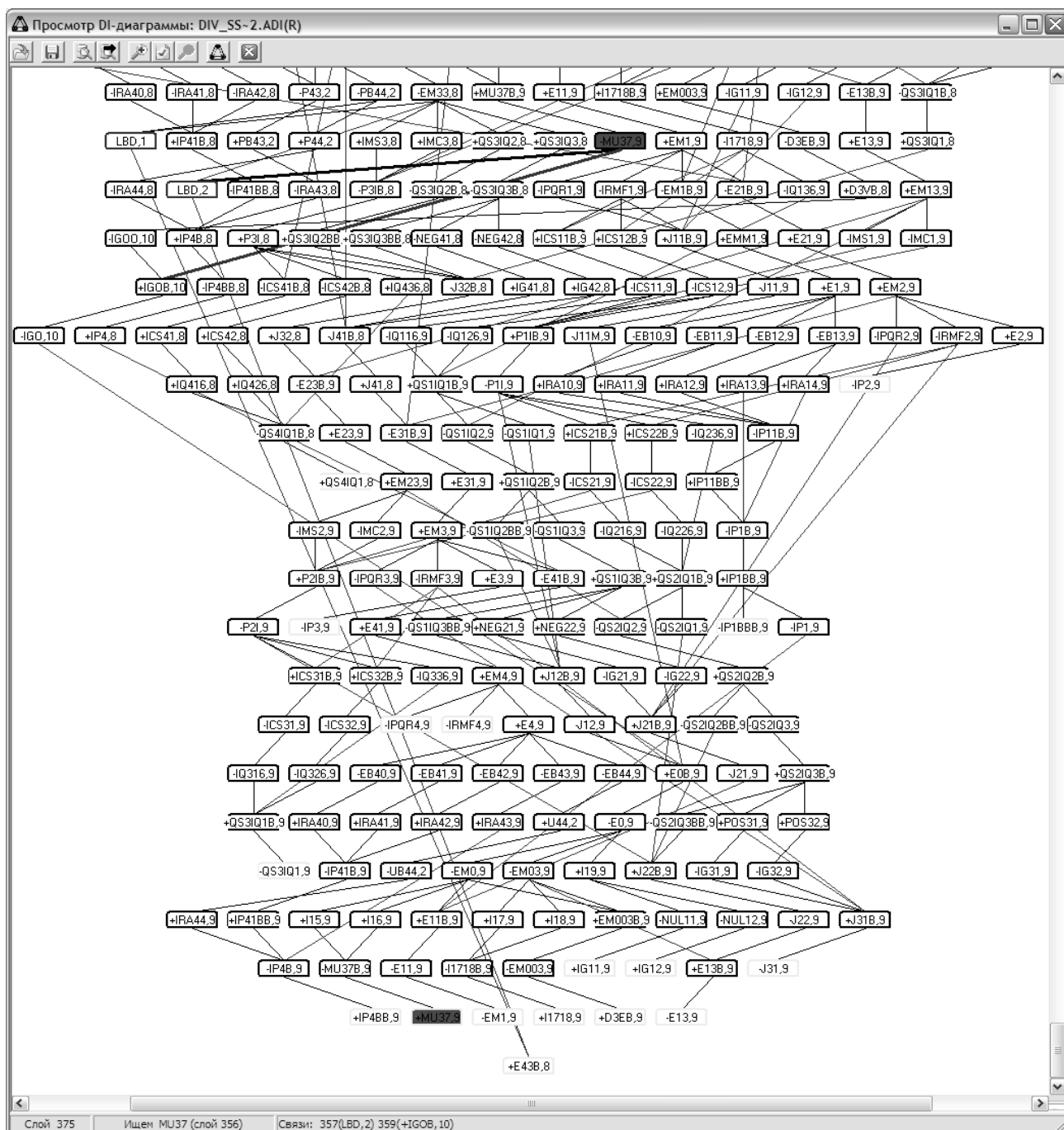


Рис. 1. DI схемы управления 32-разрядного самосинхронного вычислительного блока

в виде графического представления диаграммы изменений. Для диагностирования ситуаций нарушения самосинхронности в подсистеме АСПЕКТ этого недостаточно. В таблице 2 приведен пример устройства, диаграмма изменений которого, содержит ~0,5 млн. событий. Анализировать причины возникновения нарушений самосинхронности по такой объемной диаграмме трудно и неэффективно. Диагностика в подсистеме АСПЕКТ реализует выделение фрагментов DI, в которых локализуется обнаруженное нару-

шение, и организует их визуализацию в виде графа событий, содержащего причину и результат этого нарушения

Фрагмент DI на рис. 1 иллюстрирует ситуацию нарушения полумодулярности в схеме управления 32-разрядного самосинхронного вычислительного устройства (блока деления/извлечения корня [8]). Элемент MU37, переключаясь из 1 в 0, вызывает срабатывание элемента E43B, а спустя 19 слоев DI снова переключается из 0 в 1. Это последнее переключение

никак не зависит от срабатывания элемента E43B, что и создает нарушение самосинхронности. На рис. 2 представлен фрагмент ДИ, созданной диагностической системой АСПЕКТ. Этот фрагмент отражает описанное нарушение: в нем наглядно демонстрируется отсутствие элемента E43B в цепи переключений элемента MU37 из 1 в 0 и обратно.

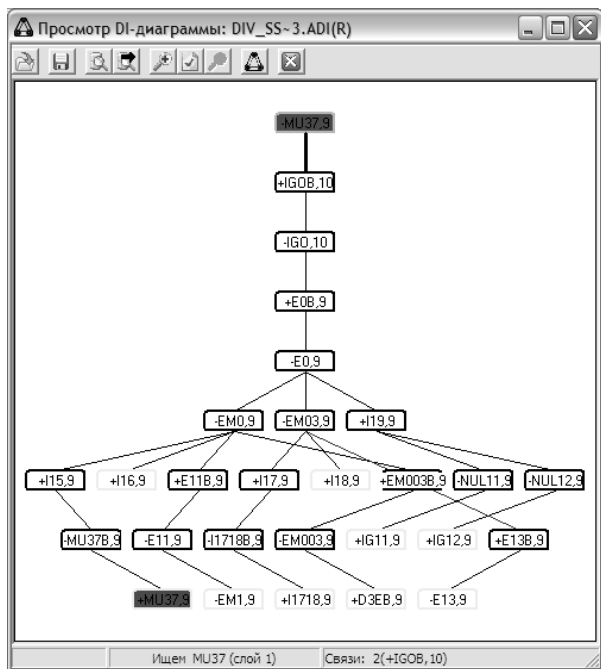


Рис. 2. Пример диагностического сообщения подсистемы АСПЕКТ

Дополнительно диагностические средства АСПЕКТ включают в свой состав программу визуализации временных диаграмм переключения логических элементов. Задержки элементов и цепей, рассчитанные для конкретной топологической реализации, вводятся в программу визуализации, и она, по результатам событийного анализа, строит временные диаграммы работы самосинхронной схемы, соответствующие реальному изделию. Такой интерфейс позволяет разработчикам синхронной схемотехники быстрее освоить принципы проектирования самосинхронных схем и одновременно обеспечивает результаты логического моделирования реальной схемы без дополнительного этапа, применяемого на финальной стадии разработки электронных изделий.

V. Выводы

1. Разработана методика анализа времянезависимых схем на базе построения событийных моделей асинхронных процессов переключений элементов схемы. Создан набор алгоритмов, обеспечивающий полную и корректную процедуру анализа.

2. Разработана программная реализация алгоритмов событийного анализа на базе диаграмм изменений – АСПЕКТ. Подсистема АСПЕКТ принципиально снимает проблему экспоненциальной сложности анализа и позволяет проектировать крупные функциональные блоки вычислительных систем.

3. Программы диагностики и визуализации результатов работы подсистемы АСПЕКТ позволяют выделять и исследовать отдельные фрагменты событийной модели процесса переключения логических элементов, в которых выявлены нарушения самосинхронности. Предусмотрены средства построения временных диаграмм работы схемы по всем переменным, дающие полную картину логического моделирования самосинхронных схем.

Авторы выражают благодарность Ю.Г. Дьяченко за помощь в работе.

ЛИТЕРАТУРА

- [1] Универсальная подсистема анализа самосинхронных схем / Ю.В. Рождественский, Н.В. Морозов, Ю.А. Степченко, А.В. Рождественский // Сб.: Системы и средства информатики. – М.: Наука, 2006. вып. 16. – С. 463–475.
- [2] Инструментальные средства автоматизации проектирования самосинхронных схем / В.И. Варшавский, С.А. Карпов, А.Ю. Кондратьев, Ю.А. Степченко // Сб.: Системы и средства информатики. – М.: Наука, 1993. вып. 5. – С. 196–213.
- [3] Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes. – Kluwer Academic Publishers, 1990. – 245 p.
- [4] Muller D.E., Bartky W.S. A Theory of Asynchronous Circuits // Proc. Int'l Symp. Theory of Switching, Harvard University Press, Cambridge, Mass. 1959. P. 204-243.
- [5] Библиотека элементов базовых матричных кристаллов для критических областей применения / Ю.А. Степченко, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд // Сб.: Системы и средства информатики. – М.: Наука, 2004. вып. 14. – С. 318–361.
- [6] Морозов Н.В., Рождественский Ю.В. Средство анализа системы булевых уравнений на полумодулярность и дистрибутивность // Свидетельство об официальной регистрации программы для ЭВМ № 2001610157 от 14.02.2001.
- [7] Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника. 2006. №5. – С. 29-36.
- [8] Квазисамосинхронная реализация устройства деления и извлечения квадратного корня / Ю.А. Степченко, Ю.Г. Дьяченко, Ю.В. Рождественский, Н.В. Морозов, Д.Ю. Степченко // Сб.: Системы и средства информатики. – М.: Наука, 2008. вып. 18. – С. 234–260.