

Оптимизация некоторых этапов маршрута проектирования процессора КОМДИВ64-РИО

А.О. Власов, Б.Е. Евлампиев, П.Г. Кириченко, А.А. Кочнов

Учреждение Российской академии наук Научно-исследовательский институт системных исследований РАН,

vlaalex@cs.niisi.ras.ru, eboris@cs.niisi.ras.ru, pgkirich@cs.niisi.ras.ru, kochnov@cs.niisi.ras.ru

Аннотация — В данной статье раскрываются такие вопросы как: оптимизация площади с сохранением быстродействия на этапе синтеза, построение сетки питания, автоматизация процесса повышения быстродействия на этапе топологического проектирования, оптимизация процесса топологического проектирования.

Ключевые слова — синтез, сетка питания, сдвиг синхросигнала, блочное проектирование.

I. ВВЕДЕНИЕ

Компании, разработчики САПР микросхем, предлагают в настоящее время широкий спектр продуктов. Эти САПР предназначены как для выполнения отдельных этапов проектирования, так и могут составлять целые маршруты проектирования микросхем определенного класса. Например, компании Cadence и Synopsys предлагают свои САПР и маршруты проектирования для разработки цифровых сверхбольших интегральных схем (СБИС). Эти маршруты универсальны и рассчитаны на широкий ряд цифровых СБИС. Такие СБИС могут отличаться целым рядом параметров, среди которых необходимо выделить такие как: максимальная частота работы, энергопотребление, площадь кристалла, температурные условия функционирования и др.

Предлагаемые маршруты представляют наборы шагов и соответствующих им командных файлов (скриптов) для выполнения проектирования. Это, как правило, универсальные маршруты. Хотя необходимо отметить, что в последнее время появились специальные маршруты проектирования СБИС, направленные на снижение энергопотребления при выполнении остальных параметров. С другой стороны, для достижения быстродействия в условиях большого проекта (система на кристалле), даются отдельные рекомендации. При этом значительная часть работы по выработке оптимального маршрута, а значит и успешного проектирования, ложится на разработчиков.

СБИС Комдив64-РИО является одной из таких микросхем. Среди основных особенностей этой микросхемы необходимо выделить следующие:

1. ядро 64-х разрядного микропроцессора;
2. максимальная частота ядра 200 МГц;
3. USB 2.0;
4. Ethernet, 10/100 Мбит/с;
5. DDR SDRAM, 64 разряда 166/320 МГц, контроль четности;
6. PCI, 32 разряда 66 МГц;
7. Параллельный Rapid-I/O, 500 Мбит/с;
8. Последовательный Rapid-I/O, 4 канала по 1,25 Гбит/с;
9. FLASH, COM;
10. использование целого ряда заказных блоков (регистровые файлы, TLB, сумматоры, триггеры, приемники/передатчики Rapid-I/O и DDR SDRAM, синтезатор частот, ФАПЧ, блоки статической памяти, элементы отключения синхросигнала);
11. технология изготовления 0,18 мкм;
12. размер кристалла 12,5 x 12,5 мм.

Использование стандартного маршрута проектирования не позволяет достигнуть требуемых параметров. Для решения таких проблем в маршрут проектирования были внесены ряд изменений и уточнений, применены оригинальные методики.

В данной статье раскрываются такие вопросы как: оптимизация площади с сохранением быстродействия на этапе синтеза, построение сетки питания, автоматизация процесса повышения быстродействия на этапе топологического проектирования, оптимизация процесса топологического проектирования. Проектирование проводилось с использованием САПР Design Compiler (Synopsys) и SOC Encounter (Cadence).

II. МЕТОДЫ ОПТИМИЗАЦИИ ПЛОЩАДИ МИКРОПРОЦЕССОРНЫХ БЛОКОВ С СОХРАНЕНИЕМ БЫСТРОДЕЙСТВИЯ

Улучшение временных характеристик функциональных блоков является первоочередной задачей разработчика. Однако, часто быстрое на уровне схемы устройство не только теряет быстродействие на этапе топологического проектирования, но и порой оказывается нереализуемым: высокая плотность размещения ячеек препятствует оптимальной трассировке межсоединений [5]. Как правило, границы блоков на кристалле строго заданы и увеличение быстродействия ведет к увеличению суммарной площади ячеек блока, а, следовательно, и плотности их размещения. В данной статье рассмотрены методы оптимизации площади блока FPU СБИС Комдив64-РИО без потери быстродействия.

Для получения требуемых временных характеристик при проектировании блока FPU использовался особый набор стандартных ячеек: из каждого функционального семейства были исключены самые слабые по выходному току (а, следовательно, и самые маленькие по площади) ячейки. В добавок к этому, вместо некоторых стандартных библиотечных триггеров, использовались заказные, обладающие существенно лучшими временными характеристиками, но значительно большей площадью. Ограниченный набор ячеек позволил сократить время синтеза с получением нужных временных результатов [6]. Затем полученная схема оптимизировалась тремя способами:

1. путем замены в некритичных цепях заказных триггеров на стандартные библиотечные;
2. оптимизация схемы «слабыми» ячейками;
3. последовательная оптимизация обоими методами.

Результаты, полученные на этапе синтеза в *Design Compiler*, представлены в таблице 1. Во всех полученных вариантах схемы блока FPU были достигнуты требуемые задержки с близкими к нулю запасами по времени.

Таблица 1

Сравнение параметров вариантов схем на этапе синтеза

Опция	Площадь		Количество триггеров	
	Всех ячеек, мм ²	Изменение площади, %	Заказных	Процент от общего числа, %
Без оптимизаций	5,06	0,00%	13442	0,97
Оптимизация триггеров	4,65	-8,82%	7959	0,57
Оптимизация "слабыми" ячейками	4,65	-8,82%	11885	0,86
Применение всех опций	4,22	-19,91%	6792	0,49

Результаты оптимизации по триггерам и «слабыми» ячейками дают схожие результаты по площади ячеек. Последовательное применение сначала первого, а потом второго метода дает сокращение площади стандартных ячеек на ~20% с сохранением быстродействия. Стоит заметить, что количество заказных триггеров в блоке сократилось примерно в 2 раза.

При топологической реализации вариантов схемы FPU были получены результаты, представленные в таблице 2. Топологическое размещение всех вариантов проводилось при одних и тех же ограничениях: границы блоков на кристалле и размещение интерфейсных контактов.

Таблица 2

Параметры топологических реализаций вариантов схемы блока FPU

Опция	Временной запас, пс	Коэффициент заполнения, %
Без оптимизаций	57	54
Оптимизация триггеров	61	45
Оптимизация "слабыми" ячейками	51	49
Применение всех опций	95	43

Полученные результаты показывают уменьшение плотности размещения ячеек, и, как следствие улучшение качества трассировки межсоединений, увеличение быстродействия в оптимизированном обоими методами варианте.

Рассмотренные выше, на примере блока FPU, методы и их комбинация позволили сократить площадь всего проекта. Результаты, полученные на этапе синтеза, представлены в таблице 3. Оптимизация схемы проекта на этапе синтеза позволила уменьшить на 14% площадь всех ячеек с увеличением временного запаса.

При топологическом проектировании неоптимизированный вариант на этапе размещения и построения «деревьев» синхросигналов существенно нарушал временные требования и имел высокую оценочную плотность межсоединений. На этапе трассировки межсоединений возникли нарушения, препятствующие реализации проекта. Оптимизированный вариант схемы всего проекта подобных проблем не имел, удовлетворяя физическим и временным требованиям, обеспечивая высокое качество разводки. Параметры данной версии проекта после топологического проектирования представлены в таблице 3.

Примечательно, что выигрыш по площади в синтезе позволил нивелировать рост суммарной площади всех ячеек при топологическом проектировании. Стоит добавить, что сокращение суммарной площади ячеек

блоков также приводит к уменьшению потребляемой ими мощности [7]. Расширение и модификация данных способов оптимизации площади позволит оценивать не только прогнозируемую возможность топологической реализации, но и осуществлять эффективное бюджетирование и сходимость по мощности блоков проектов.

Таблица 3

Параметры реализации вариантов схемы проекта для синтеза и топологии

Параметры	Синтез		Топология оптим.
	неопт.	оптим.	
Площадь всех ячеек, мм ²	93	80	88
Временной запас, пс	160	120	0
Изменение площади		-14%	10%

III. ПЛАН СЕТКИ ЗЕМЛИ И ПИТАНИЯ НА КРИСТАЛЛЕ

Целью данного этапа была разработка топологической структуры сетки земли и питания, обеспечивающей падение напряжения на сетке в наихудшем случае не более 10% от номинального напряжения питания при потребляемом микросхемой токе до 5А.

В современных быстродействующих микропроцессорах, изготовленных по технологиям 180 нм и менее, потребляемая мощность настолько велика, что регулярная и достаточно частая сетка питания не имеет альтернативы с точки зрения обеспечения низкого падения напряжения питания в любой точке кристалла.

Основная проблема при проектировании регулярной сетки – разработка такой ее элементарной ячейки, которая будет обладать небольшими размерами, содержать все необходимые слои и обладать инвариантностью, т.е. возможностью создавать сетку из элементарной ячейки любым способом: параллельным переносом ячейки, ее отражением по вертикали и по горизонтали.

Для получения наилучших электрических характеристик сетка должна быть частой потому, что у крупноячеистых сеток возможна ситуация, когда наиболее мощный потребитель расположен в центре ячейки. В этом случае напряжение питания для этого потребителя может существенно отличаться от номинального из-за потерь на тонких локальных шинах питания.

С другой стороны, слишком частая сетка серьезно осложняет работу автоматических трассировщиков, используемых для синтеза топологии микропроцессора. Поэтому, при проектировании сетки, необходимо учитывать все упомянутые факторы.

Шаг сетки по металлам, параллельным верхнему слою, определяется двумя факторами. Во-первых, внутри сетки желательно иметь возможность трассировать целое количество сигнальных проводников. А

во-вторых, нужно совместить проводники с узким минимальным шагом в средних слоях с проводниками верхнего слоя с широким шагом. Исходя из этого, выбранная структура элементарной ячейки в этих слоях имеет ширину 47,84 мкм.

Шаг сетки по металлам, параллельным нижнему слою, в котором проходит сетка питания внутри библиотечных ячеек, целесообразно сделать кратным четному числу рядов стандартных ячеек. Четному, потому, что в каждой стандартной ячейке проводники земли и питания расположены на верхней и на нижней границе, и при размещении ячеек соседние ряды отражаются относительно горизонтальной оси. Высота ряда – 5,04 мкм. С учетом изложенного и выбранного горизонтального размера был выбран вертикальный – 50,4 мкм.

Совмещение трасс в первом металле (горизонтальный) с вертикальными средними слоями показано на рис. 1. Светлой окраской обозначены шины земли, темной – шины питания. Показаны размеры элементарной ячейки сетки.

Проводники в соседних слоях соединяются между собой массивами переходных окон, расположенных на минимально допустимом расстоянии от края проводников и друг от друга. Большим количеством окон обеспечивается низкое электрическое сопротивление переходов с металла на металл, а следовательно, и устойчивость сетки к повышенным локальным токам потребления.

Если, с точки зрения работы трассировщика, размещение шин земли и питания в вертикальных или горизонтальных слоях строго друг над другом неудобно, то сетку в каждом слое можно трассировать со смещением относительно другого слоя с тем же направлением проводников на целое количество сигнальных проводников. Это никак не скажется на ее электрических характеристиках.

После выбора размеров проводников и шага между ними проводилось моделирование получившейся сетки питания. Размер модели сетки 25x25 элементарных ячеек является более чем достаточным для моделирования сеток любой размерности. При увеличении обоих размеров кристалла (или уменьшении обоих размеров элементарной ячейки) количество квадратов проводников остается неизменным. А количество переходных окон меняется квадратично. Следовательно, для перехода от одного размера к другому необходимо оставить без изменений сопротивление проводников и квадратично изменить сопротивление одного переходного окна в параметрах моделирования.

На рис. 2 приведены результаты моделирования: график зависимости падения напряжения на разработанной сетке питания от суммарного потребляемого тока. При этом для моделирования использовались

наихудшие параметры по сопротивлениям проводников и переходных окон.

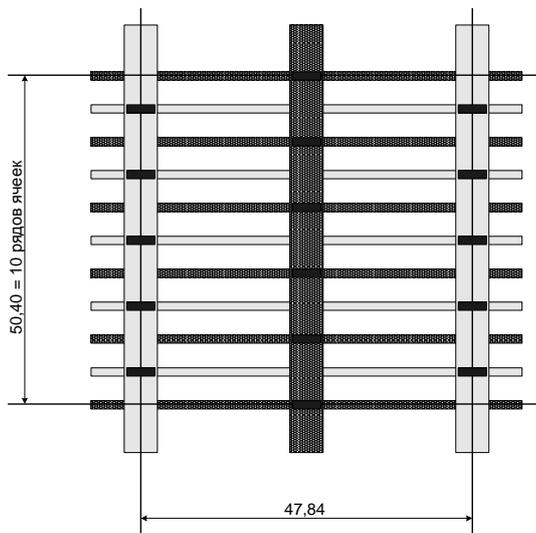


Рис. 1. Совмещение сеток в M1 и M2

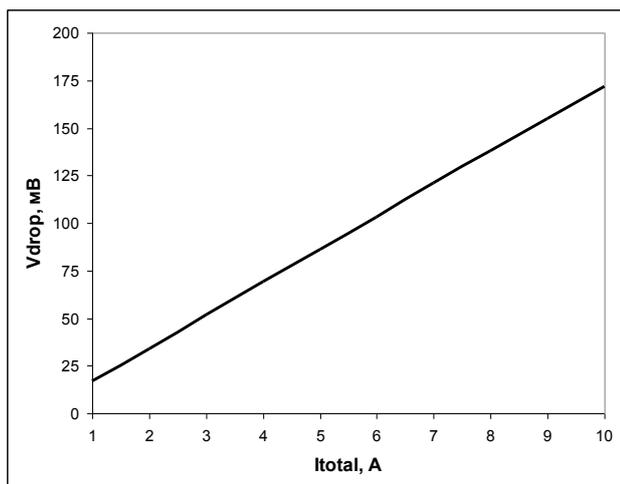


Рис. 2. Зависимость падения напряжения на разработанной сетке питания от суммарного потребляемого тока

Численные результаты для всего процессора в двух вышеуказанных режимах представлены в таблице 1:

Таблица 4

Результаты оценки сетки питания

Параметр	Значение
Потребляемая мощность, Вт	13
Потребляемый ток, А	6,7
Падение напряжения, % от номинала	6,6

После завершения топологического проектирования процессора проводился анализ падения напряжения на сетке питания блоков, работающих от источника напряжения 1,8 В при помощи САПР, VoltageStorm. Графически распределение потенциалов на шине питания показано на рис. 3.

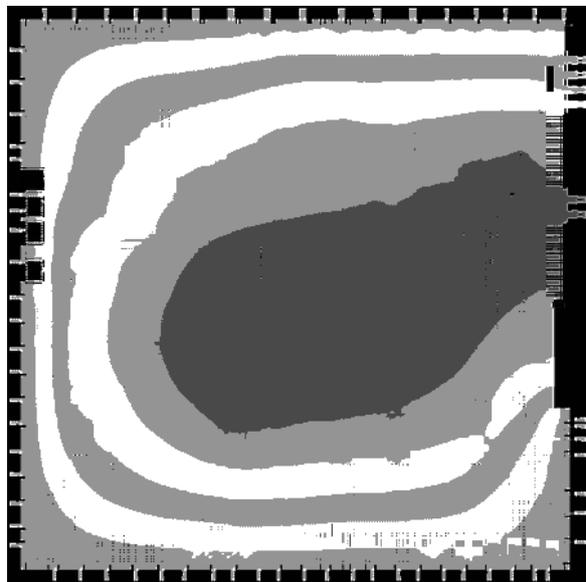


Рис. 3. Распределение потенциалов на шине Vdd

Проведенный анализ показал, что разработанная сетка питания соответствует требованиям ТЗ для наихудшего случая - максимальное падение напряжения питания не более 10% от номинального в режиме Fast, и при температуре -40°C.

IV. АВТОМАТИЗАЦИЯ ПРОЦЕССА ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ НА ЭТАПЕ ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ

Одним из методов повышения быстродействия является настройка задержки синхросигнала внутри блока. Особое внимание при настройке синхросигнала уделяется критическим путям между регистрами (особенно задержке по setup). Эта методика наиболее широко применялась при проектировании ядра микропроцессора – блока CPU.

Исходя из имеющейся логической схемы в формате Verilog, и заданного фиксированного расположения макроблоков, система топологически размещает все логические блоки на кристалле, строит дерево синхросигнала, производит трассировку связей. На каждом из этапов производится автоматическая оптимизация размещения ячеек. В результате получается проект, в котором критические пути блока CPU отмечены в файле сводки по задержкам.

При автоматическом проектировании топологии блока основная проблема – несоответствие задержек синхросигнала на триггерах в начале и в конце критичного пути. Зачастую, запаздывание синхросигнала в цепи на одном триггере объясняется тем, что в той же цепи есть другой триггер, на котором синхросигнал наоборот имеет большой запас и желательно, чтобы он срабатывал позже. Для того чтобы переключение происходило позже, триггер принудительно задерживается на величину, указанную в constraint-файле. Таким образом, САПР добавляет в нужную цепь элементы задержки.

Средства Encounter позволяют рассчитать задержку синхросигнала в пути относительно любого триггера. Однако, данные в файле сводки приводятся в неудобном для визуального анализа виде. Для упрощения работы с файлом сводки был создан скрипт, который анализирует возможность сдвига триггеров. Результатом его работы будет величина сдвига и строки для добавления в constraint-файл.

Использование такого скрипта позволяет существенно сократить анализ критичного пути и выбор метода повышения быстродействия в нем. Это достигается за счет автоматизации анализа быстродействия для двух триггеров составляющих критичный путь. Анализируется путь до триггера, являющегося источником сигнала в критическом пути, и путь от триггера, являющегося приемником сигнала в критическом пути. По результатам такого анализа, исходя из запаса по быстродействию, выбирается триггер, у которого необходимо дополнительно сделать сдвиг синхросигнала.

Кроме того, в результате использования такого скрипта выявлено, что сдвиг вправо (добавление элементов задержки) осуществить заметно легче, чем сдвиг влево, сопряженный с влиянием, которое подобный сдвиг окажет на другие триггеры.

Другие сложности возникают, когда в критическом пути присутствует элемент отключения синхросигнала (clock gate). В этом случае сдвиг вправо осуществляется задержкой всех триггеров, на которые работает данный clock gate. По сравнению с предыдущей проблемой эта задача усложняется тем, что необходимо дополнительно найти все триггеры, которые тактируются синхросигналом идущего с выхода clock gate. Для решения этой задачи также сделан скрипт анализа путей. Скрипты разработаны с использованием языков Perl и Tcl.

Проблемы нарушений задержки по hold устраняются посредством оптимизации в Encounter. В результате этой оптимизации плотность элементов в блоке увеличивается на 1,8% (с 45,8% до 47,6%). Частота синхросигнала при этом остаётся прежней.

V. ОПТИМИЗАЦИЯ МАРШРУТА ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ МИКРОПРОЦЕССОРА КОМДИВ64-РИО

Топология процессора разрабатывалась с использованием методики блочного проектирования [5]. Однако, при использовании такого маршрута возник ряд проблем. Это было связано с тем, что на предварительном этапе размещения (перед разбиением на блоки) невозможно получить информацию о временных параметрах межблочных связей. Это привело к тому, что на этапе разработки блоков не проводилась оптимизация межблочных связей. Она была сделана на верхнем уровне при сборке всего проекта. Предполагалось, что такая оптимизация может привести к значительному изменению блоков. Из этого сделали вывод, что нет смысла заниматься финальной оптимизацией отдельных блоков. Это оптимизация с использованием различных экстракций в различных режимах, таких как slow и fast. В документации на SOC Encounter она называется Multi Mode Multi Corner (МММС). Поэтому такую оптимизацию сделали только на верхнем уровне при сборке всего проекта. В результате такого подхода появились следующие проблемы:

1. значительный разброс временных параметров для разных экстракций;
2. позднее обнаружение проблемы взаимного влияния проводников – Signal Integrity (SI);
3. позднее обнаружение проблемы геометрических антенн;
4. отсутствие корреляции между результатами временного анализа с учетом SI и без учета SI.

A. Значительный разброс временных параметров для разных экстракций

При запуске режима МММС на всем проекте выявлено, что для двух типов экстракции (worst и best) при одном и том же наборе *.lib файлов имеется достаточно большая разница временных параметров. В частности, для набора slow разница во временном запасе - worst negative slack (WNS) для двух типов экстракции составила 0,3 нс. При этом большинство таких проблем связано с временными параметрами внутренних сигналов блоков. «Проблемные» межблочные связи составляют около 5% от общего количества таких сигналов. Следовательно, для решения указанной проблемы необходимо в первую очередь оптимизировать сигналы внутри блоков. Это позволит сократить время оптимизации и использовать для этого менее мощные рабочие станции. Для этого предлагается внести в маршрут разработки отдельных блоков оптимизацию в режиме МММС.

Б. Позднее обнаружение проблемы взаимного влияния проводников

Анализ эффекта SI на верхнем уровне проекта показал, что большинство проблем находится внутри блоков. Решение – необходимо добавить в маршрут разработки отдельных блоков дополнительную оптимизацию по исправлению влияния SI на быстродействие.

При этом, чтобы полученные результаты не были уничтожены после сборки всего проекта, предлагается две меры [4].

Во-первых, запретить размещение ячеек и трассировку по границе блока для того, чтобы предотвратить конфликт по SI. При этом потеря площади для расстановки элементов составит 0,1%.

Во-вторых, на логические сигналы (в RTL Verilog), проходящие через границу блока, должен быть установлен триггер. Это позволит при разработке каждого блока иметь всегда достаточно легко прогнозируемые временные параметры по входам/выходам. При этом триггеры должны быть расставлены по границе блока.

В. Позднее обнаружение проблемы геометрических антенн

Одним из проблемных мест при исправлении антенн являются сигналы, идущие на блоки памяти, отличающиеся следующей особенностью. Памяти стоят группами, таким образом, что их интерфейсные контакты расположены не по внешнему периметру группы, а развернуты внутрь. При этом между памятьми в этой группе нет места для установки элементов. Это не позволяет в процессе оптимизации на входы памяти поставить буфер, либо антенный диод.

Для решения проблемы предлагается памяти расставлять с небольшим зазором. Таким образом, чтобы в него мог быть установлен буфер или антенный диод.

Г. Отсутствие корреляции между результатами временного анализа без учета SI и с учетом SI

При учете SI во временном анализе нарушение WNS резко выросло (примерно в 2 раза), особенно в путях регистр - регистр. Анализ показал, что это связано с наводками на длинные связи.

Cadence рекомендует не делать связей длиной более 2 мм. Есть скрипт, который анализирует проект в Encounter и создает список таких связей. Но нет автоматического апробированного метода решения этой проблемы.

Для нашего проекта, получили результат ~7500 связей с длиной более 2 мм (из них ~200 связей с длиной более 4 мм). Исправление связей с длиной более 4 мм позволило получить разницу в WNS для временного анализа без учета SI и временного анализа с его учетом ~ 1,4 раза. Очевидно, что дальнейшее сокращение количества таких проводов улучшит результаты вре-

менного анализа. Проблему необходимо разделить для двух типов сигналов: синхросигналы и обыкновенные сигналы.

Для первых предлагается ограничить фронт величиной 100 пс (ранее мы использовали 400 пс). Также необходимо расставлять на плане кристалла макроблоки так, чтобы между ними было пространство для установки элементов дерева синхронизации.

Для обыкновенных сигналов предлагается отказаться от использования буферов и инверторов X12, X16 и X20 (ранее из этого списка мы использовали только X12 и X16). Это приведет к тому, что САПР будет вынужден ставить буферы при распространении сигнала на большие расстояния или на большое количество нагрузок, и тем самым избавиться от длинных трасс.

Д. Формальная верификация

На всех этапах работы с проектом проводится формальная верификация – соответствие полученного проекта исходному RTL Verilog.

VI. Заключение

В статье представлены шаги по оптимизации маршрута проектирования процессора КОМДИВ64-РИО. Часть этих действий была реализована при проектировании первых опытных образцов процессора. Проведенный анализ показал, что максимальное быстродействие составляет 150 МГц (худший случай условий эксплуатации). При этом просадка напряжения на сетке питания составила 6,6%. При разработке второй итерации микропроцессора предполагается использование всего набора шагов, описанного в этой статье. Необходимо будет получить быстродействие 250 МГц и просадку напряжения не более 10%.

ЛИТЕРАТУРА

- [1] А.Г. Алексенко, И.И. Шагурин. Микросхемотехника, Учебное пособие для высших учебных заведений. М.: Радио и Связь, 1990.
- [2] Г.Г. Казеннов Основы проектирования интегральных схем и систем. М.: БИНОМ, Лаборатория знаний, 2005.
- [3] Р.Л. Шварц, Т. Феникс Изучаем Perl, 3-е издание. СПб.: Питер; К.: Издательская группа BHV, 2002.
- [4] Encounter® User Guide. Product Version 8.1 November 2008.
- [5] Encounter® Foundation Flows: Hierarchical Implementation Flow Guide. Product Version 8.1.1 March 2009.
- [6] Design Compiler® User Guide. Version C-2009.06, June 2009.
- [7] Power Compiler™ User Guide. Version B-2008.09-SP2, December 2008.
- [8] W.J.Dally, J.W. Poulton Digital System Engineering, Cambridge University Press, 1998.