

# Способ тестопригодного проектирования логических преобразователей

Ю.С. Акинина, С.Л. Подвальный, С.В. Тюрин

Воронежский Государственный технический университет, svturin@mail.ru

**Аннотация** — предметом исследований являются принципы построения и практической реализации логических BIST-систем.

Для решения поставленных задач апробирован новый подход: от рациональной структуры тестовой матрицы к тестопригодной структуре логических преобразователей. На основе положений геометрической теории управления, доказано, что задачу синтеза рациональных тестов целесообразно ставить и решать как задачу целенаправленного уменьшения до предельной величины симметрии битовой структуры тестовых матриц (Т-матриц), или как задачу максимизации бинарных «антагонизмов» логических значений в контролируемых точках цифрового устройства.

**Ключевые слова** — тестопригодное проектирование, логический преобразователь, базис Жегалкина.

## I. ВВЕДЕНИЕ

Тестопригодное проектирование (Design For Testability или DFT) вошло в повседневную инженерную практику проектирования цифровых устройств благодаря многим отечественным и зарубежным ученым и инженерам. К первым работам, содержащим основополагающие принципы DFT и встроенного самотестирования (Built – In – Self – Test или BIST), математические и структурные модели известных и перспективных DFT и BIST систем, относятся [1,2,3].

Целью тестопригодного проектирования является снижение затрат на тестовое диагностирование цифровых устройств на различных этапах их жизненного цикла: разработки, производства, эксплуатации. При этом тестопригодное проектирование предполагает не только хорошую приспособленность структуры объекта тестирования (ОТ) к тестовым проверкам, но и уменьшение потребного количества входных тестовых наборов и способов их компактной генерации, обеспечивающих обнаружение с требуемой достоверностью неисправностей из определенного класса.

В [3] выделяют разомкнутые и замкнутые компактные BIST – системы, содержащие объект тестирования (ОТ), генератор тестов (ГТ), анализатор ответов (АО) или совмещенный генератор/анализатор (ГА).

На рис. 1 представлены типовые структуры таких компактных BIST– систем.

Замкнутые системы являются более эффективными [3], так как допускают реализацию систем встроенного функционального тестирования (on - line testing).

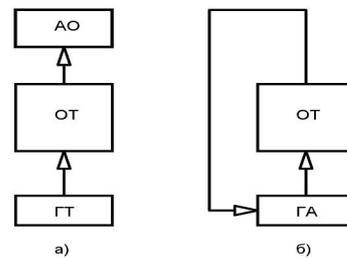


Рис. 1. Разомкнутая (а) и замкнутая (б) компактные BIST– системы

Не смотря на существенные современные достижения в области DFT и BIST систем, эти направления не теряют своей актуальности [4,5]. Это обусловлено появлением новых сложных программируемых цифровых структур, состоящих из огромного количества элементов, которые характеризуются наноразмерами, и быстродействие которых приближается к единицам гигагерц. Такие особенности новых цифровых структур приводят к необходимости динамического самотестирования на частотах, приближающихся к предельным рабочим частотам элементов. Только в этом случае можно провоцировать и обнаруживать «динамические короткие замыкания», обусловленные возможными паразитными емкостными связями между близлежащими проводниками.

В данной работе рассматривается один из возможных способов тестопригодного проектирования логических преобразователей (ЛП), допускающих реализацию периодического встроенного самотестирования (off-line testing). На рис. 2 представлена разомкнутая BIST–система на тестопригодном ЛП. Отличительной чертой таких ЛП является то, что при их самотестировании осуществляется одновременная генерация тестовых последовательностей ( $M_1...M_n$ ) и эталонной последовательности ( $M_s$ ), а результирующая последовательность ( $M_p$ ) реализуется средствами ЛП и синхронно сравнивается с ( $M_s$ ). При отсутствии в ЛП константных неисправностей, а также коротких замы-

каний между проводниками или их обрывов, на каждом шаге тестирования должно выполняться условие  $M_p = M_s$ , в противном случае должен формироваться признак (О) наличия в ЛП одной из перечисленных неисправностей.

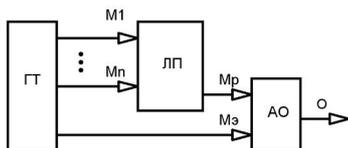


Рис. 2. Разомкнутая BIST-система на тестопригодном ЛП

## II. РАСЧЕТНЫЙ МЕТОД ОПРЕДЕЛЕНИЯ ИНФОРМАЦИОННОГО СОДЕРЖАНИЯ ТЕСТОВЫХ МАТРИЦ

Воспользуемся следующим подходом к обоснованию структуры тестопригодного ЛП - от рациональной битовой структуры контрольно - диагностического теста (КД-теста) к рациональной структуре ЛП. Рассмотрим объективные предпосылки целесообразности и принципиальной возможности такого подхода.

Любой КД-тест представим в виде двоичной Т-матрицы (рис. 3), в которой  $a_{ij} = \{0,1\}$ ;  $N$  - количество контролируемых точек;  $L$  - количество тестовых наборов. Под контролируемыми точками условимся понимать все первичные входы и выходы цифрового узла, а также все его внутренние контролируемые линии.

$$T = \begin{pmatrix} a_{11} & a_{12} & \dots & a_{1N} \\ a_{21} & a_{22} & \dots & a_{2N} \\ \dots & \dots & \dots & \dots \\ a_{L1} & a_{L2} & \dots & a_{LN} \end{pmatrix}$$

Рис. 3. Матричное представление КД-теста

Воспользуемся некоторыми положениями геометрической теории управления [6], апробированной для формализации понятий «необходимость» и «достаточность» функциональных тестов оперативных запоминающих устройств [7].

В рамках геометрической теории управления полагают, что управление, как и силы в природе, могут быть истолкованы как проявление калибровочной симметрии. С этих позиций предлагается установление взгляда на информацию с точки зрения симметрии в некоторых структурах.

Структурой  $C$  на непустом множестве  $S$  любой природы называется отношение, в котором находятся между собой объекты из некоторого набора, например, элементы  $x$  некоторого множества  $S$ . Важнейшими структурными отношениями являются бинарные отношения, в частности, отношения эквивалент-

ности и отношения упорядоченности [6]. Понятие структуры вносит своего рода «связность» на множестве  $S$  между элементами этого множества. В бесструктурном множестве  $S_0$  (множество нулевой структуры) элементы  $x_i \in S_0$  никак не связаны между собой (за исключением того, что все они принадлежат  $S_0$ ). Структура бинарной Т-матрицы традиционно представляется в виде прямоугольной матрицы. Предположим, что исходной бинарной структурой Т-матрицы является массив из одних только «1» или «0». Такой массив назовем «фоном». Тогда процесс порождения теста, с геометрической точки зрения, можно представить как процесс последовательного и целенаправленного изменения «геометрии» (битовой структуры) фонового информационного массива, что, в конечном счете, позволяет получить качественную или количественную оценки информационного содержания тестовой матрицы.

Т-матрицу с фоновым массивом будем рассматривать в соответствии с [6] как пространство с нуль-структурой  $C_0$  или как бесструктурное множество  $S_0$ , которое задается постоянным отображением:

$$C_0 : S_0 \rightarrow c_0 = \text{const.} \quad (1)$$

Соотношение (1) означает, что элементы множества  $S_0$ , обладающие одним и тем же свойством  $c_0$ , попарно неразличимы. В случае (1) естественно считать, что  $S_0$  не содержит никакой информации, так как это бесструктурное множество допускает любые преобразования автоморфизма, то есть преобразование симметрии, сохраняющее нуль-структуру.

Предположим, что множество  $S_0$  конечно и состоит из  $N$  неразличимых между собой элементов из  $S_0$ . При этом, множество всех автоморфизмов этого бесструктурного множества является симметрической группой всех перестановок (или подстановок) элементов из  $S_0$ . Число всех таких преобразований симметрии равно  $N!$

Допустим, что  $S_0$  снабжено некоторой структурой  $C$  так, что превратилось в пространство  $S_c$ . Например, предположим, что какое-то число  $N_1 (0 \leq N_1 \leq N)$  элементов из  $S_0$ , образующих множество  $S_1 \subset S_0$  получило какую-то «метку», одну и ту же для всех  $N_1$ , что нарушило симметрию  $S_0$ .

При этом на  $S_0$  возникла новая структура  $C$ , превратившая  $S_0$  в пространство  $S_c$ .

Структурное отображение  $C$  теперь может быть задано характеристической функцией  $\varphi(x)$  множества  $S_1$  меченых элементов, со свойствами  $c_1$  и  $c_2$ :

$$\varphi(x) = \begin{cases} c_1, x \in S_1; \\ c_2, x \in S_2 = S_0 \setminus S_1; c_1 \neq c_2. \end{cases} \quad (2)$$

Структуру  $S$  можно назвать разбиением или 2-разбиением. Пространству  $S_c$  с такой структурой естественно приписать информационное содержание или просто информацию  $I(S_c)$  в количестве

$$I(S_c) = \text{Log}_2 \frac{N!}{N_1!N_2!}. \quad (3)$$

Максимизация  $I(S_c)$  достигается при условии

$$I(S_c)_{\max} = \begin{cases} N_1 = N_2 = N/2 & \text{при } N \text{ четном,} \\ N_1 \approx N_2 \approx N/2 & \text{при } N \text{ нечетном.} \end{cases} \quad (4)$$

В общем случае, когда  $S_0$  разбивается на  $k$  попарно не перекрывающихся множеств  $S_1, S_2, \dots, S_k$  с числом элементов  $N_1, N_2, \dots, N_k$ , причем  $(N_1 + N_2 + \dots + N_k = N)$ , то

$$I(S_c) = \text{Log}_2 \frac{N!}{N_1! \dots N_k!}. \quad (5)$$

Эффект увеличения информации (или сложности структуры) при образовании новой структуры можно истолковать как эффект нарушения симметрии изначальной нуль-структуры.

Из (5) вытекает, что структура бинарной Т-матрицы, обеспечивающей максимизацию контрольно-диагностической информации  $I(S_c)$ , должна каким-либо образом обеспечивать попарную различимость всех её элементов, характеризующих контрольные точки, и это притом, что каждый такой элемент может принимать всего только два значения - 1 и 0. При таких условиях попарную различимость каждой контрольной точки Т-матрицы можно достичь только одним единственным способом, а именно, путем такой последовательной смены информационных тестовых массивов, структура которых будет обеспечивать формирование по столбцам последовательных двоичных кодов (номеров), каждый из которых будет уникальным для любой контрольной точки Т-матрицы. Основываясь на (5), можно подсчитать минимально необходимое количество тестовых наборов Т-матрицы, при котором обеспечивается попарная различимость каждой контролируемой точки:

$$L_{\min} = \lceil \text{Log}_2 N \rceil, \quad (6)$$

где  $N$  - количество контролируемых точек;  $\lceil z \rceil$  - ближайшее целое к  $z$ , не меньшее его.

В простейшем случае реализация условия (6) эквивалентна тому, что каждый столбец Т-матрицы может представлять собой  $g$ -разрядные двоичные коды, причем  $g = L_{\min}$ .

Таким образом, бинарная структура рациональной Т-матрицы, по возможности, должна удовлетворять следующим обобщенным требованиям:

а) в любом столбце Т-матрицы необходимо обеспечить хотя бы однократное изменение логического состояния (с лог. 0 на лог. 1 или наоборот);

б) каждый столбец Т-матрицы должен быть уни-

кальным, не совпадающим ни с какими-либо другими столбцами и отличным от нулевого и единичного;

в) бинарная структура каждой строки Т-матрицы должна обеспечивать управляемость и одновременную наблюдаемость на первичных выходах как можно большего количества внутренних контролируемых точек;

г) каждая строка Т-матрицы должна быть уникальной, не совпадающей ни с какими-либо другими строками.

Выполнение требования а) гарантирует управляемость в каждой контролируемой точке и, соответственно, принципиальную возможность обнаружения в этих точках константных неисправностей (неисправностей логических элементов или обрывов). Выполнение требования б) гарантирует принципиальную возможность обнаружения в этих точках неисправностей, обусловленных разнообразными видами коротких замыканий. Выполнение требований в) и г) обеспечивают минимизацию длины КД-теста.

Требования а) и б) можно объединить в одно требование д): каждый столбец Т-матрицы должен быть отличным от нулевого и единичного столбцов и уникальным, то есть не совпадающим ни с какими-либо другими столбцами.

Требование д) необходимо для обеспечения статического контроля/диагностирования, но недостаточно для динамического контроля/диагностирования. Для динамического контроля/диагностирования необходимо выполнение дополнительного требования е): в каждом столбце Т-матрицы смена логических значений должна производиться с максимально возможной частотой, так как только в этом случае можно провоцировать «динамические короткие замыкания», обусловленные возможными паразитными емкостными связями между близлежащими линиями электрической связи.

Для бинарных строк Т-матрицы сформулировать аналогичные обобщенные требования не представляется возможным для большинства известных цифровых структур, кроме требования г), которое на практике достаточно часто не удается удовлетворить. Такая ситуация объясняется тем, что в каждой строке Т-матрицы содержится определенная бинарная комбинация, одна часть которой необходима для установления определенного логического значения в контролируемой точке (управляемость), а другая часть необходима для транспортировки контролируемого логического значения на какой-либо из первичных выходов цифровой системы (наблюдаемость).

Условимся, что электрический сигнал  $U^0$ , соответствующий логическому 0 в Т-матрице, подавляет электрический сигнал  $U^1$ , соответствующий логической 1. Такую ситуацию в дальнейшем будем называть «бинарным антагонизмом». Тогда поставленная

задача сводится к задаче максимизации бинарных антагонизмов как внутри каждого отдельного тестового набора, так и между всеми тестовыми наборами.

Рассмотрим тестовый набор, имеющий структуру, представленную на рис. 4.

| $x_1$ | $x_2$ | $x_3$ | $x_4$ | $x_5$ |
|-------|-------|-------|-------|-------|
| 1     | 1     | 0     | 0     | 1     |

**Рис. 4. Пример битовой структуры отдельного тестового набора**

Данный набор позволяет обнаружить КЗ-неисправности между следующими парами контролируемых линий:  $x_3 - x_1$ ;  $x_3 - x_2$ ;  $x_3 - x_5$ ;  $x_4 - x_1$ ;  $x_4 - x_2$ ;  $x_4 - x_5$ . В то же время, не обнаруживает КЗ-неисправности между  $x_3 - x_4$ ;  $x_1 - x_2$ ;  $x_1 - x_5$ ;  $x_2 - x_5$ . То есть, при подаче на контролируемые линии одноименных логических значений, не может быть установлен факт электрической изоляции этих линий. Отсюда, контролирующая способность отдельного тестового набора, может быть найдена как количество паросочетаний разрядов кода с инверсными значениями на основании следующего соотношения:

$$P_k = C_2^k - (C_2^r + C_1^{k-r}), \quad (7)$$

где  $C_2^k$  – общее количество паросочетаний без повторений между битами  $k$ -разрядного двоичного кода;  $C_2^r$  – количество паросочетаний без повторений между  $r$ -битами кода, имеющих значение логической 1;  $C_2^{k-r}$  – количество паросочетаний без повторений между  $r$ -битами кода, имеющих значение логического 0.

Не трудно показать, что:

$$P_k = \frac{k(k-1)}{2} - \frac{r(r-1)}{2} - \frac{(k-r)(k-r-1)}{2} = r(k-r). \quad (8)$$

Продифференцируем (8) по  $r$ , получим:

$$\frac{dP_k}{dr} = k - 2. \quad (9)$$

Из (9) вытекает, что оптимальной битовой структурой каждого тестового набора является такая структура, в которой

$$r = k/2,$$

то есть, когда в каждом тестовом наборе имеется ровно половина (при  $k$  четном) или примерно половина (при  $k$  нечетном) нулевых и единичных значений.

Рассуждая аналогичным образом относительно столбцов, образуемых тестовыми наборами, приходим к тому, что контролирующая способность произвольной совокупности тестовых наборов (то есть всего теста) может быть определена на основании следующего выражения:

$$P_k(T) = C_2^k - \sum_{i=1}^l \frac{S_i(S_i-1)}{2}, \quad (10)$$

где  $C_2^k$  – общее количество паросочетаний без повторений между битами  $k$ -разрядного двоичного кода;

$S_i$  – количество одинаковых столбцов  $i$ -го типа;

$l$  – количество разновидностей одинаковых столбцов.

На основании (10) может быть вычислена полнота КД-теста по отношению к одиночным КЗ-неисправностям без их моделирования:

$$P(T) = P_k(T)/C_2^k. \quad (11)$$

Таким образом, доказательно приходим к следующему утверждению:

**Утверждение 1.** Рациональной структурой бинарной  $T$ -матрицы является такая структура, при которой во всех сроках и столбцах содержится по одинаковому количеству нулевых и единичных значений. Все строки и все столбцы  $T$ -матрицы должны быть различными между собой. При этом произвольные области  $T$ -матрицы должны обладать свойством самоподобия в смысле статистической симметрии.

Удовлетворить сформулированные требования к рациональной структуре бинарной  $T$ -матрицы не возможно при выполнении условия (6). Необходимо выполнение, по крайней мере, следующего условия

$$L_{\min} = 2 \lfloor \log_2 N \rfloor, \quad (12)$$

где  $N$  – количество контролируемых точек;

$\lfloor z \rfloor$  – ближайшее целое к  $z$ , не меньшее его.

Соотношение (12) определяет минимально возможное количество тестовых наборов, гарантирующих определение одиночных константных и КЗ-неисправностей в тестопригодных ЛП, для которых  $T$ -матрица соответствует Утверждению 1.

### III. ОБОСНОВАНИЕ СТРУКТУРЫ ТЕСТОВЫХ ВОЗДЕЙСТВИЙ

Будем называть каждую строку  $T$ -матрицы тестовым вектором ( $B$ ), а каждый столбец – тестовой последовательностью ( $\Pi$ ).

Возможны различные принципы порождения (генерации) тестовых векторов и тестовых последовательностей:

1) Каждый последующий тестовый вектор  $B_{k+1} = F_B(B_1, B_2 \dots B_k)$ , то есть порождается на основе некоторой функциональной зависимости от битовой структуры всех предшествующих тестовых векторов. При этом управлять битовой структурой тестовых последовательностей не представляется возможным. Можно лишь в последствии, путем добавления дополнительных тестовых векторов, скорректировать битовую структуру тестовых последовательностей до требуемой структуры, содержащей половину нулевых и половину единичных значений.

2) Каждый последующий бит в каждой тестовой

последовательности  $p_{k+1} = F_{\Pi}(p_1, p_2, \dots, p_k)$ , то есть порождается на основе некоторой функциональной зависимости от всех (или части) предшествующих значениях бит тестовой последовательности. При этом не удастся управлять битовой структурой тестовых векторов. Можно, лишь в последствии, попытаться скорректировать их битовую структуру.

3) Между битовыми структурами тестовых векторов и тестовых последовательностей существует функциональная взаимосвязь, позволяющая прогнозировать (рассчитывать) по текущей структуре тестового вектора последующий тестовый вектор, или, что эквивалентно, биты каждой тестовой последовательности.

Требованиям п.3 наиболее соответствуют широко известные псевдослучайные тестовые последовательности максимальной длины (М-последовательности).

Важными для решаемых задач являются следующие свойства, которыми обладают М-последовательности [8, 9]:

Свойство 1 («сдвига и суммирования»):

$$M_s = M_i \oplus M_j; \quad i \neq j, \quad M_s \subset M. \quad (13)$$

Свойство 2 :

$$M_i \oplus M_i = 0; \quad (14)$$

Свойство 3 :

$$M_i \oplus 0 = M_i; \quad (15)$$

Свойство 4 :

$$M_i \oplus 1 = \overline{M_i}; \quad (16)$$

Свойство 5 (логическое умножение):

$$P_s = M_i \wedge M_j; \quad i \neq j, \quad P_s \subset M. \quad (17)$$

Свойство 6 (логическое сложение):

$$R_s = M_i \vee M_j; \quad i \neq j, \quad R_s \subset M. \quad (18)$$

Свойство 1 означает, что при правильном функционировании ЛПП в режиме тестирования, формируемая выходная последовательность должна быть равна некоторой эталонной М-последовательности ( $M_s$ ), номер (или индекс) которой подлежит определению.

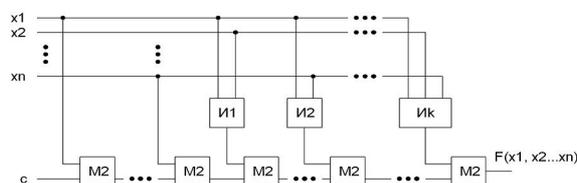
Свойство 2 гарантирует, что при правильном функционировании ЛПП в режиме тестирования сумма по модулю 2 реальной выходной М-последовательности и эталонной М-последовательности должна быть неизменной и равной нулю. На основании данного свойства может формироваться и анализироваться сигнал ошибки или сбоя ЛПП.

Свойство 3 указывает, что некоторые константные неисправности (константа 0) не диагностируемы, но, в то же время, могут являться не существенными.

Свойство 4 требует расширения класса М-последовательностей и включения в него  $2^n - 1$  инверсных М-последовательностей. Данное свойство также указывает на диагностируемость константных неисправностей типа константа 1.

Свойства 5 и 6 показывают, что неисправности типа коротких замыканий между сигнальными линиями, приводящие к образованию монтажных схем «И» и/или «ИЛИ», диагностируемы. Свойства 5 и 6 обусловлены тем, что в любых двух неравных М-последовательностях одного и того же класса лишь половина совпадающих символов (четверть совпадающих 0 и четверть совпадающих 1).

Из (13) и (16) вытекает, что при использовании М-последовательностей тестопригодный логический преобразователь должен базироваться на логических операциях неравнозначности (сумма по модулю 2) и равнозначности, которые ни в отдельности, ни в совокупности не образуют функционально полного логического базиса. Однако, логический базис Жегалкина содержит в своем составе логическую операцию неравнозначности (M2) вместе с операциями конъюнкции и логической 1. Логический преобразователь на основе базиса Жегалкина часто называют "схемой Редди" [10], представленной на рис. 5.



**Рис. 5. Логический преобразователь на основе схемы Редди**

#### IV. СТРУКТУРА ТЕСТОПРИГОДНОГО ЛОГИЧЕСКОГО ПРЕОБРАЗОВАТЕЛЯ

Схема Редди, представленная на рис. 5, сама по себе обладает тем уникальным свойством, что любой логический преобразователь, реализованный подобным образом, тестируется не более чем  $(n+4) \cdot n_k$  стандартными тестовыми наборами [10]. Длина каждого тестового набора при  $n$  логических переменных равна  $n+1$  (с учетом дополнительного входа  $c$ ), а величина  $n_k$  определяется количеством логических переменных, входящих четное число раз в соответствующий полином Жегалкина. К недостатку схемы Редди следует отнести то, что структура тестовых наборов не отвечает сформулированным требованиям к рациональной структуре Т-матрицы. Для устранения данного недостатка схему Редди предлагается модифицировать следующим образом. Многовходовые элементы И заменяются на последовательные цепочки из двухвходовых элементов с электронно - перестраиваемой структурой, которая описывается следующим логическим уравнением:

$$\text{var} = x_{i-1}x_i \vee \overline{x_{i-1}} \vee x_i \vee \Gamma, \quad (19)$$

где  $\Gamma$  – сигнал управления, который перестраивает структуру на реализацию логического И в режиме

работы ( $r = 1$ ), а в режиме тестирования ( $r = 0$ ) – на реализацию логической функции равнозначности. Таким образом, приходим к тестопригодной структуре логического преобразователя, который в режиме работы описывается полиномом Жегалкина, а в режиме тестирования преобразуется в EXOR комбинационную схему, реализующую одну из возможных линейных логических функций, вид которой однозначно связан с логической функцией, реализуемой в рабочем режиме функционирования. В режиме тестирования открывается возможность одновременной генерации тестовых M-последовательностей, эталонной M-последовательности и сравнение последней с реально генерируемой на выходе схемы, т.е. открывается перспектива практической реализации логических преобразователей со встроенным периодическим самотестированием на предельных рабочих частотах стандартными тестовыми последовательностями.

На рис. 6 представлена структура тестопригодного полного дешифратора 3→8.

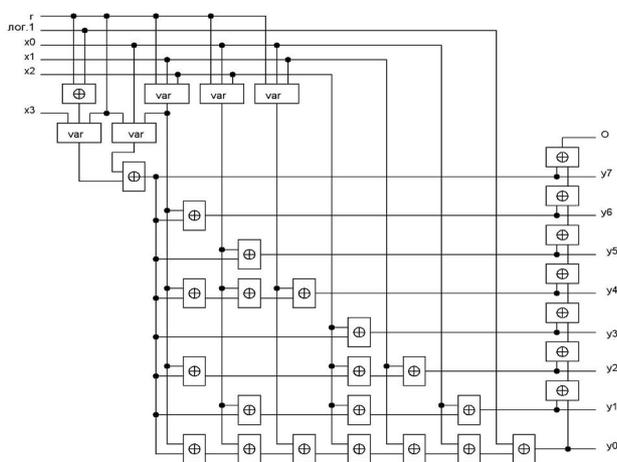


Рис. 6. Структура тестопригодного дешифратора

На рис. 6  $x_0, x_1, x_2$  – входы дешифратора для рабочего режима ( $r = 1$ ) и для режима тестирования. Вход  $x_3$  – дополнительный вход для организации тестирования. Элементы  $\oplus$  – сумма по модулю 2.

Подобным образом на языке VHDL был смоделирован и исследован тестопригодный дешифратор 8→256 с возможностью автоматического введения константных неисправностей на входах и выходах логических элементов. Было введено более 6000 константных неисправностей, а в качестве тестовых использовались девять M-последовательностей, генерируемых 9-ти разрядным регистром сдвига с линейной обратной связью. Все смоделированные неисправности обнаруживались не более чем за 10 тактов, что согласуется с (12), если под N понимать количество выходов дешифратора.

## V. ЗАКЛЮЧЕНИЕ

Использованный в данной работе подход доказывает возможность практической реализации логических преобразователей со встроенными оперативными средствами периодического самотестирования, что существенно сократит материальные и временные затраты на разработку тестирующих программ и реализацию тестирования. Тестопригодные логические преобразователи могут быть реализованы как в заказных БИС, так и в ПЛИС типа CPLD и FPGA.

## ЛИТЕРАТУРА

- [1] Горяшко А.П. Синтез диагностируемых схем вычислительных устройств. – М.: Наука, 1987. – 288 с.
- [2] Беннеттс Р.Дж. Проектирование тестопригодных логических схем: Пер. с англ. – М.: Радио и связь, 1990. – 176 с.
- [3] Литиков И.П. Кольцевое тестирование цифровых устройств. – М.: Энергоатомиздат, 1990. – 160 с.
- [4] Ерохин В.В., Мальцев П.П. Самотестирование сложных функциональных блоков // I Всероссийская Научно-техническая конференция «Проблемы разработки перспективных микроэлектронных систем 2005» / Сб. науч. трудов под общ. ред. А.Л. Спемпковского. – М.: ИПИМ РАН. – 2006. – С. 500-507.
- [5] Аксёнова Г.П., Халчев В.Ф. Метод параллельно - последовательного самотестирования в интегральных схемах типа FPGA // Автоматика и телемеханика. – 2007. – № 1. – С. 163 – 174.
- [6] Бутковский А.Г. На пути к геометризации управления // Изв. академии наук. Теория и системы управления. – 1997. – №1. – С.16-27.
- [7] Тюрин С.В., Акинина Ю.С. Об одном подходе к формализации понятий «необходимость» и «достаточность» функциональных тестов ОЗУ // Вестник Воронежского государственного технического университета. Сер. Вычислительные и информационные – телекоммуникационные системы. – 2001. – Вып.8.1. – С. 50 –52.
- [8] Алексеев А.И., Шереметьев А.Г., Тузов Г.И., Глазов Б.И. Теория и применение псевдослучайных сигналов. – М.: Наука, 1969. – 368 с.
- [9] Ярмолик В.Н., Демиденко С.Н. Генерирование и применение псевдослучайных сигналов в системах испытаний и контроля / Под ред. П.М. Чеголина. – Мн.: Наука и техника, 1986. – 200 с.
- [10] Reddy S.M. Easily testable realization for logic functions / S.M. Reddy // IEEE Trans. Comput. – 1972. – № 1. – P. 124-141.

Работа выполнена при поддержке регионального гранта РФФИ № 09 - 07 - 97508 p\_центр\_a.