

Алгоритм определения размеров транзисторов, базируемый на статистическом статическом временном анализе

В.Ш. Меликян, Д.Л. Мирзоян, Г.А. Петросян, В.К. Агаронян

ЗАО “СИНОПСИС АРМЕНИЯ”, vazgenm@synopsys.com

Аннотация — Из-за вариации параметров технологических процессов в субмикронных технологиях отмечаются большие вариации задержек интегральных схем (ИС), влияющие на коэффициент выхода ИС. Представлен алгоритм определения размеров логических элементов, оценивающий вариации задержки схемы, используя статистический статический временной анализ (ССВА) с учетом межсхемных и внутрисхемных вариаций и калибруя размеры логических элементов для достижения необходимого коэффициента выхода.

Ключевые слова — Алгоритм, коэффициент выхода, статический временной анализ.

I. ВВЕДЕНИЕ

По мере развития кремниевой технологии характеристики транзистора (длина канала, толщина окисла, пороговое напряжение, произвольное распределение примесей в канале и т.д.) имеют все большие вариации. В результате можно ожидать значительные изменения производительности при изготовлении разных типов ИС. Процессные вариации разделяются на две группы – систематические и случайные. Если систематические вариации, по своей сущности, определяемы и являются следствием структуры частного элемента и его топологической среды, то случайные вариации непредсказуемы. Последние включают в себя вариации эффективной длины канала, распределения примесей, толщины окисла и ширины транзистора. Вариации распределения примесей имеют важное значение для передовых технологий, поскольку они могут привести к потенциально большому изменению порогового напряжения. Кроме того, присущие им отклонения не зависят от местоположения элемента в ИС. Отклонения параметров технологического процесса невозможно устранить с помощью внешнего контроля технологического процесса. Следовательно, необходимы статистические методологии проектирования, учитывающие произвольность вариаций процессных параметров.

Общепринятые методы калибровки изменяют

размеры элемента для оптимизации площади и потребляемой мощности до получения удовлетворительной величины временных задержек. Обычно, программы анализа электронных схем, использующие эти методы, с помощью статического временного анализа находят критические точки схемы, которые влияют на задержки критических путей. Затем изменяется ширина транзистора с целью получения желательной величины временной задержки, параллельно удерживая размеры площади и потребляемую мощность в допустимых пределах. Однако, в связи со случайными вариациями процессных характеристик большое число ИС могут не удовлетворять требованиям, предъявляемым временным задержкам. Одним из решений этой проблемы является установление задержки при худшем случае вариации процессов как допускаемой. Например, для нормального распределения задержки можно выбрать точку 6σ (σ - стандартная девиация) как допускаемое значение задержки при проектировании для худшей вариации процессов. В этом случае, коэффициент выхода значительно увеличивается, но занимаемая площадь и потребляемая мощность могут достичь неприемлемых значений. Это обусловлено тем, что только небольшое количество ИС могут иметь временные задержки, сравнимые со значением, полученным для худшего случая. Следовательно, установление наибольшего значения задержки как допускаемого приведет к возрастаниям потребляемой мощности и площади ИС.

В данной работе предлагается статистический метод проектирования с учетом внутри- и межсхемных вариаций параметров процесса. Идея заключается в изменении ширины транзисторов с минимальным возрастанием занимаемой площади и потребляемой мощности с целью увеличения вероятности того, что схема удовлетворяет условиям, выдвигаемым к временной задержке. Была разработана программа изменения размеров элемента с использованием алгоритма релаксации Лагранжа (РЛ) [1] для оптимизации ширины транзисторов

схемы. В первую очередь, алгоритм оценивает ожидаемую вариацию задержки на выходе данной схемы на основе ССВА. Используя полученную для выхода схемы функцию распределения задержки и желаемое значение коэффициента выхода, алгоритм увеличивает размеры транзисторов для достижения приемлемого значения задержки, параллельно оптимизируя занимаемую площадь путем уменьшения размеров тех транзисторов, которые не находятся на критических путях. Следует отметить, что под коэффициентом выхода подразумевается процент годных схем с точки зрения удовлетворения поставленных временных ограничений.

II. СТАТИСТИЧЕСКИЙ СТАТИЧЕСКИЙ ВРЕМЕННОЙ АНАЛИЗ И ВАРИАЦИИ ПАРАМЕТРОВ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ

ССВА выполняется для определения задержек схемы с учетом технологических вариаций [2], [3]. Последние могут быть классифицированы как внутри- и межсхемные [4]. Вследствие межсхемных вариаций одно и то же устройство может иметь разные характеристики между разными ИС, а внутрисхемные вариации - это вариации характеристик одного элемента в одной ИС. Обе вариации являются случайными по природе. Если внутрисхемные вариации, с точки зрения длины, ширины транзистора, а также толщины окисла, могут коррелироваться, то случайные размещения примесей для субмикронных транзисторов делают каждый транзистор в ИС независимым друг от друга с точки зрения порогового напряжения. В данном методе статистически вычисляются вариации длины, ширины, порогового напряжения, а также толщины окисла транзистора. Время появления выходного сигнала (T_0) логического элемента будет считаться как сумма времен появления входного сигнала и задержки элемента. Для логического элемента, имеющего два входа, T_0 определяется в виде

$$T_0 = \max(T_1 + \tau_1, T_2 + \tau_2),$$

где T_1 и T_2 - времена появления входных сигналов; τ_1 , τ_2 - задержки от входов до выхода.

Функция плотности распределения $f_{T_0}(x)$ переменной T_0 вычисляется в виде

$$f_{T_0}(x) = f_{T_1+\tau_1}(x)F_{T_2+\tau_2}(x) + F_{T_1+\tau_1}(x)f_{T_2+\tau_2}(x),$$

где $F_{T_0}(x)$ - вероятность того, что $T_0 \leq x$.

Несмотря на то, что T_1 , T_2 , τ_1 , τ_2 подчиняются закону нормального распределения, нет гарантий, что T_0 также будет подчиняться этому закону. Тем не

менее, величину T_0 с большой точностью можно характеризовать нормальным распределением, основываясь на экспериментальных данных.

На рис. 1 показан элемент исключаящий ИЛИ-НЕ, имеющий два входа. Время образования выходного сигнала зависит от сигналов $vx1$ и $vx2$ и задержки элемента. Входные сигналы определяются временем появления (T_1, T_2) и наклона (R_1, R_2), которые во время статистического анализа описываются законом нормального распределения. Таким образом, величина, описывающая выходной сигнал, зависит от времен появления входных сигналов, наклона и от корреляции между ними. Исходя из вышеизложенного, создается прехарактеризованная таблица для стандартной девиации σ , тогда как средние значения времени появления выходного сигнала и наклона определяются на ходу, используя модель Сакураи [5].

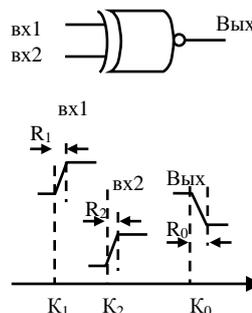


Рис. 1. Двухвходовый исключаящий ИЛИ-НЕ элемент для расчета задержки с учетом межсхемных вариаций

Самым точным способом учета вариаций параметров технологических процессов является метод анализа Монте-Карло [6] на схемотехническом уровне. Однако, в этом случае, требуются недопустимо большие затраты машинного времени. Поэтому в данном методе задержки ячеек статистически характеризованы и использованы при ССВА полной схемы. Во время характеристики предполагается, что внутри- и межсхемные вариации независимы друг от друга. Это уменьшает сложность ССВА, так как влияние отдельных вариаций на задержку может быть проанализировано отдельно.

Например, вариация длины транзистора моделируется как сумма двух вариаций:

$$\sigma^2_{общ} = \sigma^2_{меж} + \sigma^2_{внутр},$$

где σ - стандартная девиация. Соответственно, влияние вариации длины транзистора на общую задержку может быть рассчитано как

$$\sigma^2_{задержка,общ} = \sigma^2_{задержка,меж} + \sigma^2_{задержка,внутр}$$

Влияние вариаций порогового напряжения, толщины окисла и ширины транзистора также рассчитывается указанным способом.

III. ОПРЕДЕЛЕНИЕ РАЗМЕРОВ ПО МЕТОДУ РЕЛАКСАЦИИ ЛАГРАНЖА

В работе [7] предложен метод с использованием РЛ для калибровки размеров логических элементов и межсоединений с целью оптимизации общей площади при ограничении на временную задержку схемы. В данной работе калибровка размеров межсоединений игнорируется, но добавляется ограничение на коэффициент выхода.

На рис. 2 показан пример схемы для определения размеров по методу релаксации Лагранжа. Схема состоит из n логических элементов, размеры которых должны быть изменены, и из s первичных входов. Логические элементы и первичные входы называются компонентами. Добавляются два виртуальных компонента, один из которых подсоединен ко всем первичным входам (компонент 9 на рис. 2), а второй - к первичным выходам.

Для схемы с n логическими элементами и s первичными входами имеется $n + s + 2$ компонента. Нумерация фронтов сигнала соответствует их логическим элементам. Цель состоит в уменьшении всей площади (или потребляемой мощности), которая может быть представлена как $\sum_{i=1}^n c_i x_i$, где x_i - размер

логического элемента, а c_i - произвольный постоянный множитель для логического элемента i , изменяющийся в зависимости от цели оптимизации. Обычно размеры логических элементов (то есть размеры транзисторов в определенной логической схеме) калибруются, чтобы достичь минимальной площади, в то же время удовлетворяя заданным ограничениям по задержке.

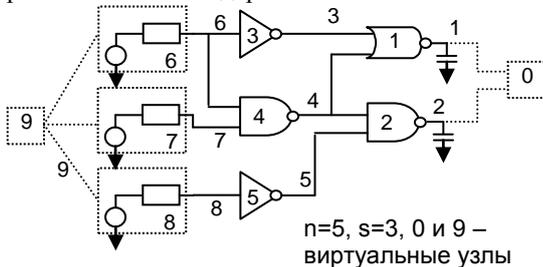


Рис. 2. Пример схемы

Здесь кроме ограничения по задержке на первичном выходе A_0 , также существует ограничение коэффициента выхода γ_0 . Следовательно, задача

калибровки, являющаяся первоначальной проблемой (ПП), формулируется следующим образом:

- Минимизировать $\sum_{i=1}^n c_i x_i$;
- Ограничивать $\sum_{i \in P} D_i \leq A_0, \forall P \in \mathcal{P}$
 $L_i \leq x_i \leq U_i, i = 1, \dots, n$, коэффициент выхода $\gamma \geq \gamma_0$.

где L_i и U_i - нижняя и верхняя границы размеров логического элемента i ; \mathcal{P} - набор всех возможных путей для сигнала в схеме; D_i - задержка через элемент i в пути P . Сложность проблемы зависит экспоненциально от числа компонентов в схеме $O(e^n)$. Чтобы упростить сложность до линейной, ограничения по задержке на всех путях преобразованы в ограничения для каждого логического элемента в схеме. Поэтому ПП вновь формулируется следующим образом:

- Минимизировать $\sum_{i=1}^n c_i x_i$
- Ограничивать $a_j \leq A_0$,
 $a_j + D_j \leq a_i, i = 1, \dots, n, \forall j \in \text{вход}(i)$
 $D_i \leq a_i, i = n + 1, \dots, n + s$
 $L_i \leq x_i \leq U_i, i = 1, \dots, n$,
 $\gamma \geq \gamma_0$,

где a_i - время прибытия i -го фронта сигнала; D_i - задержка, связанная с логическим элементом i .

Задача оптимизации путей теперь преобразуется в глобальную для общей схемы, где A_0 представляет собой ограничение на задержку схемы, а не на определенный путь в схеме.

При решении этой проблемы ПП сначала переводится в математическое уравнение путем добавления множителя Лагранжа λ [8] для каждого ограничения на время прибытия сигнала:

$$L_\lambda(x, a) = \sum_{i=1}^n c_i x_i + \sum_{j \in \text{вход}(0)} \lambda_{j_0} (a_j - A_0) + \sum_{i=1}^n \sum_{j \in \text{вход}(i)} \lambda_{ji} (a_j + D_i - a_i) + \sum_{i=1}^{n+s} \lambda_{mi} (D_i - a_i).$$

λ_{ji} соответствует входному j и выходному i фронтам логического элемента i , m в λ_{mi} равняется

$n + s + 1$. Минимизация L_λ с использованием РЛ заключается в итерации следующих двух шагов: 1) вычисление оптимального размера схемы для текущих значений λ ; 2) обновление λ по направлению оптимального решения. Вычисление оптимального размера заключается в выборе размера для каждого логического элемента так, чтобы L_λ была локально уменьшена. Поскольку D_i в L_λ функционально зависит от размера логического элемента x_i , можно найти оптимальный размер логического элемента путем решения $\partial L_\lambda / \partial x_i = 0$.

Минимизация L_λ обеспечивает достижение минимальных размеров схемы при удовлетворении ограничений на задержку. Более подробное объяснение и математическое доказательство правильности алгоритма калибровки с использованием метода РЛ приведено в [1], [7].

IV. КАЛИБРОВКА С УЧЕТОМ ВАРИАЦИЙ ПАРАМЕТРОВ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ

Традиционный алгоритм изменения размеров, основанный на методе РЛ, предполагает, что величина A_0 и временная задержка схемы не изменяются. Однако, в рассматриваемом анализе, временная задержка схемы представлена в виде функции вероятностного распределения для учета процессов вариации. Вид этой функции найден в результате статистического временного анализа, описанного во втором разделе. При этом, в случае предлагаемого нового метода, изменением параметра A_0 на основе функции распределения задержки становится возможным введение дополнительного параметра для коэффициента выхода. Например, в большинстве технологических процессов для нормального распределения в случае 6σ достигается коэффициент выхода, равный 99,9%. Исходя из особенностей нормального распределения, следует, что коэффициент выхода достигает значения 84,1%, если величина параметра A_0 равна $A_0 - \sigma$ (то есть 5σ). Аналогичным способом для других типов вероятностного распределения задержки и других значений коэффициента выхода параметр A_0 может принимать другие значения. На рис. 3 приведена блок-схема предложенного алгоритма с учетом коэффициента выхода. Алгоритм принимает начальные значения параметра A_0 и коэффициента

выхода γ_0 . Далее выбираются начальные значения λ так, чтобы они были из множества Ω_λ , где Ω_λ составлено из тех значений λ , которые удовлетворяют условию оптимальности:

$$\sum_{i \in \text{выход}(k)} \lambda_{ki} = \sum_{j \in \text{вход}(k)} \lambda_{jk}, \text{ где } 1 \leq k \leq n + s.$$

В следующем шаге алгоритм вычисляет оптимальные размеры элементов, а затем, в результате статистического временного анализа, получается функция вероятностного распределения временной задержки для выхода схемы. Вид этой функции изменяется с каждой итерацией благодаря тому, что вариация порогового напряжения (а следовательно, и временной задержки) сильно зависит от ширины транзистора [6], [9].

Основываясь на исходном значении коэффициента выхода γ_0 и функции распределения задержки, величина A_0 модифицируется в значение A'_0 . В отличие от традиционных методов изменения размеров элементов, в этом случае параметр задержки A_0 не остается постоянным и изменяется с каждой итерацией во время минимизации A'_0 . Далее, основываясь на новом значении A'_0 , обновляется λ .

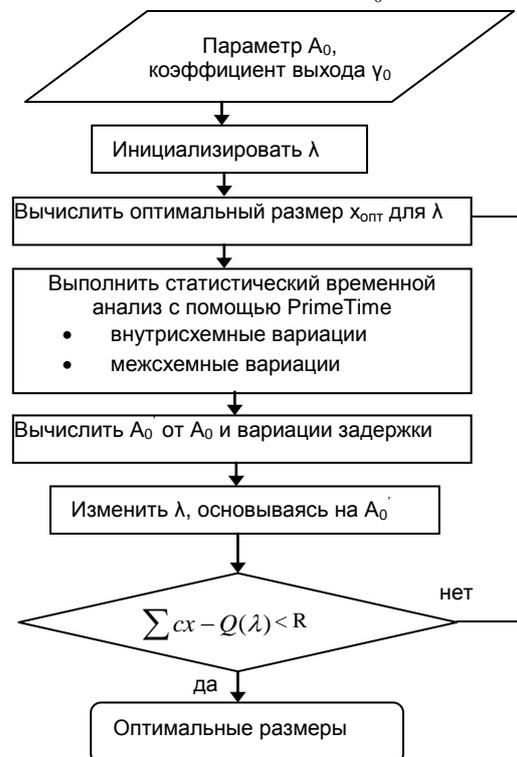


Рис. 3. Алгоритм изменения размеров элементов
Итерации продолжают до минимизации L_λ , когда разность $\sum cx - Q(\lambda)$ становится меньше значения ошибки, определенной со стороны пользователя.

$Q(\lambda)$ представляет собой оптимальное решение для L_λ при каждой итерации.

Учитывая вариационные процессы, в каждой итерации предложенного алгоритма вычисляется новое значение параметра задержки для выходного узла схемы ($A'_0 = A_0 - \sigma_j$). Изменение размеров схемы в течение итераций незначительно влияет на величину σ , что обеспечивает корректность работы предложенного алгоритма. При этом σ не является входным параметром и вследствие изменения размеров транзисторов во время работы алгоритма может изменяться.

V. РЕЗУЛЬТАТЫ

Предложенный алгоритм был использован для изменения размеров логических элементов с учетом технологических разбросов. При моделировании схем была использована SAED 90-нанометровая технология, разработанная в компании "Synopsys". Для учета разбросов проведено моделирование Монте-Карло с помощью программы HSPICE (Synopsys). Как было отмечено, в реальности отклонения параметров транзисторов имеют статистический характер.

На рис. 4 представлен результат моделирования порогового напряжения n-канального транзистора технологии SAED.

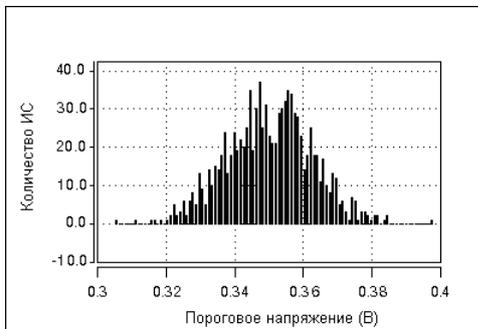


Рис. 4. Пороговое напряжение МОП транзистора при меж- и внутрисхемных вариациях (Монте - Карло)

Видно, что отклонения порогового напряжения близки к нормальному закону.

На рис. 5 показана задержка КМОП инвертора для той же технологии.

Разница максимальной и минимальной задержек обозначена через t_3 . На рис. 6 показана зависимость площади схемы от временной задержки (кривая 1) и функция распределения задержки, полученная статистическим анализом с помощью программы PrimeTime-VX (Synopsys) при разных A_0 (кривая 2).

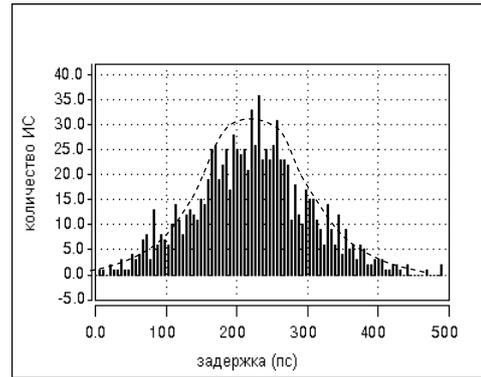


Рис. 5. Задержка КМОП инвертора при меж- и внутрисхемных вариациях (Монте - Карло)

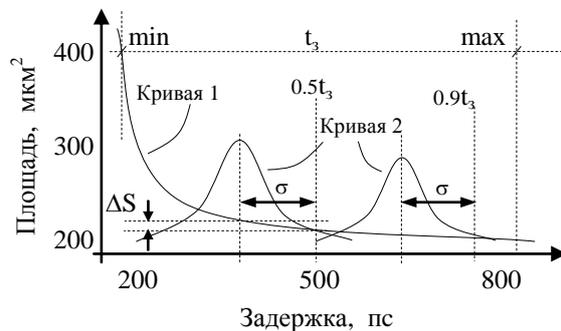


Рис. 6. Зависимость площади схемы 1 от задержки

Предположим, ограничение на задержку равно $0,5t_3$.

Во время работы алгоритма можно достичь значения, например, 84% (коэффициент выхода ИС) при минимальном увеличении площади. По сравнению с этим изменение площади при ограничении на задержку $0,9t_3$ намного меньше (рис.5).

Таблица 1

Зависимость ΔS от ограничения задержки

Номер схемы	t_3 / σ	Изменение площади $\Delta S(\%)$, когда задержка равна	
		$0,5t_3$	$0,9t_3$
1	4,9	1,6	0,6
2	2,8	11	1,8
3	2,1	0,5	0,2
4	2,0	9,1	1,5
5	4,4	3,8	2,7

Таким образом, эффективность алгоритма зависит от ограничения на задержку. В табл.1 приведены значения изменения площади при двух ограничениях на задержку - $0,5t_3$ (столбец 3) и $0,9t_3$ (столбец 4)

Таблица 2

Результаты использования алгоритма к разным схемам

Номер схемы	Число транзисторов	Площадь (без учета вариаций)	Площадь (99% выход)	Разница, %	Наихудший случай	Разница, %	$\sigma_{\text{меж}}/\tau, \%$	$\sigma_{\text{внутр}}/\tau, \%$	Время, с
1	610	180	182	1,1	185	2,8	5,8	1,2	35
2	1800	540	557	3,1	580	7,4	5,3	0,9	400
3	3290	975	1022	4,6	1182	17,5	5,3	0,8	420
4	370	106	*	*	*	*	5,1	1,2	51
5	147	40	45	12,5	53	32,5	5,4	2,7	11

для 5 комбинационных логических схем, принимая коэффициент выхода равным 84%.

Разработанный алгоритм сравнивался с методологией наихудшего случая, где ограничение задержки принято $0,9t_z$ для всех схем. Результаты приведены в табл.2. Сначала была измерена площадь схем без учета разбросов (столбец 3). Это соответствует минимизации площади при начальной задержке.

В столбце 4 приведены площади схем после применения алгоритма с учетом вариаций. При этом коэффициент выхода можно увеличить до 99% с малым увеличением площади. Однако, тестирование алгоритма показало, что если уменьшить коэффициент выхода, например до 84%, увеличение площади будет намного меньшим. Таким образом, обеспечивается компромисс между площадью и коэффициентом выхода.

В столбце 6 приведены площади схем при проектировании в наихудшем случае. В столбцах 8 и 9 показаны отношения σ/τ для двух типов вариаций, где τ - средняя задержка при выходе 84%. В последнем столбце показано время работы алгоритма. Из табл. 2 видно, что в схеме 5 можно достичь 20% экономии площади (в сравнении с наихудшим случаем). Звездочкой отмечен случай, когда при ограничении на задержку невозможно минимизировать площадь, то есть невозможно удовлетворить ограничениям.

VI. ЗАКЛЮЧЕНИЕ

Предложен алгоритм изменения размеров логических элементов на основе результатов статистического анализа. Алгоритм оценивает вариацию задержки схем, вызванную вариациями длины, ширины, порогового напряжения и толщины окисла транзистора. Рассчитываются размеры элементов для получения желательного коэффициента выхода ИС, при этом минимизируется площадь. Результаты, приведенные для пяти схем, показывают, что при работе алгоритма относительное уменьшение площади может достигать до 20% по сравнению с

методологией наихудшего случая для некоторых схем.

ЛИТЕРАТУРА

- [1] Wang J., Das D., Zhou H. Gate Sizing by Lagrangian Relaxation Revisited // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. - July 2009. - V. 28, Issue 7, P. 1071 – 1084.
- [2] Blaauw D., Chopra K., Srivastava A., Scheffer L. Statistical Timing Analysis: From Basic Principles to State of the Art // IEEE transactions on computer-aided design of integrated circuits and systems. - April 2008. - V. 27, No. 9, P. 589-607.
- [3] Wang V., Agarwal K., Nassif S.R., Nowka K. J. and Markovic D. A Simplified Design Model for Random Process Variability // IEEE Trans. on Semiconductor Manufacturing. - Feb. 2009. - V. 22, No. 1, P. 12-21.
- [4] Karen M. G. V. Gettings and Duane S. Boning, Fellow, IEEE Study of CMOS Process Variation by Multiplexing Analog Characteristics // IEEE Trans. on Semiconductor Manufacturing. - Nov. 2008. - V. 21, No. 4, P. 513-525.
- [5] Sakurai T., Newton R. Delay Analysis of series-connected MOSFET circuit // IEEE JSSC. - 1991. - P. 122-131.
- [6] Veetil V., Sylvester D., Blaauw D. Efficient Monte Carlo based Incremental Statistical Timing Analysis // DAC 2008. - June 8-13, 2008. - Anaheim, California, USA, P. 688-693.
- [7] Chen C. P., Chu C. C. N. and Wong D. F. Fast and exact simultaneous gate and wire sizing by Lagrangian relaxation // IEEE Trans. CAD. - Jul.1999. - V. 18, No. 7, P. 1014-1025.
- [8] Bazaraa M. S., Shearli H. D. and Shetty C. M. Nonlinear Programming: Theory and Algorithms, 2nd edition, Wiley, 1993.
- [9] Taur Y. and Ning T. H. Fundamentals of modern VLSI Devices, Cambridge University Press, 1998.