Способ определения эффективности динамического масштабирования напряжения питания и частоты многоядерных процессоров

В.Ш. Меликян, С.Г. Абовян, Г.П. Петросян, Д.Х. Григорян

ЗАО "СИНОПСИС АРМЕНИЯ", vazgenm@synopsys.com

Аннотация — Предлагается способ вычисления теоретического предела производительности контроллера динамического масштабирования напряжения питания и тактовой частоты (ДМНЧ) с учетом трех важнейших факторов: температура нагрева стимулируемая при максимальных напряжениях питания; индуктивного шума, ограничивающего максимальный предел частоты, и увеличивающейся погрешности при производстве.

Ключевые слова — островок напряжений и частот, динамическое масштабирование напряжений и частот.

I. Введение

В результате масштабирования технологических процессов и увеличения сложности интегральных схем (ИС), традиционные коммуникационные решения, основывающиеся на методе соединения при помощи информационных шин внутри ИC, становятся неприменимыми и не соответствуют требованиям производительности. Известно [1], что альтернативным решением вышесказанного является сеть на ИС. Последнее позволит достичь уменьшения потребляемой мощности И равномерного распределения по всей площади ИС. В этом случае, ИС с единственной тактовой частотой и напряжением питания заменяется на множество ИС, в которых применен так называемый [2] метод множественных островков напряжений и частот (ОНЧ). Каждый островок в системе ОНЧ тактируется локальным обладает отдельным независимым сигналом и напряжением питания. Коммуникация между островками осуществляется путем смещения тактового сигнала и напряжений питания по принципу FIFO [3]. Уменьшение энергопотребления достигается за счет изменения напряжения питания некоторых островков до минимальных значений. Однако в этом случае все операции масштабирования напряжений и частот происходят в динамическом режиме (динамическое масштабирование напряжений и частот – ДМНЧ). Поэтому, с целью избавления от помех и ошибок во время работы ИС и сохранения характеристических параметров мощности в системе ОНЧ, приходится выполнять множество измерений в динамическом режиме. Следовательно, важнейшей задачей в системе ОНЧ является разработка алгоритма контроля процесса ДМНЧ. Несмотря на наличие разнообразия решений этой проблемы [4], недостаточно внимания уделяется фундаментальному пределу применения ДМНЧ контроллеров в системе ОНЧ. Основные существующие на сегодня методы основаны на методе классификации ДМНЧ алгоритмов в подразделы. Каждый из разделов предусмотрен для определенного типа задач. При необходимости приходится осуществлять выбор между множеством задач и алгоритмов и определять их соответствие при помощи итераций, значительно увеличивает время всего процесса.

Здесь рассматриваются три основных фактора, формирующих основные характеристики ДМНЧ:

-температура нагрева, стимулируемая при максимальных напряжениях питания;

-индуктивный шум, ограничивающий максимальный предел частоты;

-увеличивающаяся погрешность при производстве.

Каждый из этих факторов становится значимым в результате масштабирования технологических процессов.

Большинство современных процессорных ИС состоят из множества блоков интеллектуальной собственности (процессоры, контроллеры и тд), т.е являются Системами на Кристалле (СнК). В СнК постоянно происходит обмен информацией между отдельными блоками. В то же время каждая единица на кристалле может функцианировать с различной тактовой частотой. Следовательно, между ними синхронизационную необходимо иметь схему состоящую из буферных ячеек. В данной работе ЧТО синхронизация предполагается происходит механизмом FIFO.

Предлагаемый математический аппарат решает задачу согласования скорости передачи данных в FIFO и скорости ее извлечения и обработки следующим доменом, за счет сигналов обратной связи от FIFO. Последние, в свою очередь, управляются алгоритмом ДМНЧ и предусмотренного для этого контролирующего блока. Конечно, задача выбора алгоритма является важной задачей и нуждается в детальном изучении. Однако учитывая наличие достаточного количества удачных алгоритмов [5] в данной работе использовался уже готовый алгоритм.

Однако, в этом случае становится важным правильное определение области применимости алгоритма. Задача согласования скоростей передачи и приема данных на входах и выходах FIFO решается алгоритмом ДМНЧ.

В данной работе оценивается фундаментальный уровень управляемости для ДМНЧ в системах с множеством островков. За счет этого полученные результаты равным образом применимы для всех методов контроля. Предлагается эффективная для анализа воздействия структура трех вышеупомянутых технологических факторов на выполняемость контролирующих ДМНЧ алгоритмов в системах ОНЧ.

II. Исходные предпосылки

Рассматривается пример системы с X=2 линиями обратной связи и Y=3 ОНЧ (рис. 1). Так как значения напряжения и частоты не могут меняться мгновенно, то без значительных потерь точности применяется дискретизация изменения и управления системой в интервалах времени, т.е. контрольный интервал k - период времени [kT,(k+1)T], где T - длина контрольного интервала. Выполнение очереди в начале контрольного интервала k обозначается через $d_i(k)$. α_i и $\beta_i(i \in [1, N])$ представляют собой среднее время поступления и обрабатывания очереди соответственно. Следовательно динамика одной очереди может быть записана в следующем виде :

$$d_{i}(k) = d_{i}(k-1) + T(\alpha_{i}(k-1) - \beta_{i}(k-1)) .$$
(1)



Рис. 1. Система ОНЧ с тремя островками и двумя линиями обратной связи

 $\alpha_i(k) = \overline{\alpha_i} \bullet f_1(k), \quad \beta_i(k) = \overline{\beta_i} \bullet f_2(k),$ (2) где $f_1(k)$ и $f_2(k)$ - тактовые частоты, а $\overline{\alpha_i}$ и β_i - операции записи и считывания в течение одного цикла. В системе где существует более одного островка, возникает необходимость контролировать множество линий с очередями. Для системы с количеством *М* систем ОНЧ и *N* очередей уравнение коллективной динамики имеет вид

 $[D(k)]_{N \times 1} = [D(k-1)]_{N \times 1} + T[B]_{N \times M} [F(k-1)]_{M \times 1}$ Матрица *B* в последнем уравнении имеет одну строчку для каждого состояния и одну колонну для каждого контрольного входа. Таким образом, элемент матрицы под номером (i, j) - это скорость операции записи (чтения) на входе (выходе) линии очереди под номером *i* в связи с активностью в островке под номером *j*. Следовательно, каждая строчка имеет два ненулевых входа.

Далее могут быть определены следующие примечания:

- вектор $D(k) \in \mathbb{R}^{N} = [d_{1}(k), d_{2}(k), ..., d_{N}(k)]$ представляет собой возникшие задержки на линиях обратной связи в k-ом контрольном интервале;

- вектор $F(k) \in \mathbb{R}^{M} = [f_{1}(k), f_{2}(k),..., f_{M}(k)]$ представляет тактовую частоту каждого ОНЧ в k-ом контрольном интервале.

Более упрощенно уравнение динамики может быть записано в следующем виде:

$$D(k+1) = D(k) + TBF(k)$$
. (3)

Как видно из (3), получен вектор тактовой частоты, как функция от времени. Как продемонстрировано на рис. 1, внедрен еще один дополнительный вектор $F^*(k) \in R^M = [f_1^*(k), f_2^*(k), \dots, f_M^*(k)]$, который представляет собой желаемую тактовую частоту в контрольном интервале k. Для идеальной системы $F^*(k) = F(k)$, то есть желаемая и реальная тактовые частоты равны. Однако из-за технологических погрешностей, отмеченных выше, данного равенства не удается достигнуть.

Ш. ПРЕДЕЛЫ КОНТРОЛЯ В СИСТЕМЕ ДМНЧ

Предложенная структура рассматривается для анализа пределов производительности в системе ДМНЧ под воздействием технологических факторов.

Известно что при производстве ИС из за несовершенства технологических процессов могут быть отклонения от запланированных наперед значений некоторых параметров. Именно по этому отмеченные выше отклонения учитываются в процессе моделирования ИС. Аналогичным способом в данной работе введены дополнительные параметры которые осуществляют отклонение системы и ее параметров от идеальных значений.

С точки зрения задачи приведенной в данной работе, тоесть оценки пределов ДМНЧ алгоритма основным параметром влияющим на работу системы является динамика очередей . Следовательно основные отклонения под влиянием температуры, индуктивного шума И погрешности контроля динамике сказываются именно на обмена информацией. Чтобы более определенно понять смысл производительности, внедряется величина $D_{ref} \in R^N$, которая представляет собой желаемую динамику очереди, установленную проектировщиком. Также предполагается, что в качестве еще одной спецификации проектировщик определяет предел J, определяющий максимальное число контрольных интервалов необходимых алгоритму контроля для возвращения системы из произвольного состояния D(0) в желаемое D_{ref} . Отметим, что временной индекс со значением 0 показывает тот момент времени, когда динамика системы отклоняется от желаемого значения именно из-за рабочей нагрузки, а не из-за стартового состояния. Учитывая вышесказанное и основываясь на уравнении (3) получим. I = 1

$$D(J) = D(0) + TB \sum_{k=0}^{J-1} F(k).$$
 (4)

Имеется в виду, что для идеальности системы должно выполняться условие $D(J) = D_{ref}$.

IV. ПРЕДЕЛЫ МАКСИМАЛЬНОЙ ЧАСТОТЫ

В реальных мультипроцессорных системах условия надежности и ограничения, связанные с нагревание налагают предел на тактовую частоту, в которой может работать ОНЧ. Предполагается что каждый островок в системе имеет ограничение на максимальную частоту $-f_{Maxc}^{i}$ ($i \in [1, M]$). Это означает, что можно записать следующее:

$$f_i(k) = \min(f_{MAKC}^i, f_i^*(k)).$$
 (5)

Следовательно, система вернется к желаемому состоянию D_{ref} максимум за J шагов только и только тогда, когда имеет решение следующая система линейных уравнений:

$$TB \sum_{k=0}^{J-1} F(k) = (D_{ref} - D(0)), \qquad (6)$$

 $0 \leq f_i(k) \leq f_{_{MAKC}}^i$, $\forall \kappa \in [0, J-1], \forall i \in [1, M]$ (7)

Система должна стать контролируемой в течение шагов, равных количеству J, в случае, когда имеются начальные условия, обозначенные через C_d . В частности, без каких - либо потерь общности, мы предполагаем, что C_d имеет количество L вершин { $D_1(0), D_2(0)..., D_L(0)$ }.

Уравнения (6) и (7) имеют реальное решение $\forall D(0) \in C_d$ тогда и только тогда, когда они имеют реальное решение для $\forall D(0) \in \{D_1(0), D_2(0)..., D_L(0)\}$. Последнее утверждение является достаточным для

оценки возможностей ДМНЧ контроллера, тоесть его способности вернуть систему в желаемое состояние за количество *J* контрольных шагов.

V. ОПРЕДЕЛЕНИЕ ГРАНИЧНОЙ ЧАСТОТЫ

В системе ДМНЧ может возникнуть задача дополнительного ограничения максимальной частоты внутри контрольного интервала с целью уменьшения индуктивных шумов. Ограничения на приращивание частоты могут быть смоделированы следующим образом:

$$f_{i}(k+1) - f_{i}(k) \leq f_{uaz}^{i}, \forall i \in [1, M], \forall k \in [0, J-1]$$
(8)

где f_{uac}^{i} - максимальное приращивание частоты в ОНЧ под номером i.

Максимальная частота работы кажлого отдельного ОНЧ в зависимости от технологического процесса (TT,SS,FF) может принимать различные значения. Из за неуправляемости параметров технологического процесса производста ИС, значение $f'_{{}_{M}a\kappa c}$ случайное. Из за этого может частоты возникать ситуация при которой линейные уравнения (6), (7), (8) решимы для конкретного значения $f^{i}_{_{Makc}}$. Это свидетельствует о неспособности алгоритма ДМНЧ вернуть систему в желанное состояние за Ј контрольных шагов. Данная частота для ДМНЧ контроллера измеряется при помощи Монте-Карло моделирования с учетом особенностей технологического процесса И температуры. частотой контроллера является Максимальной значение после которой контроллер уже не способен изменять рабочую частоту каждого ОНЧ в сторону желаемого. Это означает значение $f_{_{Makc}}^{'}$, при котором уравнения (6)-(8) не имеют решения, является предельной частотой применимости ДМНЧ. Подстановкой $f_{_{MAKC}}^{'i}$, и J в уравнения (6)-(11) можно

Подстановкой J_{MAKC} , и J в уравнения (6)-(11) можно определить способность контроллера ДМНЧ вернуть систему из состояния с значением f(k) в желаемое состояние за количество шагов J.

VI. ПОЛУЧЕННЫЕ РЕЗУЛЬТАТЫ

Для оценки работоспособности приведенного метода была спроектирована микропроцессорная SPARC архитектура на базе исходного VERILOG кода 64-битного, 32-поточного процессора ULTRASPARC T1. В восьмиядерную микропроцессорную структуру процессора были внесены определенные изменения, с целью группирования разных ядер в системе ОНЧ.

Исходя из особенностей решаемой задачи Load Store Unit (LSU) каждого процессора был изменен. Основная функция LSU состоит в обеспечении связи ядра со внешней средой. LSU представляет собой многопотоковый узел, способный обеспечивать обработку информации в 4 потока. В данной работе количество потоков данного узла было уменьшено до двух. Группировка производилась с точки зрения напряжений питания и тактовых частот. Примерная диаграмма полученной конструкции приведена на рис 2. Связь между различными ОНЧ обеспечивается при помощи списков очередей FIFO. Для конторля всей системы применен метод ДМНЧ [6].

Синтез схемы осуществлен программным инструментарием автоматического проектирования Design Compiler и библиотекой стандартных ячеек SAED90 компании "Synopsys". Данная библиотека имеет возможность работать с разными источниками питания.



Рис. 2. Топология и нагрузочная характеристика полученной системы ОНЧ

Проведено измерение номинального значения частот для каждого ОНЧ, чтобы гарантировать устойчивые очереди для номинального значения нагрузки. Максимальное значение частоты $f_{_{MAKC}}^{i}$ устанавливается использованием параметра

 $\gamma = \frac{f_{Makc}^{i}}{f_{HOM}^{i}}$. Для дальнейших измерений были

использованы значения $\gamma = \{1.1,$ 1.25, 1.5}. Максимальное приращивание частоты в контрольном интервале изменяется в пределах 6...18% от номинального значения. На рис. З представлены графики оптимальной контрольной стратегии для многоядерной системы SPARC, разделенной на три ОНЧ. Как видно из рисунка, прикладные значения частот каждого ОНЧ модулируются в пределах контрольного интервала J = 10с нелью возвращения очереди в системе к их начальным значениям. На рис. За можно увидеть воздействие двух ограничений - на максимальную частоту и максимальное приращивание частоты. На рис. 3б показано как изменяется очередь в системе в ответ на изменение частоты.





б)

VI. ЗАКЛЮЧЕНИЕ

Представлена конструкция для эффективной оценки пределов контролирующей способности и производительности ДМНЧ контроллеров в системах со множеством ОНЧ, которая может быть применена для оценки возможностей ДМНЧ контроллера и его способности обеспечить желаемые результаты. С целью лучшего ДМНЧ контроля обеспечивается возможность рассмотрения компромисса между такими технологическими факторами, как температура и индуктивные шумы.

Литература

- Jang W. et al. A Voltage-Frequency Island aware energy optimization framework for network-on-chip // In Proceedings of HPCA. - 2008.
- [2] Garg S. et al. Technology-Driven Limits on DVFS Controlability of Multiple Voltage-Frequency Island Designs // CSSI – CMU. - 2009.
- Wyland D. New features in synchronous FIFOs WESCON/93 // Conference Record, 28-30 Sept. 1993. P. 580 - 585
- [4] Kim W. et al. System Level Analyses of Fast, Per-Core DVFS using On-Ship Switching Regulators // Proceedings of HPCA. - 2008.
- [5] Woonseok K. et al., Performance Comparison of Dynamic Voltage Scaling Algorithms for Hard Real-Time Systems // Proceedings of IEEE . - 2002. P. 219-228.
- [6] Dongkun S. et al., SimDVS: An Integrated Simulation Environment for Performance Evaluation of Dynamic Voltage Scaling Algorithms // Proceedings of the IEEE. 2002. P. 141-156.