

Задача вариации длин транзисторов в стандартной ячейке при многокритериальной оптимизации нанометровых СБИС

А.П. Рыжов, А.Ф. Мелик-Адамян

Институт точной механики и вычислительной техники им. С.А. Лебедева,
aryjov@ipmce.ru, areg@ipmce.ru

Аннотация — В данной работе рассматривается задача адаптации стандартных ячеек и небольших схем в маршруте проектирования СБИС на этапе физического проектирования. Часто достижение тех или иных характеристик СБИС легче произвести адаптацией библиотек ячеек, нежели перепроектированием СБИС. В статье предложен метод многокритериальной оптимизации стандартных ячеек, годный для использования в существующих маршрутах проектирования. Экспериментальные результаты показывают улучшение характеристик энергопотребления и оптимизации площади в 12-18%.

Ключевые слова — САПР микроэлектроники, генетические алгоритмы, многокритериальная оптимизация.

I. ВВЕДЕНИЕ

Как известно полупроводниковое производство развивается по закону Мура. Это развитие требует от математических моделей быстрых изменений и добавлений новых параметров, уравнений (а зачастую, и кардинальной смены самой модели [2]). Это достигается применением, так называемых, «мягких» математических моделей [2, 3]. Одним из примеров применения мягких моделей, является использование генетических алгоритмов для решения классической задачи САПР вариации длин транзисторов в ячейке. Применение генетических алгоритмов для задач САПР рассмотрены, например, в [3, 4]. В данной статье рассматривается техника многокритериальной оптимизации на основе комбинации ЛП_τ-поиска [5] и оптимизации на основе генетического алгоритма недоминирующего упорядочивания [6]. Это алгоритм нелинейной, глобальной многокритериальной оптимизации. Алгоритм находит все Парето-оптимальные решения если они существуют, или дает точки, которые лучше исходных, но не попадают в множество оптимальных решений. Такой метод дает инженерам-проектировщикам гибкость при оптимизации и выборе компромиссов между решениями.

II. ЗАДАЧА ОПТИМИЗАЦИИ

Продолжающееся развитие технологии производства полупроводниковой продукции связано, в первую очередь, с уменьшением физических

размеров транзисторов и уменьшением порогового напряжения. С уменьшением геометрических размеров транзисторов снижается площадь кристалла, уменьшаются паразитные емкости, улучшается быстродействие и снижается энергопотребление СБИС. Однако, такое уменьшение повлекло за собой появление новых проблем, которые не были важными в старых технологиях. Например, статическое энергопотребление, связанное с подпороговыми токами утечек. Другой, не менее важной проблемой является обеспечение уровня выхода годных (yield). [2]. Одним из основных методов, отличающихся простотой, которую можно использовать в обоих случаях, является варьирование длин транзисторов. Например, в работах [6, 7, 8, 9] рассматриваются разные варианты этого метода для задач минимизации площади, энергопотребления и т.д. В основном этот метод рассматривается при решении задач минимизации задержек при ограничениях на площадь. Оптимизация уровня выхода годных тоже, в основном, ставится в этих терминах [8, 9]. Но большинство работ концентрируются на поиске компромисса (trade-off) между площадью и задержками. Однако, в настоящее время энергопотребление и уровень выхода годных играют не меньшую роль в поисках компромиссов. Традиционная схема оптимизации выглядит следующим образом:

$$\begin{aligned} f(x) &\rightarrow \min \\ \text{при} \quad & \\ f(x) &< f_{\max} \\ g(x) &\leq g_{\max}, \end{aligned} \quad (1)$$

где g_{\max} , h_{\max} заданные инженером ограничения. Оптимизационная задача с использованием только одного критерия (1), для оптимизации полупроводниковых схем имеет несколько недостатков:

- решение однокритериальной задачи оптимизации будет зависеть от ограничений, накладываемых на другие параметры, которые определяются инженером. Таким образом, если эти ограничения были выбраны неверно, решение не будет иметь практического смысла или не даст

максимального результата. При этом, при рассмотрении многокритериальной задачи, могут существовать другие решения, с меньшими нарушениями значений ограничений, которые мы не получим;

- большинство используемых алгоритмов оптимизаций в промышленных САПР, основываются на традиционных однокритериальных методах оптимизации. При наличии нескольких критериев, они оптимизируют сначала по одному критерию, а потом по второму и т.д. Результат такой «последовательной» оптимизации существенно зависит от выбора порядка критериев, по которым идет оптимизация;
- при использовании многокритериальной оптимизации, при отсутствии решения мы можем получить близкое к оптимальному решение, что с инженерной точки зрения может быть приемлемым. Традиционные методы, на основе однокритериальной оптимизации, в таких случаях не дадут результата.

Таким образом, необходим метод который:

- одновременно оптимизирует по нескольким критериям;
- максимально не требует вмешательства пользователя;
- при отсутствии решения, даст решения близкие к Парето-оптимального решениям.

III. ЗАДАЧА ВАРИАЦИИ ДЛИН ТРАНЗИСТОРОВ В СХЕМЕ

Традиционная схема размерной оптимизации может быть представлена следующим образом [8,9]: дано (G, O) ,

$$\begin{aligned} & \text{найти } L; \\ & \min \sigma^2(d); \\ & \text{при} \\ & \mu(d) \leq \mu_{\max} \\ & \pi(G) \leq \pi_{\max}, \end{aligned} \quad (2)$$

где

1. G есть множество всех транзисторов и $g_i \in G$;
2. O есть множество выходов ячейки, $O \subset G$;
3. $L = \{l_1, l_2, \dots, l_n\}$, где l_i длина транзистора g_i ;
4. $\mu(x)$ математическое ожидание ;
5. $\sigma^2(x)$ дисперсия случайной величины x ;
6. $d = \{d_1, \dots, d_n\}$, где d_i задержка i -того выхода ячейки, $i \in O$;
7. $\pi(G)$ площадь ячейки содержащее все транзисторы из G ;
8. π_{\max} и μ_{\max} максимальные допустимые площадь и математическое ожидание задержек выходов ячейки.

Таким образом, алгоритм решения задачи (2) должен решить нелинейную оптимизационную задачу и предоставить инженеру-проектировщику единственный или несколько векторов L . Ограничения опреде-

ляют верхнюю грань для штрафных значений при оптимизации целевой функции, которая выступает в виде издержек на площадь и задержку.

IV. ГЕНЕТИЧЕСКИЙ АЛГОРИТМ РЕШЕНИЯ ЗАДАЧИ ВАРИАЦИИ ТРАНЗИСТОРОВ

Задача (2) является задачей нелинейной многокритериальной оптимизации. Это делает затруднительной применение традиционных схем оптимизации. В работах [4,9,11] показано, как применение генетических алгоритмов помогает в решении многокритериальных задач в САПР. Далее мы будем использовать схему генетического алгоритма предложенного в [11].

Алгоритм 1 ГА Алгоритм

```

pop = GenerateInitialPopulation
while generation ≤ max do
    rank = Ranking(pop)
    fitness = Fitness(pop, rank)
    for i = 1 to N step 2 do
        parent1 = Selection(pop, fitness)
        parent2 = Selection(pop, fitness)
        (child1, child2) =
            Crossover(parent1, parent2)
        newpopi = Mutation(child1)
        newpopi+1 = Mutation(child2)
    end for
    pop = newpop
    generation = generation + 1
end while
final_rank = Ranking(pop)
Solutions = popi, ∀ i ∈ final_ranki == 1
return Solutions

```

Алгоритм 1 представляет общую схему генетического алгоритма многокритериальной оптимизационной задачи, которая формулируется в общем виде следующим образом.

$$\begin{aligned} & \min f_i(\mathbf{x}) \quad \forall i \in \{1, M\} \\ & \text{при : } x'_j \leq \mathbf{x}_j \leq x''_j \quad \forall j \in \{1, P\}, \end{aligned} \quad (3)$$

где f_i – i -ая целевая функция, $i = 1, \dots, M$ и $\mathbf{x} = \{x_1, \dots, x_P\}$, где x_j – j -ая варьируемая переменная и $x_j \in [x'_j, x''_j]$.

Рассмотрим шаги алгоритма более детально.

Строка 1: Onepatop GenerateInitialPopulation

Этот процесс генерирует массив pop , размерности $N \times P$, которая содержит N (размер популяции) членов, каждая из которых является вектором длины P . Обычно популяция создается с помощью равномерно распределенных случайных величин, при условии, что каждая $x_j \in [x'_j, x''_j]$. Однако, выбор начальной популяции может существенно ускорить сходимость процесса. Из равномерно распределенных случайных величин, мы для решения нашей задачи выбираем ЛП_т последовательности Соболя[17]. Как показывают исследования [6], их основное свойство заключается в том, что они хорошо покрывают маломерные проек-

ции многомерного куба. С практической точки зрения, это означает, что ЛП_τ-последовательности хорошо срабатывают для отыскания экстремумов функций, существенно зависящих от небольшого числа своих аргументов, т.е., что функция

$$P(l_1, l_2, \dots, l_n) = P^*(l_{i1}, l_{i2}, \dots, l_{ik}) + g(l_1, l_2, \dots, l_n), \quad (4)$$

где $k < n$, и $P^* \gg g$. Также, на практике, в силу своей равномерной распределённости, они обеспечивают лучшую сходимость, чем псевдослучайные последовательности. Как было показано в [11,13], интересующие нас функции энергопотребления и уровня выхода годных обладают свойством (10). Для такой функции решение задачи поиска экстремума близко к гиперплоскости. Это позволит ГА быстрее сходиться и даже при отсутствии Парето-оптимальных решений, дать приемлемые для инженера-проектировщика решения. В [6,15] приведены алгоритмы быстрой генерации ЛП_τ-последовательностей и их сравнение с другими равномерно распределенными последовательностями случайных величин.

Более детальное объяснение схем алгоритмов и процедур можно найти в [6,15].

V. ОБЩАЯ СХЕМА ПРОЦЕССА ОПТИМИЗАЦИИ

При использовании оптимизации в стандартном маршруте проектирования, необходимо состыковать оптимизатор с SPICE программой для точной оценки результатов. Общая схема оптимизации представлена на рис. 1.

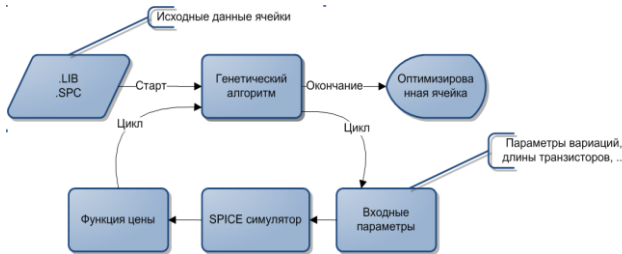


Рис. 1. Схема оптимизации в маршруте проектирования

Постановка нашей задачи для оптимизации при двух критериях и предоставлении нескольких близких к оптимальным, при отсутствии Парето-оптимальных решений выглядит следующим образом:

$$\begin{aligned} & \text{найти } L; \\ & \min \max(\sigma / \mu); \\ & \min \pi(G); \\ & \min P(G); \\ & \text{при} \\ & l_j^{\min} \leq l_j \leq l_j^{\max}. \end{aligned} \quad (5)$$

Модель задержек соответствует модели представленной в [16] вычисляемой с помощью метода STA, а уравнение утечки P представлено далее.

VI. УРАВНЕНИЕ ТОКА УТЕЧКИ

Большинство аналитических работ по моделированию подпороговых токов утечки используют модель BSIM4 [13],

$$I_{sub} = A \cdot \exp\left(\frac{V_{GS} - V_T - \gamma V_{SB} + \eta V_{DS}}{nV_{TH}}\right) \left(1 - \exp\frac{-V_{DS}}{V_{TH}}\right), \quad (6)$$

где V_{GS} , V_T , V_{SB} , V_{DS} , V_{TH} напряжения, определяющие затвор-исток, пороговое, исток-подложка, сток-исток соответственно, и термальное $V_{TH} = kT/q \cdot n$ – подпороговый коэффициент качения, γ – линейный коэффициент подложки, η – коэффициент стоко-вызванный утечки через барьер (DIBL), и

$$A = \mu_0 C_{ox} \frac{W}{L} V_{TH}^2 \exp\left(\frac{-\gamma}{\eta} \frac{V_T}{V_{TH}}\right)^{1.8}, \quad (7)$$

где μ_0 – коэффициент смещения нулевого напряжения, C_{ox} – емкость окисла затвора, W – ширина, а L – длина транзистора.

Для определения тока утечки для ячейки, надо решить уравнение (1) для всех транзисторов, входящих в ячейку. Как мы видим, ток утечки, экспоненциально зависит от порогового напряжения, V_T , температуры и коэффициентов γ и η .

Рассмотрим следующие ограничения:

- $V_{GS} = 0$, нас будет интересовать только выключенное состояние транзистора,
- $V_{DS} = V_{SB} = V_{DD}$, рассмотрим только один транзистор, без эффекта стеккирования и взаимодействия нескольких транзисторов.

Как показано в [15], в таком случае, уравнение (6) принимает вид:

$$I_{sub} = I_0 \cdot \frac{W}{L} e^{-\gamma}, \quad (8)$$

а для V_1' , принимая во внимание ограничения, и уравнения для порогового напряжения [14], мы будем использовать следующее приближение

$$V_1' = \gamma_T + \gamma_{DD} \cdot \frac{-L + c_1 L^2}{c_2} + c_3, \quad (9)$$

где c_1 , c_2 и c_3 корректирующие параметры. Минус перед множителем V_{DD} отражает тот факт, что транзистор с более короткой длиной канала, имеет больший ток утечки.

Полный ток утечки для ячейки получается простым суммированием значений для всех транзисторов:

$$I_{total} = \alpha \sum_d I_{sub}, \quad (10)$$

где α – коэффициент определяемый экспериментальным путем, отражающий стеккирование и соотношения размеров транзисторов.

Это уравнение может быть использовано для всех типов транзисторов. Эксперименты по уточнению

модели и определении точности были проведены для коммерческой библиотеки 130 нм, для варианта с скоростными ячейками.

Модель площади формируется простым суммированием площадей транзисторов умноженным на весовой коэффициент [14].

VII. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

Алгоритм был опробован для нескольких библиотек стандартных схем, и подмножестве схем семейства ISCAS [17]. STA был сделан с помощью Berkley PTM [18] для 130 нм транзисторных моделей. Алгоритм, несмотря на разное количество транзисторов, предоставляет несколько решений для выбора инженером-проектировщиком. Несколько решений из этого множества представлены в таблице 1. При использовании традиционной однокритериальной оптимизации, для отыскания $\max(\sigma/\mu)$ с площадью не превышающей 100 единиц, мы бы получили один набор длин транзисторов. Но как видно из таблицы, есть целое множество решений, которые минимизируют целевую функцию, но при этом имеют меньший размер. Однокритериальная оптимизация не справляется с отысканием таких решений. С другой стороны ГА позволяет выбрать любое решение из множества Парето-оптимальных решений, например в левой части. Аналогичную ситуацию мы видим и с энергопотреблением.

Таблица 1

Результаты работы алгоритма оптимизации

Ячейка	Кол-во транзист.	Площадь	$\max(\sigma/\mu)$	Энергопотребл.	Время раб. с
1	6	26.17	0.07	0.0914	3.76
		33.51	0.04	0.0851	
		53.82	0.02	0.0746	
		72.61	0.01	0.0701	
		95.98	0.01	0.0672	
2	160	768.61	0.05	6.1245	56.34
		1053.99	0.03	5.1341	
		2132.12	0.01	3.2515	
		2912.14	0.01	3.0101	
		3134.45	0.01	2.8642	

VIII. ЗАКЛЮЧЕНИЕ

В статье представлен новый подход к решению задачи многокритериальной оптимизации стандартных ячеек КМОП, вариацией длин транзисторов. Оптимизационный генетический алгоритм с использованием ЛП_Г-поиска, позволяет получать несколько Парето-оптимальных решений, вместо одного при применении классических методов оптимизации. Это позволяет внедрять предложенный метод в стандартный маршрут проектирования и использовать для очень широкого класса задач.

ЛИТЕРАТУРА

- [1] V. Oklobdzija, Digital Design and Fabrication // CRC Press. 2008.
- [2] В.И. Арнольд, «Жесткие» и «мягкие» математические модели // М.: Издательство МЦНМО. 2008.
- [3] C. Piguet, Low Power Electronics Design // CRC Press. – 2007.
- [4] В.М. Курейчик, Б.К. Лебедев, О.К. Лебедев, Поисковая адаптация // М.: Физматлит. 2006.
- [5] И.М. Соболев, Р.Б. Статников Выбор оптимальных параметров в задачах со многими критериями // М.: Изд. Дрофа. 2006.
- [6] P. K. Chan, Algorithms for Library-specific Sizing of combinational logic // Proc. DAC. 1990. P. 353-356.
- [7] S. Mukhopadhyay, A. Raychowdhury, K. Roy, Accurate estimate of total leakage current in scaled CMOS circuits based on compact current modeling // Proc. of DAC. 2003.
- [8] R. Rao, A. Srivastava, D. Blaauw, D. Sylvester, Statistical estimation of leakage current considering inter- and intra-die process variation // International Symposium on Low Power Electronics and Design. 2003.
- [9] S. Choi, B. Paul, K. Roy, Novel Sizing Algorithm for Yield Improvement Under Process Variation in Nanometer Technology // Proc. DAC. 2004.
- [10] J. Singh, V. Nookala, Z.-Q. Luo, S. Sapatnekar, Robust gate sizing by geometric programming // Proc. DAC. 2005.
- [11] V. Agarwal, J. Wang, Yield-area optimizations of digital circuits using non-dominated sorting genetic algorithm // Proc. DAC. 2006.
- [12] M. Pan, C. C. N. Chu, H. Zhou, Timing yield estimation using statistical static timing analysis // Intl. Symposium on Circuits and Systems. 2005.
- [13] O. Neiroukh, X. Song, Improving the process-variation tolerance of digital circuits using gate sizing and statistical techniques // Proc. Design Automation and Testing Europe. 2005.
- [14] M. Mani, A. Devgan, and M. Orshansky, An efficient algorithm for statistical minimization of total power under timing yield constraints // Proc DAC. 2005.
- [15] N. Srinivas and K. Deb, Multi-objective function optimization using non-dominated sorting genetic algorithms // Evolutionary Computation. 1995.
- [16] J. Liou, K. Cheng, S. Kundu, and A. Krstic, Fast statistical timing analysis by probabilistic event propagation // Proc. DAC. 2001. P. 661-666.
- [17] M. Hansen, H. Yalcin, J. P. Hayes, Unveiling the iscas-85 benchmarks: A case study in reverse engineering // IEEE Design and Test. 1999.
- [18] Berkeley PTM // <http://www-device.eecs.berkeley.edu/ptm/>.