

Опыт разработки СФ-блоков и процессорных ядер СБИС типа СнК для навигационной аппаратуры

А.В. Руткевич¹, Г.В. Шишкин¹, В.Б. Стешенко²

¹ ООО «НПП «ЦИФРОВЫЕ РЕШЕНИЯ», rutk@dsol.ru

² ОАО «РОССИЙСКИЕ КОСМИЧЕСКИЕ СИСТЕМЫ», steshenko@steshenko.ru

Аннотация - В статье отражен опыт авторов в проектировании СБИС типа СнК на основе встроенных процессорных ядер и отработанных интерфейсных СФ-блоков. Предлагаемые решения направлены на сокращение сроков и, соответственно, стоимости разработки СБИС навигационной аппаратуры. В статье рассмотрены опыт применения 32-разрядных архитектур, приведен пример их использования в СБИС и аппаратуре НАП.

Ключевые слова - СнК, навигационный процессор, СФ-блоки.

I. ОСОБЕННОСТИ ПРОЕКТИРОВАНИЯ СБИС ПО СУБМИКРОННЫМ ТЕХНОЛОГИЯМ

Развитие микроэлектронных технологий привело к возможности создания массовых и недорогих решений для навигационной аппаратуры потребителя. Возрастающий интерес к мультисистемным устройствам приводит к появлению новых изделий. В то же время, многие разработчики СБИС для навигационной аппаратуры, разработчики приемных устройств сталкиваются с проблемой выбора базовых процессорных и интерфейсных архитектур для вычислительных узлов и модулей аппаратуры потребителя.

С переходом к проектным нормам менее 130 нм в конструировании ИС возникли принципиально новые проблемы. Помимо проблем технологического свойства, связанных с тем, что традиционная конструкция МОП-транзистора перестает работать из-за различных паразитных эффектов, проявляющихся в малоразмерных конструкциях, возникли проблемы связанные с программно-аппаратным и методологическим обеспечением процесса проектирования.

Дело в том, что с ужесточением проектных норм микроэлектронных изделий возрастает стоимость подготовки производства и, соответственно, цена риска технической и идеологической ошибки.

Так, если в настоящее время, средняя стоимость подготовки производства (изготовление фотошаблонов) и выпуск опытной партии в количестве 10-12 пластин (так называемый «инженерный лот») на фабриках Юго-Восточной Азии (X-fab Sarawak, Silterra и т.п.) составляет по технологии 0.18 мкм – 120 000 \$, то стоимость

фотошаблонов при проектных нормах 0.13 мкм составляет 350 000 \$, а по технологии 0.09 мкм - около 1 000 000 \$. Очевидно, что при такой динамике цена ошибки возрастает многократно.

Тенденция уменьшения проектных норм в первую очередь связана со стремлением получить как можно больше кристаллов с одной пластины, поскольку стоимость пластины составляет 800 – 1800 долларов, при этом с уменьшением размера кристалла в два раза выход увеличивается в четыре [1].

Выход из создавшейся ситуации очевиден – необходимо изменить методологию проектирования СБИС. Наиболее перспективным направлением в настоящий момент представляется методология проектирования СБИС типа «система на кристалле» с использованием платформенного принципа организации на основе встроенных микропроцессорных ядер и библиотек СФ-блоков.

II. 32- РАЗРЯДНЫЕ ПРОЦЕССОРНЫЕ АРХИТЕКТУРЫ И СФ-БЛОКИ ДЛЯ СнК НАВИГАЦИОННОЙ АППАРАТУРЫ

Рассмотрим основные требования, предъявляемые к СФ -блокам и процессорным ядрам СнК для построения навигационного процессора для ответственных применений [2]:

- Быстродействие основного процессорного ядра 100 – 400 Mips.

- Возможность в одной СнК использовать несколько процессорных ядер.

- В системе СнК должна быть возможность гибко добавлять различные компоненты или исключать ненужные компоненты (для экономии места на пластине и снижении стоимости микросхем в производстве).

- Исходные коды и схемотехнические ограничения СнК должны обеспечивать возможность переноса на другую топологическую библиотеку, чтобы обеспечить быструю возможность перехода на другую фабрику изготовителя кремниевых пластин.

- Схемотехника СнК должна быть прозрачной и открытой, обязательно применение унифицированных интерфейсов AMBA или Withbond для возможности подключения компонентов (IP-блоков) других

производителей, в том числе, использования покупных компонент.

В качестве основного подхода к решению данной задачи предлагается использовать систему на кристалле на базе процессора с архитектурой совместимой со SPARC v.8. В ходе выполнения работ предполагается разработать сложные функциональные блоки, позволяющие адаптировать систему для широкого коммерческого применения, а также провести схемотехническую и топологическую оптимизацию для увеличения быстродействия основного ядра процессора.

Ядро процессора хорошо структурировано и хорошо подходит для проектирования СнК. Архитектура SPARC упрощает раннюю оценку и макетирование процессора. Реализация ядра также возможна и в радиационно стойком исполнении. Архитектура ядра полностью открыта, исходные VHDL коды свободно доступны, возможно их использование при скромной (несколько десятков тысяч евро) лицензионной плате

В процессорном ядре используется расширенный пятитактный конвейер. Процессор поддерживает полную SPARC V8 систему команд, включая команды перемножения, деления и перемножения с накоплением. Дополнительный IEEE-754 модуль с плавающей запятой обеспечивает поддержку операций с плавающей запятой с одинарной и двойной точностью. Кэш система поддерживает мультимножества с 4 наборами по 256 кБ в наборе. Процессорное ядро включает в себя:

- отдельный командный кэш и кэш данных;
- аппаратный перемножитель и делитель;
- контроллер прерываний;
- модуль отладки с буфером;
- два 24-битных таймера;
- два универсальных асинхронных приемопередатчика;
- 16-битный порт I/O (ввода/вывода);
- поддержка Ethernet порта;
- интерфейс PCI (32-разрядная шина с возможностью расширения до 64-разрядов, взаимодействие через которую происходит без участия CPU);
- модуль поддержки шины AMBA;
- модуль целочисленных вычислений;
- модуль вычислений с плавающей точкой;
- интерфейс памяти (ПЗУ-PROM, статическая ОЗУ-SRAM, синхронная динамическая ОЗУ-SDRAM);

Вычислительное ядро на основе SPARC архитектуры может использоваться в синхронных многопроцессорных конфигурациях (SMP). Он обеспечивает поддержку аппаратных средств для когерентности кэш-памяти и регулирования прерывания SMP. Интерфейс отладки позволяет производить отладку аппаратных средств SMP системы, и обеспечивает доступ ко всем регистрам и памяти на кристалле.

Ядро базового процессора (конвейер, контроллеры кэш-памяти и интерфейс АНВ) использует приблизительно 20000 вентилях и может быть реализован на специализированных интегральных схемах и по технологии FPGA. На технологии в 0.13 мкм может быть достигнута тактовая частота, превышающая 400МГц.

Структура процессора приведена на рис.1.

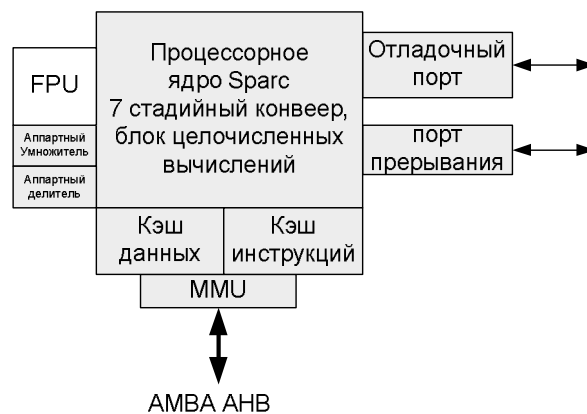


Рис. 1. Структура процессорного ядра

Альтернативным решением является использование архитектуры ARM. На ее основе была разработана топология специализированной СБИС типа «система на кристалле» навигационного процессор по заказу ОАО «НИИ КП». Микросхема содержит в своем составе следующие функциональные блоки:

- 32 или 64 каналов корреляционного приема, оптимизированных для работы в сложной помеховой обстановке.
- Блок формирования и выдачи секундной метки.
- Блок формирования сигналов АРУ (6 выходных сигналов, схема определяется в процессе разработки).
- Блок быстрого поиска сигналов.
- Схему формирования сетки тактовых частот для тактирования процессора, коррелятора и периферийных схем с возможностью установки номинала тактовой частоты в процессе работы.
- Ядро процессора ARM-9.
- Ядро математического сопроцессора, реализующего арифметические операции с плавающей точкой в формате IEEE std. 754.
- Контроллер внешней памяти, допускающий независимую адресацию памяти по нескольким зонам.
- Контроллер внешней FLASH-памяти по технологии NAND-FLASH.

Периферийные вспомогательные устройства процессора:

- Контроллер линий приема-передачи RS-232.
- Часы реального времени.
- Сигналы ввода-вывода общего пользования, программируемые процессором.
- Контроллер шины I2C.
- Контроллер шины SPI.
- Двухпортовое ОЗУ и набор флагов-семафоров для организации взаимодействия внутреннего процессорного ядра с внешним процессором.

На рис. 2. представлена топология 32 канальной СБИС с ядром ARM9, выполненной по технологии КМОП 0,18 фирмы Silterra. Размер кристалла 6 x 6 мм.

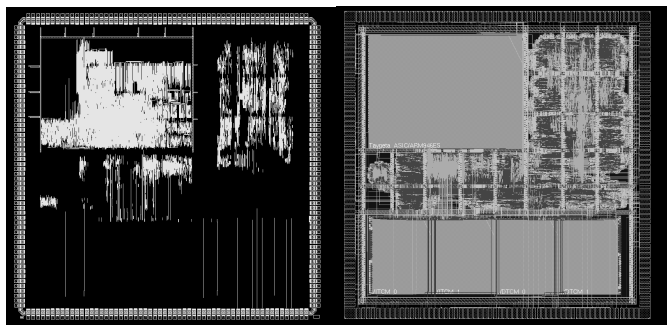


Рис. 2. Топология 32 канальной СБИС

Для обеспечения функционирования СнК навигационного процессора разработан ряд СФ-блоков, в частности контроллеры памяти, интерфейсов и видеоконтроллер.

Контроллер памяти обрабатывает шину памяти, являющейся главной для ППЗУ, устройства ввода - вывода с отображенной памятью, асинхронного статического ОЗУ (SRAM) и синхронного динамического ОЗУ (SDRAM). Контроллер действует как вторичный на шину АНВ. Функция контроллера памяти запрограммирована через регистры конфигурации памяти через шину АРВ.

Шина памяти поддерживает четыре типа устройств:

- ППЗУ;
- асинхронное СОЗУ;
- синхронное ДОЗУ;
- локальный ввод - вывод.

Также шина памяти может быть конфигурирована в 8- или 16-разрядный режим для приложений с требованиями производительности и младшими адресами памяти. Декодирование сигнала реализовано для двух банков ППЗУ, одного банка ввода - вывода, пяти банков асинхронного СОЗУ и двух банков синхронного ДОЗУ.

СФ-блок интерфейса UART обеспечивает последовательные подключения. UART поддерживает пакеты с 8-ю информационными битами, одним опциональным битом четности и одним стоп-битом. Для генерации частоты UART программируется 12-битным делителем частоты. Имеется 2 стека для передачи между АРВ и UART.

Системный контроллер состоит из блока управления тактовой синхронизацией, контроллера сброса и блока делителей частоты

Управление системным контроллером осуществляется вычислительным ядром по шине АМВА АРВ. Контроллер решает задачи:

- формирование сигналов сброса вычислительного ядра, периферии и делителей частоты;
- формирование системного тактового сигнала и тактового сигнала контроллера VGA;
- управление тактовыми сигналами периферии и вычислительного ядра, а также управления тактовым сигналом контроллера VGA.

Ядро СФ-блока SVGA основано на пиксельном видео контроллере (буфер кадра), способного к отображению стандартных и иных разрешающих способностей с переменной битовой глубиной и частотами регенерации

(рис. 3). Контроллер состоит из модуля синхронизации, главного модуля управления, стекового модуля и основной АНВ как показано на рис. 4.

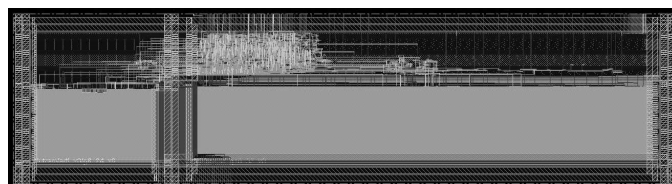


Рис. 3. Топология видеоконтроллера SVGA

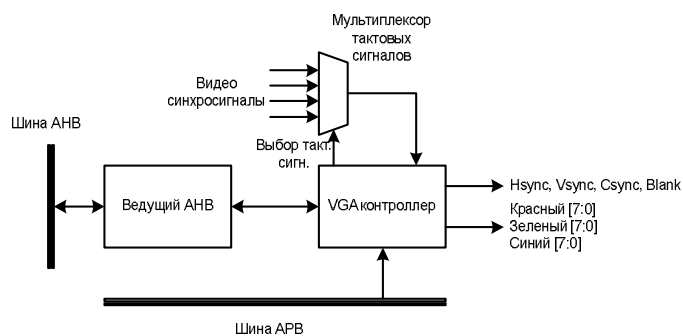


Рис. 4. Структурная схема видеоконтроллера SVGA

Контроллер интерфейса CAN предназначен для организации связи между процессорным ядром и шиной CAN по шине АМВА АРВ (рис. 5). Контроллер решает следующие задачи:

- настройка по шине АМВА АРВ рабочих параметров контроллера;
- прием и передача кадров по шине CAN;
- прием и передача данных по шине АМВА АРВ;
- передача по шине АМВА АРВ информации о состоянии шины CAN и самого контроллера;
- формирование прерываний.

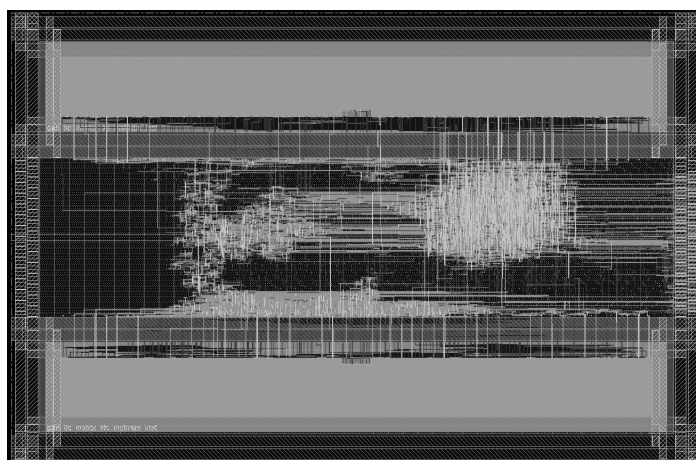


Рис. 5. Топология контроллера интерфейса CAN

III. СРЕДСТВА АППАРАТНОЙ ВЕРИФИКАЦИИ СФ-БЛОКОВ И СБИС ТИПА СнК

Для обеспечения полной верификации подобных систем для прототипирования СБИС и аппаратной верификации СФ-блоков разработана аппаратная платформа «DS-E-4000», структурная схема которой приведена на рис.6, а конструкция на рис.7.

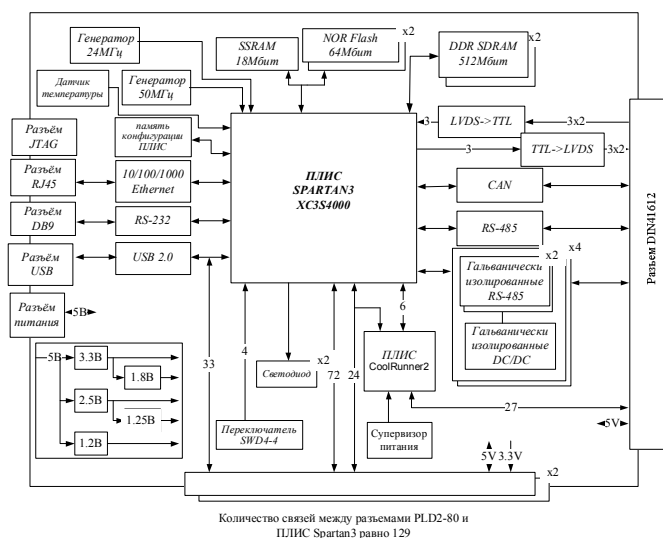


Рис. 6. Структурная схема аппаратной платформы «DS-E-4000»

Основой платформы является ПЛИС фирмы Xilinx семейства Spartan3 объемом 4 млн. лог. вентилей. Стабильность работы платы также обеспечивается супервизором питания и датчиком температуры, подключенным к Spartan3. Для хранения и работы с данными на плате предусмотрено 3 типа памяти: DDR SDRAM, SSRAM и NOR Flash.

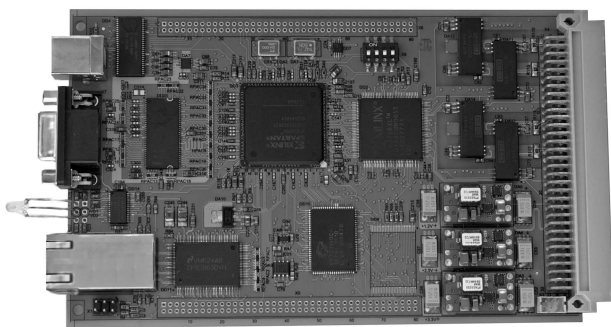


Рис. 7. Конструкция аппаратной платформы «DS-E-4000»

В платформе "DS-E-4000" реализуется поддержка большинства наиболее распространенных интерфейсов, таких как Ethernet 1000/100/10, USB 2.0, RS232, RS485, CAN, LVDS, а также использование вводов-выводов на разъёме, подключенном непосредственно к ПЛИС.

Данная платформа использовалась для верификации интерфейсных СФ-блоков и процессорных ядер СБИС навигационного процессора.

Для отладки прототипа СБИС навигационного процессора в составе всего приемного устройства и отработки взаимодействия с внешними устройствами была выполнена разработка специализированного макета на ПЛИС эквивалентной логической емкостью 10 млн. лог. вентилей. (Рис.8)

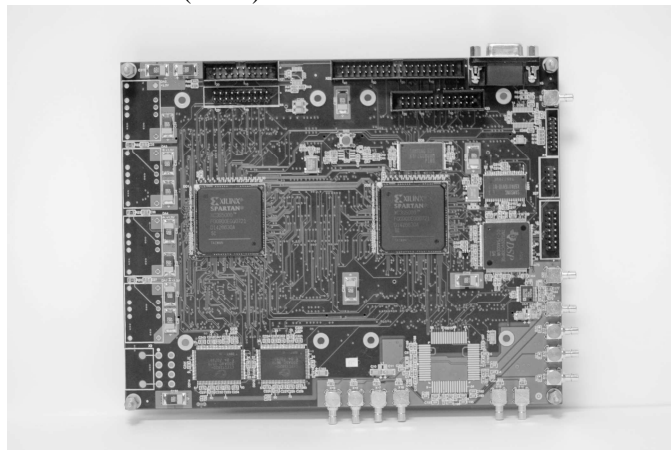


Рис. 8. Платформа верификации СБИС навигационного процессора

Таким образом, рассмотрены варианты построения и приведены примеры архитектурных решений вычислительных ядер и интерфейсных СФ-блоков для СБИС СнК навигационных процессоров различного назначения.

ЛИТЕРАТУРА

[1] Стешенко В.Б., Руткевич А.В., Бумагин А.В., Гулин Ю.Ю., Воронков Д.И., Гречищев Д.Ю., Евстигнеева Е.В., Синельникова М.В. Опыт разработки СБИС типа СнК на основе встроенных микропроцессорных ядер, Компоненты и технологии, 9, 2008

[2] А.В. Бумагин, Ю.Ю. Гулин, С. Заводсков, В.М. Кривякин, А.В. Руткевич, В.Б. Стешенко, А.Г. Сухоруков, О.Н. Шишкин. Специализированные СБИС для космических применений: проблемы разработки и производства. ЭЛЕКТРОНИКА: Наука, Технология, Бизнес, 1/2010.