

# Субмикронные КМОП цифровые элементы с повышенной устойчивостью к воздействию атмосферных нейтронов

С.И. Ольчев

Национальный исследовательский ядерный университет «МИФИ», [alfizik@yandex.ru](mailto:alfizik@yandex.ru)

**Аннотация** — Основными эффектами воздействия атмосферных нейтронов на СБИС являются одиночные сбои. Моделирование функционирования элементов комбинационной логики, разработанных по нормам проектирования КМОП 0,18 мкм и 0,25 мкм, показало, что при том же быстродействии двухпортовые элементы комбинационной логики имеют приблизительно на один порядок большую величину критического заряда, чем элементы традиционной КМОП схемотехники. Предложена методика уменьшения величины площади чувствительных областей двухпортовых элементов. По критерию помехоустойчивости обоснован выбор схемы четырёхтранзисторного конверторного элемента с третьим состоянием, преобразующий двухфазный сигнал в однофазный.

**Ключевые слова** – сбоеустойчивость, цифровые логические элементы.

## I. ВВЕДЕНИЕ

Уменьшение проектных норм микросистем делает их более уязвимыми перед воздействием атмосферных нейтронов и протонов, в результате которого возникают сбои в работе СБИС [1]. Максимальная интенсивность атмосферных нейтронов имеет место на высотах порядка 10...15 км с типовым значением плотности потока порядка 1 нейтрон/(см<sup>2</sup>с). Причина образования нейтронных «ливней» обусловлена взаимодействием протонов космического происхождения с верхними слоями атмосферы. Одиночные сбои при воздействии протонов и нейтронов возникают в основном за счёт генерации заряда в активной области элементов СБИС [2].

Сбор заряда чувствительной областью логического элемента с трека ионизирующей частицы приводит к генерации кратковременного импульса тока, который проявляется в виде кратковременных просадок напряжения на выходе элемента, так называемых «иголок». Установлено, у некоторых цифровых устройств АЛУ, например, у матричного умножителя 8×8, до 90% всех сбоев возникает из-за генерации кратковременных импульсов внутренними логическими элементами [3]. Таким образом, схемотехнические методы повышения сбоеустойчивости элементов комбинационной логики должны, в первую очередь, обеспечивать эффективное блокирование кратковремен-

ных помех, которые могут привести к возникновению сбоя.

## II. АНАЛИЗ СХЕМОТЕХНИЧЕСКИХ СРЕДСТВ ПОВЫШЕНИЯ СБОЕУСТОЙЧИВОСТИ КМОП ИНВЕРТОРОВ

Один из подходов проектирования сбоеустойчивых схем основан на повышении сбоеустойчивости каждого отдельного логического элемента. При этом схемотехнические методы, используемые при данном подходе, направлены как на повышение сбоеустойчивости элементов, так и на повышение способности элементов ослаблять распространение кратковременных импульсов, передаваемых от предыдущих элементов. В качестве объекта исследования были взяты шесть типов КМОП элементов - инверторов: тип А [4], тип Б [5], тип В [6], тип Г [7], тип Д [8] и традиционный инвертор на двух транзисторах (2Т). На рис. 1 представлены принципиальные схемы этих инверторов.

Различие принципиальных схем инверторов обусловлено различием в схемотехнических методах по повышению сбоеустойчивости элемента. Наиболее критичными к накоплению заряда, вследствие локальных ионизационных эффектов, являются транзисторы в инверторах, которые в закрытом состоянии имеют наибольший перепад напряжений между подложкой и стоком. Если такие транзисторы соединены с выходным узлом, возможна генерация кратковременного импульса тока в выходную цепь. В инверторах типа А и Б (см. рис. 1,а и рис. 1,б) наиболее чувствительными к накоплению заряда являются стоки транзисторов P1 и N1 (на рис. 1 чувствительные узлы элементов заштрихованы). Схемотехнический метод повышения сбоеустойчивости инверторов этих типов основан на разнесении чувствительных узлов за счёт понижения разности потенциалов между стоком и подложкой транзисторов, стоки которых соединены с выходным узлом.

В инверторах типа В (см. рис. 1,в), Г (см. рис. 1,г) и Д (см. рис. 1,д) применён принципиально другой метод по повышению сбоеустойчивости. Чувствительные узлы в этих инверторах разнесены в различные стоковые цепи. В случае возникновения кратковременного импульса на одном из узлов, другой узел

остаётся носителем достоверного логического состояния элемента.

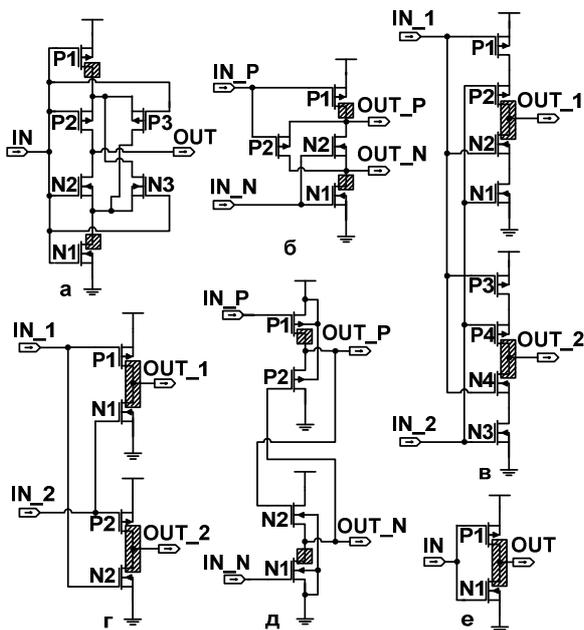


Рис. 1. Принципиальные схемы инверторов: (а) – тип А, (б) – тип Б, (в) – тип В, (г) – тип Г, (д) – тип Д, (е) – 2Т

Схемотехнический метод по повышению помехоустойчивости элементов применён в двухпортовых инверторах типа Б (см. рис.1,б), В (см. рис. 1,в), Г (см. рис. 1,г) и Д (см. рис. 1,д). Управление двухпортовыми элементами осуществляется по двум входным линиям. Выходной двухфазный сигнал элемента формируется на двух выходных линиях. Переключение в другое состояние происходит только при одинаковых уровнях входных сигналов. Управление элементами с помощью двух сигнальных линий позволяет ослаблять распространение дифференциальной помехи от предыдущих логических элементов. Основные характеристики инверторов приведены в таблице 1 [9].

Таблица 1

#### Характеристики инверторов различных типов

Тип инвертора	Критический заряд, пК	Время переключения, пс	Статический ток потребления, пА	Кол-во транзисторов
2Т	0,078	37	5	2
Тип А	0,238	177	5	6
Тип Б	1,891	109	5	4
Тип В	более 3	96	3	8
Тип Г	более 3	37	10	4
Тип Д	0,309	126	12	4

Моделирование функционирования инверторов проводилось в симуляторе UltraSim для Cadence. Все

инверторы были разработаны по нормам проектирования КМОП 0,25 мкм. В качестве параметра для сравнения сбоеустойчивости инверторов была выбрана величина критического заряда триггера, составленного на двух инверторах. Время переключения определялось как временной интервал между входным и выходным сигналом по уровню 0,5 от напряжения питания 2,5 В.

На основе полученных результатов, можно сделать вывод, что двухпортовые инверторы типа Б, В, Г и Д обладают лучшей сбоеустойчивостью и быстродействием, чем однопортовый инвертор типа А. При этом, двухпортовый инвертор типа Г, с перекрёстным управлением транзисторов, при том же быстродействии, что и инвертор 2Т, имеет как минимум на два порядка большую величину критического заряда.

Преобразование двухфазного сигнала в однофазный осуществляется с помощью конверторного элемента, который представляет собой двухтранзисторный инвертор с раздельным управлением транзисторов (см. рис. 2,а).

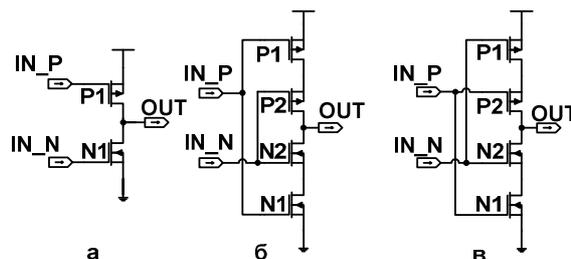


Рис. 2. Принципиальные схемы конверторов: (а) - двухтранзисторный, (б) – с третьим состоянием 1-го типа, (в) – с третьим состоянием 2-го типа

Для повышения сбоеустойчивости, было предложено использовать элемент инвертора типа Д в качестве конвертора с третьим состоянием, который изолирует выходной узел от шин питания и земли, в случае, если напряжения на входных линиях имеют разные уровни. Были рассмотрены различные варианты управления транзисторами в конверторе с третьим состоянием (см. рис 2,б и рис 2,в). Таким образом достигается блокирование распространения кратковременных импульсов, возникших на одной из сигнальных линий.

Чувствительность схемы к воздействию помехи зависит от её конструктивных особенностей. Для сравнительной оценки помехоустойчивости конверторов, в статическом режиме были рассчитаны переключательные характеристики для каждой из двух входных сигнальных линий [10]. Сравнимые конверторы были разработаны по нормам проектирования КМОП 0,18 мкм. На рис. 3 представлены переключательные характеристики при воздействии помехи на вход IN\_N. Как видно из рис.3, конверторы с третьим состоянием пропускают помеху только при амплитуде

входной помехи составляющей 90% от напряжения питания 1,8 В.

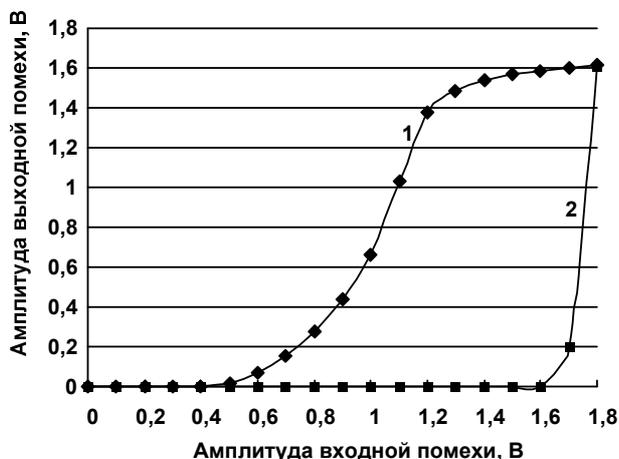


Рис. 3. Зависимость амплитуды помехи на выходе конверторов от амплитуды помехи на входе, 1 - обыкновенный конвертор, 2 - конвертор с третьим состоянием 1-го и 2-го типа

Анализ принципиальных схем конверторов с третьим состоянием показал, что в отличие от конвертора 2-го типа, входы конвертора 1-го типа имеют несимметричные эквивалентные схемы проходных емкостей [11]. Увеличение эквивалентной проходной емкости одного из входов конвертора способствует прохождению помехи в однофазную цепь.

Для оценки помехоустойчивости конверторов 1-го и 2-го типа было проведено моделирование работы цепочек сбоеустойчивых двухпортовых инверторов типа Б с конверторами 1-го и 2-го типов в схеме формирования сигнала тактирования триггера. В качестве критерия оценки способности блокировать помеху были взяты критический заряд инвертора  $Q_{кр}$ , при котором переключался триггер и количество инверторов в цепочке. Результаты моделирования представлены в таблице 2.

Таблица 2

**Сравнение эффективности ослабления помехи конверторов с третьим состоянием**

Количество инверторов в цепочке	1	2	3
$Q_{кр}$ конвертора типа 1, пК	0,79	1,25	1,44
$Q_{кр}$ конвертора типа 2, пК	0,9	1,18	1,45

По результатам моделирования можно сделать вывод, что конвертор с третьим состоянием 2-го типа, за счёт симметричных схем эквивалентных проходных емкостей, позволяет более эффективно блокировать распространение помехи в однофазную цепь. Конвертор 2-го типа блокирует распространение помехи в

однофазную цепь, вызванной индуцированным зарядом на 10-15% большей величины, чем при использовании конвертора 1-го типа.

**III. РАЗРАБОТКА ИНВЕРТОРА ПО НОРМАМ ПРОЕКТИРОВАНИЯ КМОП 0,18 мкм**

Локальные ионизационные эффекты возникают из-за генерации заряда в чувствительной области отдельного полупроводникового элемента. Уменьшение площади активной области элемента способствует уменьшению величины накопленного заряда. В качестве объекта исследования был взят двухпортовый инвертор типа Б (см. рис. 1,б). По результатам параметрического анализа, были определены ограничения на минимальную ширину транзисторов P2 и N2 в двухпортовом инверторе, при которых сохраняется наименьшее время переключения (см. рис. 4).

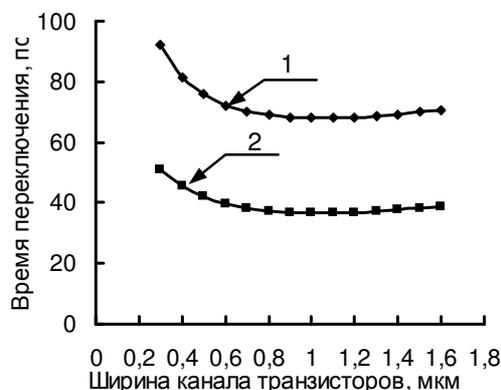


Рис. 4. Графики времени переключения двухпортового инвертора в зависимости от ширины канала транзисторов N2 и P2: 1) переключение инвертора из «0» в «1», 2) переключение инвертора из «1» в «0»

Параметрический анализ проводился в симуляторе Spectra для Cadence. В качестве параметра была выбрана ширина канала транзистора N2, при этом ширина канала транзистора P2 бралась в полтора раза больше. На рис. 5 приведён эскиз топологии сбоеустойчивого инвертора.



Рис. 5. Эскиз топологии сбоеустойчивого инвертора, разработанного по нормам проектирования КМОП 0,18 мкм

На основе результатов моделирования и анализа топологических размеров элементов, было установлено, что наилучшее соотношение быстродействия и занимаемой площади достигается при ширине канала транзистора P1 равной 1800 нм и ширине канала транзистора N1 равной 1200 нм. В результате проведенного параметрического анализа, была определена ширина канала транзистора N2 равная 1000 нм и ширина канала транзистора P2 равная 1500 нм. В таблице 3 приведены основные характеристики спроектированного инвертора [12].

Таблица 3

**Основные характеристики инверторов, спроектированных по нормам КМОП 0,18 мкм**

Параметры инвертора	Сбоеустойчивый инвертор	Двухтранзисторный инвертор
Площадь, мкм <sup>2</sup>	10,7	6,5
Время переключения из «1» в «0», пс	72	33
Время переключения из «0» в «1», пс	38	21
Критический заряд для р-МОП, фК	300	54
Критический заряд для n-МОП, фК	835	91

По результатам сравнительного моделирования сбоеустойчивого и двухтранзисторного инвертора, выполненных по проектным нормам КМОП 0,18 мкм, можно сделать вывод, что величина критического заряда сбоеустойчивого инвертора в 5...9 раз больше по сравнению с двухтранзисторным. При этом внутренняя задержка переключения больше в 1,8...2 раза, а занимаемая площадь больше в 1,6 раза по сравнению с двухтранзисторным инвертором.

IV. ЗАКЛЮЧЕНИЕ

Наиболее перспективными сбоеустойчивыми логическими элементами, разработанными по проектным нормам КМОП 0,18 мкм и 0,25 мкм, являются двухпортовые элементы КМОП логики. Величина критического заряда двухпортовых инверторов превосходит величину критического заряда традиционных КМОП элементов приблизительно на один порядок. При этом, инверторы типа В и Г имеют как минимум в два раза большую величину критического заряда по сравнению с двухпортовыми инверторами остальных типов. Инвертор типа Г имеет такое же время переключения, что и инвертор 2Г и в два раза больший статический ток потребления. По сравнению с инвертором типа В, инвертор типа Г имеет в два раза меньшее число транзисторов и приблизительно в 2,5

раза меньшее время переключения. Предложена методика разработки топологии сбоеустойчивых инверторов, позволяющая сократить чувствительную площадь элемента приблизительно на 10%. Использование третьего состояния позволяет повысить помехоустойчивость конвертора, преобразующего двухфазный сигнал в однофазный. Конвертор с третьим состоянием блокирует распространение помехи с амплитудой, приблизительно, в два раза превышающей порог помехоустойчивости двухтранзисторного конвертора. Обоснован выбор принципиальной схемы конвертора с третьим состоянием. Конвертор 2-го типа блокирует распространение помехи в однофазную цепь, вызванной индуцированным зарядом на 10-15% большей величины, чем при использовании конвертора 1-го типа.

ЛИТЕРАТУРА

- [1] Перспективы использования субмикронных КМОП СБИС в сбоеустойчивой аппаратуре, работающей под воздействием атмосферных нейтронов / Бетелин В.Б., Баранов С.В., Бобков С.Г. и др. // Микроэлектроника, 2009. Т. 38. № 1. С. 48-52.
- [2] Чумаков А.И. Действие космической радиации на ИС. - М.: Радио и связь, 2004. 88 с.
- [3] Zhang M. and Shanbhag N. R. A soft error rate analysis (SERA) methodology // Proceedings of International Conference on Computer Aided Design. 2004. P. 111-118.
- [4] Baze M., Patent No. : US 6,278,287 B1. Isolated well transistor structure for mitigation of single event upsets. Date of Patent : Aug. 21, 2001.
- [5] Ming Z., Shanbhag R. A. A CMOS Design Style for Logic Circuit Hardening // Proc. of the Int. Reliability Physics Symposium. Apr. 17-21, 2005. P. 223-229.
- [6] Eaton A. Patent No. : US 6,756,809 B2. Single event upset immune logic family. Date of Patent : Jan. 29, 2004.
- [7] Knowles R. Patent No. : US 6,614,257 B2. Logic architecture for single event upset immunity. Date of Patent : Sep. 2, 2003.
- [8] Canaris J. Patent No. : US 5,418,473. Single event upset immune logic family. Date of Patent : May 23, 1995.
- [9] Ольчев С.И. Схемотехнические методы повышения стойкости субмикронных КМОП СБИС к воздействию атмосферных нейтронов // XIII Международная телекоммуникационная конференция студентов и молодых учёных «МОЛОДЁЖЬ И НАУКА». Тезисы докладов. - М.: НИЯУ МИФИ, 2010. Ч.1. С. 81-82.
- [10] Ольчев С.И. Повышение сбоеустойчивости субмикронных КМОП конверторных элементов двухпортовой комбинационной логики // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. - М.: МИФИ, 2009. С. 97-102.
- [11] Ольчев С.И. Сбоеустойчивость и помехозащищённость элементов двухпортовой логики различных архитектур // VII Курчатовская молодёжная научная школа. Сб. аннотаций работ. - М.: РНЦ «Курчатовский институт», 2009. 141 с.
- [12] Ольчев С.И., Черкасов И.Г. Повышение сбоеустойчивости комбинационной логики КМОП СБИС к воздействию отдельных ядерных частиц // Научная сессия МИФИ - 2009. Сб. научн. трудов. - М.: МИФИ, 2009. Т.2. С. 123-126.