

Создание компактных поведенческих моделей аналого-цифровых блоков на основе результатов испытаний тестовых образцов микросхем

Д.Л. Осипов, Ю.И. Бочаров, В.А. Бутузов, А.Б. Симаков, Э.В. Аткин

Национальный исследовательский ядерный университет «МИФИ», dlosipov@mephi.ru

Аннотация — Описан способ построения компактных поведенческих моделей аналоговых и аналого-цифровых блоков на языке описания аналоговых схем Verilog-A на основе результатов испытаний тестовых образцов. В качестве примера использования предложенного способа описывается процесс характеристики и тестирования СФ-блока УВХ, изготовленного по КМОП-технологии с проектными нормами 0,18 мкм.

Ключевые слова — модель, Verilog-A, СФ-блок, УВХ.

I. ВВЕДЕНИЕ

При разработке интегральных микросхем (ИМС) высокой и сверхвысокой степени интеграции (СБИС) важную роль играют средства автоматизированного проектирования, а также повторное использование разработанных блоков ИМС.

С повышением степени интеграции ИМС, увеличением их функциональной сложности, ростом числа факторов, учитываемых при проектировании, время, затрачиваемое на моделирование и верификацию, оказывает все большее влияние на время выпуска микросхем на рынок. Точность моделирования, наряду со скоростью, также является критически важной, поскольку наличие неточностей в оценке функционирования и характеристик ИМС может потребовать значительных временных и иных ресурсов для переработки проекта.

Однократный цикл моделирования цифровых СБИС, и особенно систем-на-кристалле (СнК), содержащих аналоговые СФ-блоки, при моделировании на уровне транзисторов может занимать многие десятки часов даже при использовании высокоскоростных пакетов аналогового моделирования типа FAST SPICE, функционирующих на многопроцессорных вычислительных комплексах.

Естественным решением проблемы является использование, наряду с моделями физического уровня, функциональных моделей (макромоделей) поведенческого уровня. Такой подход стал сейчас общепринятым. В его основе – компромисс между скоростью моделирования и точностью моделирования, зависящей от степени детализации моделей. Большой гибкости можно достичь при смешанном моделировании,

когда используются модели различного уровня детализации. Такие модели входят в состав проектных библиотек вместе со схемной и топологической информацией. Они также входят в комплект поставки СФ-блоков. Методология проектирования СБИС с использованием высокоуровневого и смешанного моделирования рассмотрена в ряде работ [1]-[3].

В данной работе на примере построения модели устройства выборки-хранения (УВХ) показан способ компактного высокоуровневого описания аналоговых блоков. Его особенность в том, что поведенческая модель блока на языке описания аппаратуры создается на основе обработки данных экспериментальных исследований тестовых образцов или на основе результатов моделирования схемы на транзисторном уровне с учетом паразитных параметров, экстрагированных из топологии ИМС. Полученные поведенческие модели затем предоставляются вместе с технологическим описанием и транзисторным описанием блока. Пользователь такого блока может сам определить какую модель ему использовать в своей разработке.

Повышение степени детализации сопровождается сжатием дополнительной информации, поэтому использование таких компактных моделей не приводит к существенному увеличению времени моделирования. Таким образом, становится возможным высокоуровневое моделирование всей схемы ИМС без потери точности.

Включение рассматриваемых моделей в проектные библиотеки и комплекты поставки СФ-блоков позволяет их пользователям наряду со SPICE описанием получить также данные, характеризующие электрофизические параметры и особенности функционирования блоков ИМС, реализованных с использованием определенных технологических процессов.

II. МЕТОДЫ СОЗДАНИЯ ПОВЕДЕНЧЕСКИХ МОДЕЛЕЙ АНАЛОГО-ЦИФРОВЫХ БЛОКОВ

Основные виды высокоуровневых моделей следующие. Во-первых – SPICE макромодели. Методология их построения для некоторых базовых блоков

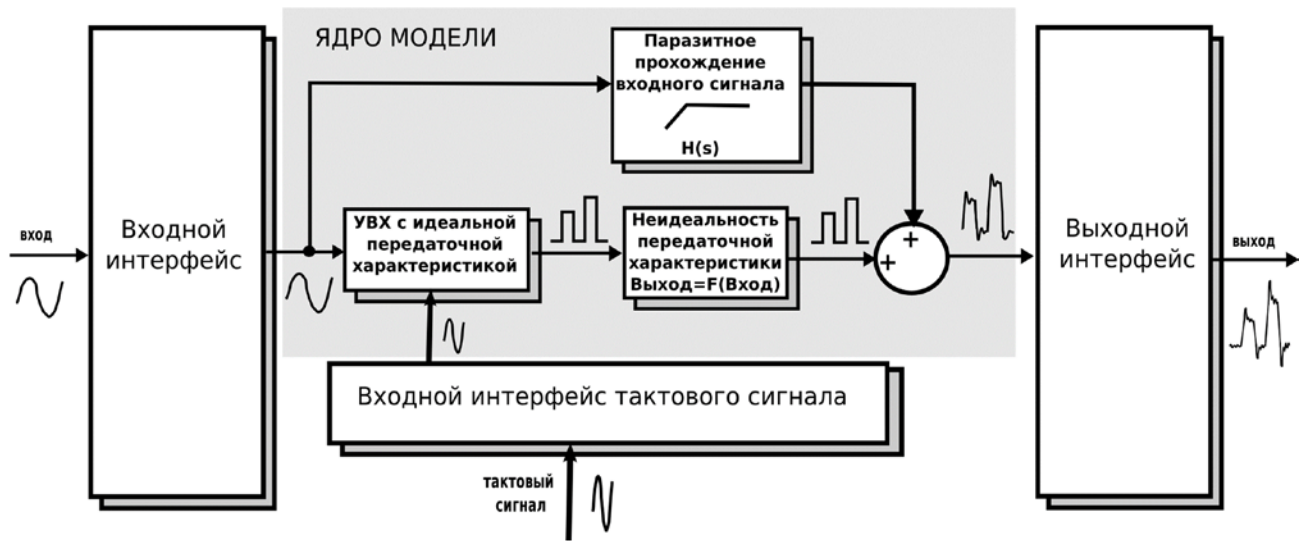


Рис. 1. Структура модели УВХ

ИМС, таких как операционные усилители, хорошо разработана [4]-[6]. Недостатками подобного типа моделей является сложность расчёта параметров составляющих их SPICE элементов, а также сложность создания моделей устройств, для которых еще отсутствует развитая методология макро моделирования.

Во-вторых – поведенческие модели на языках описания аналогово-цифровых схем таких, как VHDL-A/AMS и Verilog-A/AMS. Они позволяют описывать поведение аналоговых схем в виде набора математических уравнений. С использованием этих языков можно создать модели с низким уровнем детализации для использования на начальных этапах разработок, а также осуществить простую характеристику параметров низкоуровневых моделей с высокой степенью детализации, поскольку аналитические соотношения, аппроксимирующие характеристики моделируемых блоков, можно прямо вставлять в текст модели.

В настоящей работе показаны основные этапы процесса разработки модели блока устройства выборки-хранения (УВХ) с перераспределением заряда на языке Verilog-A. УВХ входит в состав разработанного КМОП АЦП конвейерного типа. Качественные показатели АЦП, такие как интегральная нелинейность, шум и полоса пропускания, находятся в сильной зависимости от параметров УВХ, поэтому при разработке АЦП необходимо их точное моделирование. В работе [7] рассмотрены основные типы современных КМОП УВХ на переключаемых конденсаторах, моделированию которых посвящена данная работа.

Предлагаемый способ создания моделей базируется на измерении параметров тестовых элементов ИМС. Тестовый блок УВХ разработан и реализован на технологической базе компании UMC с использованием КМОП технологии аналого-цифровых и радиочастотных компонентов с проектными нормами 0,18 мкм.

Последовательность этапов создания модели.

- Изготовление тестовых образцов.
- Определение параметров, характеризующих свойства моделируемого блока.
- Измерение выбранных параметров.
- Аппроксимация характеристик с использованием математических методов и пакетов численных вычислений типа Mathworks Matlab.
- Создание Verilog-A модели на основе полученных аппроксимирующих выражений.

Структуру модели (рис. 1) можно представить состоящей из следующих частей: входных интерфейсов, моделирующих входные параметры реальной схемы, ядра, где происходит моделирование основных параметров блока, и выходной интерфейсной части. Поскольку структура модели жёстко задана, то ее настройка сводится к определению набора параметров путём аппроксимации экспериментально измеренных характеристик.

В качестве языка описания выбран Verilog-A, программный интерфейс совместим со стандартным интерфейсом системы проектирования Cadence Custom IC 6.1.3.

III. ХАРАКТЕРИЗАЦИЯ ЭКСПЕРИМЕНТАЛЬНЫХ ДАННЫХ ДЛЯ ПОВЕДЕНЧЕСКОЙ МОДЕЛИ УВХ

В качестве основной характеристики УВХ предложено использовать квазистатическую передаточную характеристику, устанавливающую связь между входным сигналом УВХ в момент подачи переднего фронта тактового сигнала и установившемся значением на выходе УВХ. Данная характеристика позволяет определить такие параметры УВХ как нелинейность, пьедестал и ошибка усиления.

Передаточная характеристика рассматриваемой модели построена на основе измерений выходного сигнала УВХ при синусоидальном входном воздействии с частотой 20 кГц и частоте такового сигнала 2 МГц. Полученные экспериментальные данные усреднены по результатам 80 измерений образцов. В системе Mathworks Matlab проведена тригонометрическая интерполяция полученной зависимости, ошибка интерполяции по 40 экспериментальным точкам составляет менее 0,01 мВ.

Модели интерфейсов обеспечивают воспроизведение временных характеристик УВХ и формы выходного сигнала с учетом входного и выходного импедансов схемы. Способ измерения входного импеданса УВХ на переключаемых конденсаторах подробно рассмотрен в [8]. При моделировании таких УВХ необходимо учитывать емкостной характер входного импеданса, а также его зависимость от режима работы схемы (выборка или хранение). Зависимость сопротивления аналоговых ключей на входе УВХ от входного напряжения определяет нелинейный характер входного импеданса [9].

На основе измерения выходного сигнала УВХ для различной нагрузки на выходе схемы, определен эквивалентный выходной импеданс для различных режимов работы, определяющий скорость нарастания (спада) выходного сигнала.

Параметр, характеризующий паразитное прохождение входного сигнала на выход УВХ в режиме хранения, определяется как отношение напряжений помехи на входе схемы к вызванному этой помехой паразитному сигналу на выходе [10]. Аппроксимация АЧХ канала паразитного прохождения входного сигнала на выход УВХ (рис. 2) проводилась средствами Matlab System Identification Toolbox и Matlab Signal Processing Toolbox.

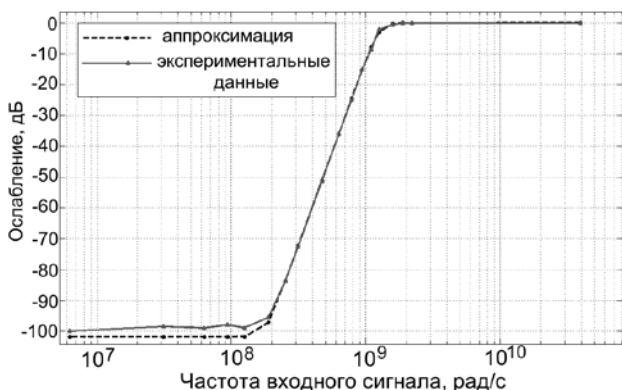


Рис. 2. АЧХ канала паразитного прохождения входного сигнала на выход УВХ в режиме хранения

Уровень погрешности аппроксимации не превышает -90 дБ в полосе пропускания и -80 дБ в переходной зоне между полосой пропускания и полосой подавления.

Значения АЧХ в полосе подавления определяются не реальными характеристиками канала паразитного прохождения входного сигнала на выход УВХ, а динамическим диапазоном использованных измерительных приборов. Поэтому нет необходимости в точной аппроксимации АЧХ в полосе подавления при определении параметров модели.

На рис. 3 показана реакция модели УВХ на сигнал с высокочастотной помехой в режиме хранения.

Для всех рассмотренных характеристик были получены аналитические аппроксимирующие зависимости, которые были использованы при описании модели на языке Verilog-A.

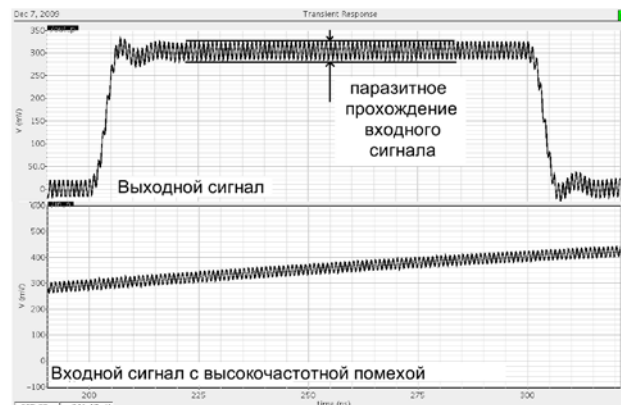


Рис. 3. Паразитное прохождение входного сигнала на выход УВХ в режиме хранения

IV. ВЕРИФИКАЦИЯ МОДЕЛИ

Верификация проводилась в соответствии с функциональной схемой, приведенной на рис. 4.

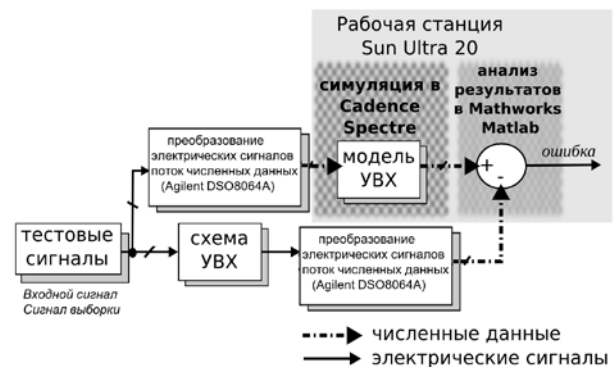


Рис. 4. Верификация модели УВХ

На вход модели и на вход изготовленного блока УВХ подавались тестовые сигналы. Для проведения верификации необходимо имитировать реальные сигналы, подаваемые на тестируемую схему (аналоговый

входной сигнал и сигнал выборки), их математическими моделями, которые подключаются к модели УВХ. Для этого сигналы генератора, подававшиеся на тестовые образцы УВХ, преобразовывались в цифровую форму с помощью цифрового осциллографа Agilent DSO8064A. Полученный файл входных воздействий в формате CSV подавался на вход модели. Цифровой поток на входе модели имитировал сигнал генератора с точностью, определяемой допустимой погрешностью моделирования. Выходной сигнал модели УВХ сравнивался с выходным сигналом реальной схемы УВХ, преобразованным в цифровую форму с необходимой точностью.

Вид входного и выходного сигналов модели УВХ, а также вид сигнала ошибки (разность выходных сигналов модели и реальной схемы) показаны на рис. 5.

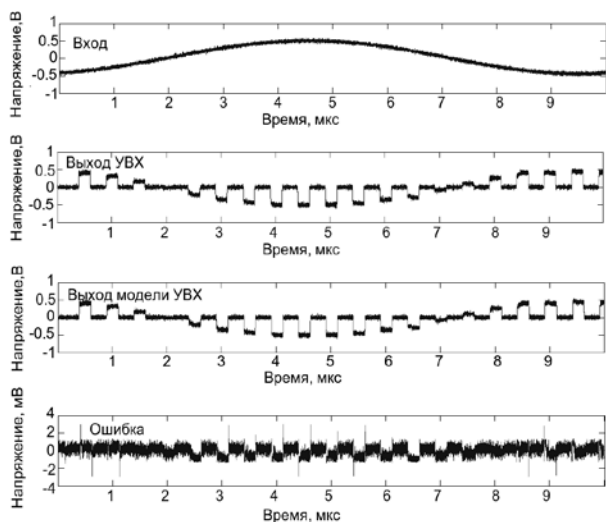


Рис. 5. Вид сигналов на входе и выходе модели УВХ и погрешность моделирования (разность выходных сигналов модели и реальной схемы)

Среднеквадратичное значение сигнала ошибки не превышает 3 мВ. Пиковые значения обусловлены большей погрешностью моделирования переходных процессов.

Конкретное значение погрешности моделирования связано с ошибкой измерения параметров модели, которую необходимо отличать от ошибки аппроксимации. Погрешность проведения измерений с помощью осциллографа Agilent DSO8064A заведомо выше 0,4 мВ (измеренное среднеквадратичное значение собственных шумов осциллографа в рассматриваемой полосе частот). Кроме того, осциллограф вносит нелинейные искажения. Точность модели УВХ напрямую зависит от точности измерения параметров тестовых микросхем. Поэтому в принципе, при использовании соответствующей измерительной аппаратуры, точность рассматриваемой модели может быть повышена. Это, однако, не являлось целью настоящей работы, в которой освещаются вопросы создания и ве-

рификации высокоуровневых моделей на примере модели УВХ.

V. ЗАКЛЮЧЕНИЕ

Показаны этапы создания компактной высокоуровневой модели СФ-блока УВХ. Модель представлена в виде текстового описания на языке Verilog-A, а так же в виде стандартной библиотечной ячейки среды проектирования Cadence Custom IC 6.1.3. Верификация модели показала, что она позволяет характеризовать основные свойства изготовленного тестового образца блока при учете особенностей схемы и технологической реализации ИМС. Включение подобных моделей в состав проектных библиотек, входящих в комплект поставки СФ-блоков, позволит потребителю выполнять моделирование сложных высокоинтегрированных аналого-цифровых схем с высокой скоростью и точностью, проводить анализ влияния производственных факторов на параметры устройств, в которых используются моделируемые блоки.

Представленные результаты получены в ходе выполнения НИР в рамках ФЦП "Научные и научно-педагогические кадры инновационной России" на 2009-2013 годы.

ЛИТЕРАТУРА

- [1] Бочаров Ю.И., Гуменюк А.С., Симаков А.Б., Шевченко П.А. Проектирование БИС класса "система на кристалле". – М.: МИФИ – 2008.
- [2] Kundert K.S., Zinke O. The designer's guide to Verilog-AMS. -В.: Kluwer Academic Publishers. – 2004.
- [3] Mariano A., Dallet D., Deval Y., Bégueret J.-B. Top-down design methodology of a multi-bit continuous-time delta-sigma modulator // Analog Integrated Circuits and Signal Processing. – 2008. – V.60. – №1-2. – P. 145-153.
- [4] Alexander M., Bowers D.F. SPICE-Compatible Op Amp Macro-Models. - Application Note AN-138, Analog Devices, Inc. – 1990.
- [5] Чахмахсаян Е.А, Мозговой Г.П., Силин В.Д. Математическое моделирование и макро моделирование биполярных элементов электронных схем. – М.: Радио и связь. – 1985.
- [6] Buxton J. OP-42 Advanced SPICE Macro-Model. – Application Note AN-117, Analog Devices, Inc. – 1993.
- [7] Гуменюк А.С., Бочаров Ю.И., Устройства выборки-хранения быстродействующих АЦП // Микроэлектроника, 2007. Том 36, № 5. – С. 390 – 400.
- [8] Reeder R. Frequency Domain Response of Switched-Capacitor ADCs. Application Note AN-742, Analog Devices, Inc. – 2009.
- [9] Oljaca M. Understand the limits of your ADC input circuit before starting conversions // AnalogZONE - Acquisition Zone - 2004 - http://www.analogzone.com/tech_fram.htm.
- [10] Jung W. Applying IC Sample-Hold Amplifiers. – Application Note AN-270, Analog Devices, Inc. – 1993.