

# Система на кристалле 1879ХК1 для цифровой обработки аналоговых сигналов в радиотехнических системах и спутниковой навигации

Д.Е. Косоруков, А.Л. Эйсымонт, В.Г. Осипов, А.П. Панфилов,  
В.М. Черников, П.Е. Виксне, А.М. Шелухин, И.И. Насонов

ЗАО НТЦ "Модуль", panfilov@module.ru

**Аннотация** — В статье представлены результаты разработки СБИС ЦУПП (1879ХК1) – цифрового унифицированного программного приемника класса система-на-кристалле, обеспечивающего прием аналоговых сигналов, преобразование их в цифровой код и программную цифровую обработку. Уникальная архитектура основного вычислительного устройства – ядра 64-х разрядного DSP процессора NeuroMatrix® NMC3, ориентированного на векторно-матричную обработку потока данных произвольной разрядности, обеспечивает эффективную реализацию базовых процедур ЦОС – БПФ, свертки и др.; наличие мощного управляющего ядра ARM1176 позволяет реализовать функции конечной обработки информации и управления. Таким образом, СБИС ЦУПП обеспечивает решение всего комплекса задач, необходимых при создании различных радиотехнических систем. Подробно описана структура и система команд системы на кристалле. Приведены основные электрические и динамические характеристики системы на кристалле.

**Ключевые слова** — NMC3, NeuroMatrix, программный навигационный приемник, векторно-матричная обработка, ARM1176, СБИС, система на кристалле, DSP, SDR, ГЛОНАСС, GPS, Galileo.

## I. ВВЕДЕНИЕ

Развитие цифровых систем связи, телевидения, спутниковой навигации и связанное с этим создание многочисленных стандартов передачи и кодирования сигналов делают актуальной задачу создания универсальных аппаратных средств - так называемого цифрового программного радио (software defined radio в зарубежной литературе)[1] – [2].

Примером такого подхода может служить полностью программный навигационный приемник от компании SPIRIT Telecom. Данный приемник предназначен для бытового применения и состоит из модуля высокочастотного конвертора, подключаемого к персональному компьютеру. Все необходимые вычисления производит процессор персонального компьютера типа Atom или Core2Duo с SSE расширением системы команд. При изменении стандартов или при появлении новых навигационных систем необходимо только обновить программное обеспечение, а аппаратная часть остается без изменения. Но данная реализация

имеет и свои минусы, а именно необходимо наличие мощного персонального компьютера.

Подавляющее число приложений, где необходимо иметь программные приемники, относятся к встроенным системам и не позволяют использовать привычные компьютеры. Решение задачи лежит в применении процессоров цифровой обработки сигналов высокой производительности. Усложнение структур сигналов и их многообразие требуют разработки новых архитектур процессоров цифровой обработки сигналов с производительностью свыше 10 GMAC и построения на основе ядер процессоров микросхем типа система на кристалле.

В докладе обсуждаются результаты разработки оригинального цифрового программного приемника класса SDR, который предназначен для применения в различных системах навигации и связи.

СБИС ЦУПП (1879ХК1) предназначена для создания мультисистемных помехоустойчивых навигационных приемников для интеллектуальных транспортных систем, авиации и судовой навигации, в том числе, и в приложениях, связанных с повышенным риском для жизни (Safety-of-Life Service; SoL) с гарантией получения сигнала. СБИС ЦУПП имеет внутреннюю структуру, обеспечивающую прием всех используемых в настоящее время и перспективных радионавигационных сигналов и способна одновременно работать по всем глобальным навигационным спутниковым системам и во всех частотных диапазонах, что обеспечивает более высокую помехоустойчивость и точность определения координат, так как при этом используются различные спутниковые системы. Кроме того, СБИС ЦУПП может использоваться для широкого класса задач цифровой обработки сигналов, радиолокационных сигналов, сигналов сотовой связи (GSM, CDMA), цифрового радиовещания, для обработки видеосигналов и др.

## II. ОПИСАНИЕ СБИС ЦУПП

Структурная схема СБИС ЦУПП представлена на рис.1. СБИС ЦУПП содержит четыре 12-ти битных

АЦП. АЦП объединены в блоки попарно. На вход каждой пары могут быть поданы независимые аналоговые сигналы или квадратурные составляющие I и Q одного сигнала. Для этого каждая пара АЦП имеет общий источник опорного напряжения и общую систему питания, что обеспечивает идентичные характеристики преобразования. Оцифрованные сигналы подаются на каналы предварительной обработки (ПОС). Каналы ПОС производят предварительную обработку, которая состоит из цифрового гетеродинирования, накопления сигнала, комплексной фильтрации, возведения в квадрат и упаковки сигнала в 64-х разрядные слова для записи в память. Возможна запись как во внутреннюю память (блок общей памяти, память процессорной системы NMU1, NMU2, ARMU) так и во внешнюю память DDR. Помимо данных с АЦП каналы ПОС могут обрабатывать 2-х битные входные данные (Sign/Magn) или данные из памяти.

Наиболее быстрый обмен данными между каналами обработки ПОС и памятью производится с блоком общей памяти или памятью процессорной системы NMU1 и NMU2. Настройка каналов ПОС осуществляется процессорными системами NMU1 и NMU2.

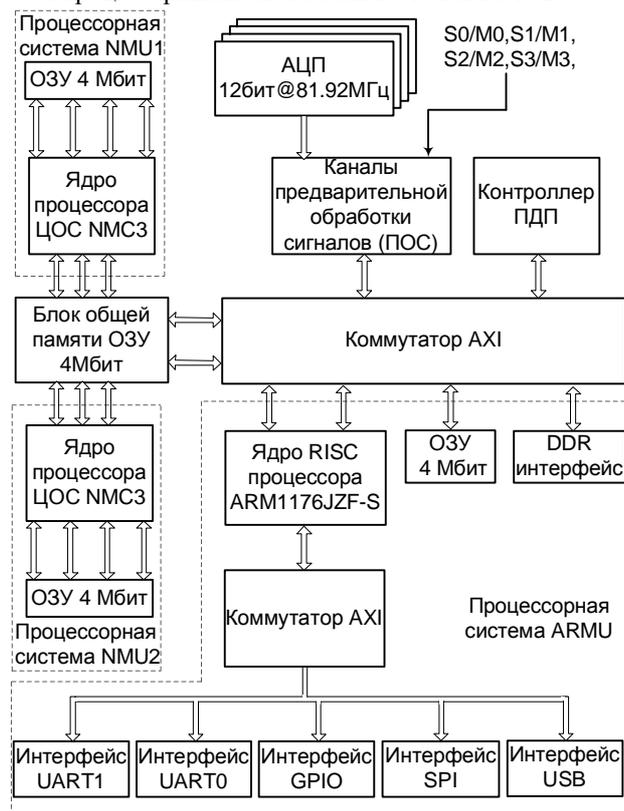


Рис. 1. Структурная схема СБИС ЦУПП

Процессорные системы NMU1 и NMU2 полностью идентичны. Они работают на частоте 327,68МГц и состоят из процессорного ядра NMC3 и четырех банков памяти общим объемом 4Мбит. В состав каждой процессорной системы входит блок упаков-

ки/распаковки, который обеспечивает подготовку данных для ядра NMC3 (доступ к невыровненным данным, распаковка данных корреляционной последовательности и т.д.). Каждое ядро NMC3 имеет доступ к блоку общей памяти, памяти другой системы NMU, памяти процессорной системы ARMU и внешней памяти DDR. Процессорные системы NMU1, NMU2 предназначены для первичной обработки данных, которые были сформированы каналами ПОС. По результатам обработки процессорная система NMU1 или NMU2 может изменить настройки ПОС.

Блок общей памяти ОЗУ состоит из четырех банков памяти общим объемом 4Мбит. Адресоваться к банкам памяти можно до 32-х или 64-х разрядного слова. Блок предназначен для хранения и обмена данными между процессорными системами. К данной памяти имеют доступ все процессорные системы.

Контроллер ПДП обеспечивает пересылку данных между внутренними банками памяти или подкачку новых данных из внешней памяти, тем самым, освобождая ядро NMC3 и ARM11 для вычислений.

Процессорная система ARMU на базе ядра ARM1176JZF-S осуществляет общее управление процессорными системами NMU1, NMU2, режимами работы АЦП. В состав ядра ARM1176JZF-S входят следующие основные компоненты: процессор целочисленной арифметики, VFP векторный сопроцессор плавающей точки, блок отладки, кэш команд 16Кб, кэш данных 16Кб, блок управления памятью, шинный интерфейс AMBA AXI, совместимый с шинной спецификацией AMBA 3.0. Так же процессорная система ARMU содержит два банка памяти общим объемом 4Мбит и осуществляет обмен данными с внешними устройствами через интерфейсы SPI, UART, GPIO, USB, а так же производит инициализацию контроллера интерфейса памяти DDR.

Контроллер динамической памяти DDR – реализует обмен с внешней памятью типа DDR SDRAM по 32-разрядной шине данных с частотой до 166МГц.

SPI (Serial Peripheral Interface) – контроллер синхронного последовательного интерфейса, совместимого с интерфейсами Motorola SPI, National Semiconductor Microwire и Texas Instruments SPI. Максимальная частота обмена - 40,96 МГц. Поддерживается до 8 ведомых SPI устройств (SPI slaves) в режиме разделения времени, т.е. одновременно возможен обмен данными только с одним SPI устройством.

UART0, UART1 – контроллер асинхронного последовательного интерфейса – предназначен для выдачи данных обработки внешним вычислительным устройствам, обмена данными между микросхемами СБИС ЦУПП. Порт совместим с микросхемой UART 16550, поддерживает скорости обмена до 460800 бод из стандартного ряда скоростей. Есть возможность работать на более высоких скоростях (до 5Мбод) при со-

единении двух микросхем ЦУПП между собой, либо при подключении к другим устройствам с UART интерфейсом, поддерживающим нестандартные скорости обмена.

GPIO (General Purpose Input/Output) – блок программируемых вводов/выводов общего назначения. Блок GPIO содержит 16 портов ввода/вывода.

USB (Universal Serial Bus) – контроллер интерфейса последовательной шины USB, соответствующей спецификации 2.0 (Full-speed) и работающий как USB device.

### III. КАНАЛЫ ПОС

Блок каналов ПОС состоит из 24 каналов двух типов: каналов с КИХ фильтром и квадратурами (12 каналов) и каналов без КИХ-фильтра и квадратур (12 каналов) (см. рис.2), 4-х генераторов Т-кода (рекуррентных двоичных последовательностей или мандровых колебаний), представляющих собой 25 разрядные сдвигающие регистры с обратными связями (на рис. 2 не показаны). Выходы генераторов могут принимать значение +1 или -1.

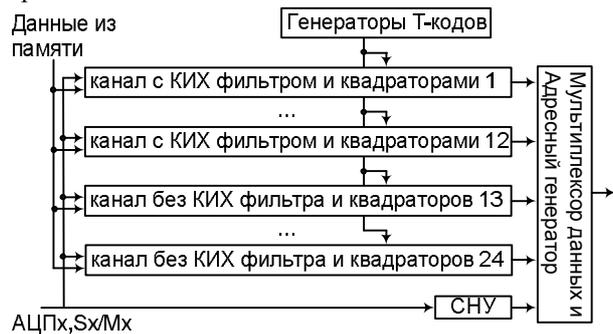


Рис. 2. Структура блока каналов ПОС.

На вход каждого канала подаются данные с АЦП, 2-х битные входные данные или данные из памяти. Частота поступления входных данных 81.92МГц. Выход каждого канала это одно или два 64-х разрядных слова. После чего происходит мультиплексирование выходных данных от всех каналов и формирование адреса для записи в память. Возможно несколько вариантов формирования адреса: непрерывный и блочно-циклический. При непрерывной адресации данные для каждого канала записываются по последовательным адресам. При блочно-циклической адресации данные каждого канала записываются в память, используя 2 буфера. Т.е. сначала записываются данные в буфер0, потом в буфер1, потом опять в буфер0, затирая старые данные и т.д. Смена буфера происходит по временной метке от интервального таймера, разделяя поток данных на кадры. Это позволяет обрабатывать данные в одном буфере, пока другой буфер заполняется. Если при этом буфера выделены в разных банках, то не создается конфликтов при обращении к

памяти. На фоне обработки текущего кадра, управляющая программа осуществляет анализ и новую настройку каналов, используя теневые регистры. По приходу временной метки, управляющая информация настройки канала переписывается из теневых регистров в рабочие и происходит синхронная перестройка каналов. Интервальный таймер, вырабатывающий временные метки (на рисунке не показан), может вырабатывать программируемые временные метки от 25мкс до 1,6384с шагом 25 мкс.

Также предусмотрена возможность записи данных с АЦП сразу в память. Для этого данные подаются на схему накопления и упаковки (СНУ) где происходит формирование 64-х разрядных слов.

Структурная схема каналов ПОС с КИХ фильтром и квадратурами представлена на рис.3. Схематически каналы объединены в группы по 4 канала.

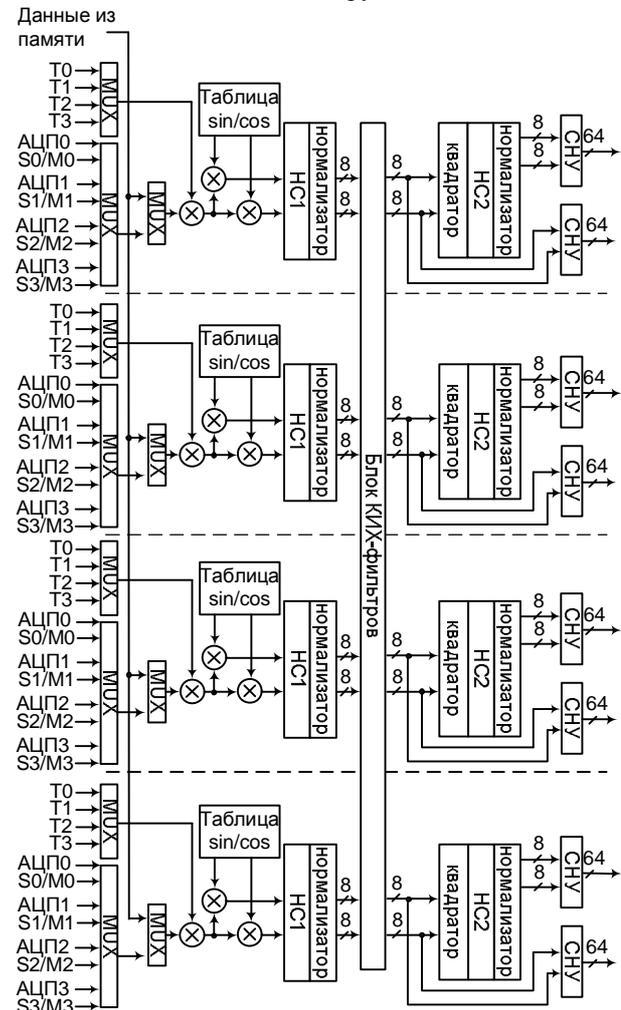


Рис. 3. Структура группы каналов ПОС с КИХ фильтром и квадратурами.

Каждый канал имеет независимые входные мультиплексоры, которые позволяют выбрать источник входных данных: АЦП3 – АЦП0, входы S3/М3 –

S0/M0 или данные из памяти. Данные с входов Sx/Mx могут принимать значения -2, -1, +1, +2.

Мультиплексор T-кодов подключает один из 4-х генераторов (T3 - T0) к умножителю, осуществляющему умножение входных данных вещественного сигнала на сигнал генератора T-кода. Результат умножения может только изменить знак входных данных. После этого осуществляется цифровое гетеродинирование, накопление сигнала для каждой составляющей I и Q комплексного сигнала (выполняется на накапливающем сумматоре HC1) и нормализация. Число накоплений задается программно. Цифровой генератор смесителя основан на таблице  $\sin/\cos$  4-х или 6-ти битных значений. Нормализация осуществляется путем арифметического сдвига в сторону младших разрядов каждой составляющей комплексного сигнала. Для дальнейшей обработки используются 8-ми разрядные значения (I и Q) комплексного сигнала.

Блок КИХ-фильтров осуществляет комплексное умножение отсчетов сигнала на комплексные коэффициенты фильтра с последующим суммированием, предназначен для реализации цифровых фильтров с заданными свойствами.

Один блок КИХ-фильтров может обслуживать до 4 каналов ПОС. Блок КИХ-фильтров состоит из 4 ячеек. Каждая ячейка это фильтр 64-го порядка с 8-ми разрядными коэффициентами для каждой комплексной составляющей. При этом ячейки могут объединяться последовательно, получая фильтр большей длины, или параллельно, увеличивая разрядность коэффициентов до 16-ти бит. Таким образом, для 8-ми разрядных коэффициентов можно получить один фильтр с максимальным порядком – 256; или несколько более коротких фильтров - до 4-х фильтров 64-го порядка; для 16-ти разрядных коэффициентов можно получить один фильтр с максимальным порядком – 128 или два 64-го порядка. Возможны так же комбинации когда часть фильтров будет иметь 8-ми разрядные коэффициенты, а часть – 16-ти разрядные. Например, возможна комбинация: 1 фильтр 64-го порядка с 16-ти разрядными коэффициентами и 1 фильтр 128-го порядка с 8-ми разрядными коэффициентами. После фильтра производится нормализация результата до 8 бит. Результат поступает на вход комплексного квадратора и схемы накопления и упаковки (СНУ).

СНУ упаковывает полученные результаты обработки в 64-х разрядные слова для записи в память. Упаковка комплексных отсчетов сигнала выполняется в два 64-х разрядных слова. Реализована упаковка 8-ми битных, 4-х битных и 2-х битных отсчетов. Частота поступления отсчетов с выхода схемы упаковки соответственно в 8, 16 или 32 раза меньше чем на входе. Для удобства дальнейшей обработки составляющие I и Q комплексного сигнала могут чередоваться или упаковываться в отдельные слова.

Комплексный квадратор осуществляет возведение в квадрат комплексного числа. После чего результат накапливается на накапливающем сумматоре HC2 и нормализуется.

При настройке каналов ПОС следует уделять внимание суммарному выходному потоку данных со всех каналов. Из-за ограничения пропускной способности следует программировать каналы ПОС таким образом, чтобы суммарный поток данных не превышал 2,6 Гбайт/с. Каналы ПОС имеют аппаратные средства для контроля превышения пропускной способности.

#### IV. ПРОЦЕССОРНАЯ СИСТЕМА NMU

Процессорные системы NMU1 и NMU2 предназначены для первичной обработки данных (корреляция, БПФ и т.д.) сформированных каналами ПОС, а так же для настройки/подстройки каналов ПОС на основе полученных результатов обработки. Структурная схема процессорной системы NMU представлена на рис.4.

Процессорная система на базе DSP ядра NeuroMatrix Core NMC3 работает на частоте 327,68 МГц и содержит следующие функциональные узлы:

NMC3 (NeuroMatrix Core 3) – DSP ядро NeuroMatrix Core, которое представляет собой ядро высокопроизводительного векторно-матричного процессора с оригинальной динамической суперскалярной параллельной и VLIW архитектурой. Архитектура обеспечивает аппаратную поддержку:

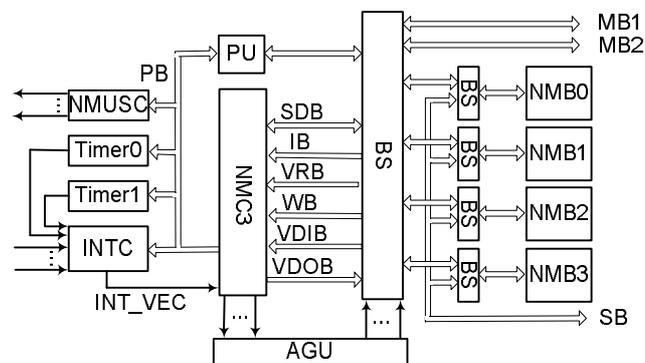


Рис. 4. Структура процессорной системы NMU.

- матричных и векторных операций над векторами, представляющими собой 64-х разрядные слова, в которые упакованы данные, представленные в дополнительном коде с фиксированной точкой;
- программной настройки исполнительных узлов для работы с векторами данных, содержащих необходимое количество элементов требуемой разрядности;
- исполнения векторных команд в течение нескольких процессорных тактов, число которых (от 1 до 32) определяется специальным полем команды.

Характерными областями применения ядра NMC3 являются ([3] – [5]):

- обработка изображений, включая различные виды фильтрации и MPEG кодирование и декодирование;
- обработка радиолокационных сигналов, в том числе, различные виды цифровой фильтрации, преобразования Фурье, Адамара и т.д.;
- высокопроизводительная коммутация сигналов.

Обмен данными ядра с системой осуществляется с помощью шести 64-разрядных шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), векторного регистра (VRB) и векторных выходных данных (VDOB). Управление периферийными устройствами, входящими в состав системы, осуществляется по периферийной шине (PB).

Предыдущее поколение данного ядра было реализовано в процессорах L1879BM1 (NM6403) и 1879BM2 (NM6404). Данное ядро реализовано в процессоре 1879BM4(NM6405) ([6] – [7]).

NMUSC (NMU System Controller) – системный контроллер процессорной системы NMU. Данный контроллер содержит программно доступный со стороны NMC3 периферийный регистр, который выполняет функции управления прерываниями другим процессорным системам NMU и ARMU и осуществляет вывод на внешние выходы тестовых сигналов.

TIMER0 и TIMER1 – два 32-разрядных таймера. Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета задаваемых интервалов времени для ядра NMC3. Каждый из таймеров может работать как в непрерывном режиме, так и в режиме однократного запуска.

PU (Permutation Unit) – блок упаковки/распаковки векторов данных. Данный блок выступает в роли сопроцессора для NMC3, и его задачей является преобразование потоковых данных в такой формат, который более удобен для обработки в NMC3 (распаковка/перепаковка) или для хранения в памяти (упаковка). Применение PU позволяет повысить эффективность ядра NMC3 на таких задачах, как корреляция или фильтрация, при этом хранить коэффициенты для той же корреляции или фильтрации, а также результаты обработки в компактном виде. PU аппаратно поддерживает следующие операции:

- Распаковка входного вектора в выходной с элементами заданной большей разрядности (до 64 разрядов), чем в исходном векторе, с возможностью распространения знака или нуля внутри элемента.
- Распаковка входного вектора с элементами одноразрядных данных. При данной операции единица во входном слове кодирует значение – “-1”, а ноль – “1”. Данная функция позволяет экономить память при хранении длинных корреляционных последовательностей.

- Упаковка входного вектора в выходной с элементами заданной меньшей разрядности (до 1 разряда), чем в исходном векторе, с возможностью выбора любых необходимых разрядов (соседних) внутри элементов с отбрасыванием остальных.

- Преобразование входного вектора в диагональную матрицу (может использоваться для ускорения скалярного произведения векторов в NMC3).

- Запись элементов входного вектора в столбцы выходной матрицы или обратное этому преобразование.

- Доступ к векторам, хранящимся в памяти, с адресацией (начальным смещением) до элемента этих векторов (вплоть до 1 разряда).

- Возможность работы с блоками данных в памяти как с циклическими буферами (вычисление адреса данных по модулю заданного числа).

INTC (Interrupt Controller) – контроллер прерываний, который формирует запрос для NMC3 и соответствующий ему адрес-вектор INT VEC на одно из следующих внешних прерываний:

- высокоприоритетное и низкоприоритетное от процессорной системы NMU;

- высокоприоритетное и низкоприоритетное от процессорной системы ARMU;

- три прерывания от каналов ПОС;

- одно прерывание от блока PU;

- три прерывания от интервального таймера, вырабатывающего временные метки;

- одно прерывание от контроллера ПДП (см. рис. 1);

- по одному прерыванию от таймеров TIMER1, TIMER0.

AGU (Address Generator Unit) – блок адресных генераторов, который получает запрос на обмен данными с памятью от ядра NMC3 (начальный и конечный адрес, смещение, число обращений) и затем сам формирует адреса и управляет шинным коммутатором BS, освобождая от этого процессор. Благодаря 6 шинам ядра NMC3 и наличию в блоке 6 адресных генераторов, возможно осуществить до шести операций ввода-вывода за один такт.

BS (Bus Switch) – шинный коммутатор, позволяет процессорному ядру NMC3 и блоку PU организовать передачу данных от 4 банков внутренней памяти и двух внешних шин MB1, MB2 к внутренним шинам ядра.

NMB (NeuroMatrix Memory Bank) - банк памяти объемом 16K×64, который может адресоваться до 32-х или 64-х разрядного слова.

Обмен данными с другими процессорными системами и блоком общей памяти осуществляется через шины MB1, MB2 (инициатором обмена является ядро NMC3 или блок PU) или по шине SB (инициатором обмена является процессорная система ARMU, другая процессорная система NMU или контроллер ПДП).

Наиболее эффективная работа ядра NMC3 достигается при работе с собственными банками памяти NMB3 – NMB0. Использование блока общей памяти и памяти другой процессорной системы NMU менее эффективно и самый медленный обмен имеет место с памятью процессорной системы ARMU и внешней памятью DDR.

#### V. ОРГАНИЗАЦИЯ РАБОТЫ СБИС ЦУПП(1879ХК1)

Загрузка СБИС после системного сброса осуществляется процессорной системой ARMU. При помощи внешних выводов производится выбор источника начальной загрузки (SPI, UART0, UART1, USB). Программа начальной загрузки, находящаяся в ПЗУ, считывает заголовки специального формата, в котором содержится служебная информация о количестве загружаемых слов. После этого происходит загрузка необходимого числа слов в память процессорной системы ARMU и передача управления загруженной программе.

Запуск процессорных ядер NMC3 происходит по первому выданному им прерыванию (для каждой системы NMU) процессорной системой ARMU. После этого ядро NMC3 начинает выборку команд из банка внутренней памяти NMB0 своей процессорной системы. Программа для ядра NMC3 должна быть загружена системой ARMU до подачи прерывания. Запуск может быть осуществлен как для обоих ядер NMC3 одновременно, так и по мере необходимости в вычислительных мощностях.

При одновременной работе всех процессорных систем синхронизация между ними может осуществляться через ячейки синхронизации в памяти или при помощи прерываний. От каждой процессорной системы к каждой предусмотрено по два независимых прерывания.

#### VI. ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ СБИС

- Количество АЦП 4.
- АЦП разрядность – 12 бит, частота дискретизации 81,92 МГц, обрабатываемые сигналы полосой до 40 МГц на каждое АЦП.
- Количество аппаратных каналов предварительной обработки сигналов(ПОС) 24.
- Диапазон частот цифрового смесителя 0 – 40,96 МГц.
- Шаг перестройки цифрового смесителя 0,6 Гц.
- Комплексный КИХ фильтр: число фильтров до 12, разрядность коэффициентов 8/16 бит, порядок фильтра 64 – 256, темп выдачи отсчетов 20,48 МГц.
- Количество квадраторов 12.
- DSP процессорное ядро NMC3 2 шт.

- RISC процессорное ядро ARM1176-JZF.
- Общий объем ОЗУ на кристалле 16 Мбит.
- Последовательные интерфейсы: 2 UART, SPI, USB2.0, 16 GPIO.
- Интерфейс с памятью DDR1 32бит до 166МГц.
- Напряжение питания внутренней цифровой схемы 1,2±0,1В.
- Напряжение питания внешних буферов 3,3 ±0,3В, 2,5 ±0,2.
- Напряжение питания аналоговых узлов 1,2В и 3,3В.
- Диапазон рабочих температур, °С: –40 ... +70.
- Частота системного синхросигнала 81,92 МГц.
- Внешние кварцевые генераторы 48 МГц, 32768 Гц.
- Потребляемая мощность (в зависимости от режима работы) 0,5 –2,0 Вт.
- Потребляемая мощность в режиме ожидания – не более 0,15 Вт.
- Технология изготовления КМОП 90нм.
- Площадь кристалла 70 мм<sup>2</sup>.
- Тип корпуса BGA484.
- Габариты корпуса 27,0мм x 27,0мм x 2,36мм.
- Количество выводов корпуса 484.

#### ЛИТЕРАТУРА

- [1] Rajagopal Sridhar, Rixner Scott, Cavallaro Joseph R. A programmable baseband processor design for software defined radios // IEEE Midwest Conference on Circuits and Systems. – 2002, August. – P. 413-416.
- [2] Glossner John, Iancu Daniel, Lu Jin, Hokenek Erdem, Moudgill Mayan. A software defined communications baseband design // IEEE Communication magazine. - 2003, January. – P. 120-128.
- [3] Мушкаев С.В. Реализация ранжирующих и медианных фильтров на процессоре NM6403 (Л1879ВМ1) // Цифровая обработка сигналов. - 2005. - № 1. – С. 52-56.
- [4] Мушкаев С.В., Ландышев С.В. Применение процессора Л1879ВМ1 для сжатия изображений // Цифровая обработка сигналов. – 2002. - № 1. – С. 12-18.
- [5] Кашкаров В.А., Мушкаев С.В. Организация параллельных вычислений в алгоритмах БПФ на процессоре NM6403 // Цифровая обработка сигналов. - 2001. - № 1. – С. 53-58.
- [6] Черников В.М., Виксне П.Е., Шелухин А.М., Шевченко П.А., Панфилов А.П., Косоруков Д.Е., Черников А.В. Семейство процессоров обработки сигналов с векторно-матричной архитектурой NeuroMatrix // Электронные компоненты. – 2006. - № 6. - С. 79-84.
- [7] Черников В.М., Виксне П.Е., Шелухин А.М., Панфилов А.П. Отечественные высокопроизводительные процессоры цифровой обработки сигналов векторно-матричной архитектуры, перспективы развития // Материалы конференции «Перспективы развития высокопроизводительных архитектур. История, современность и будущее отечественного компьютеростроения». Сборник научных трудов ИТМиВТ. - М.: ИТМиВТ им С.А.Лебедева РАН. – 2008. - Вып. №1. - С. 52-59.