

# Программируемый делитель частоты для высокоскоростных систем ФАПЧ

С.А. Быстрицкий, В.И. Клюкин, Е.Н. Бормонтов

Воронежский государственный университет, [hammerok88@rambler.ru](mailto:hammerok88@rambler.ru)

**Аннотация** — Представлен высокоскоростной делитель частоты, востребованный в высокочастотных интегральных схемах. Структура делителя ориентирована на применение в программируемых блоках фазовой автоподстройки частоты. Делитель выполнен в КМОП логике, базовыми ячейками являются динамические D-триггеры. Моделированием показано, что максимальная входная частота 9-разрядного делителя может превышать 1 ГГц.

**Ключевые слова** — делитель частоты, ФАПЧ, РСЛОС, динамическая логика.

## I. ВВЕДЕНИЕ

С повышением степени интеграции современных микросхем возникает потребность в реализации многоразрядных аппаратных блоков, способных обрабатывать большой поток входной информации на высокой тактовой частоте. Примерами таких блоков являются сумматоры и умножители. В частности, в системах фазовой автоподстройки частоты (ФАПЧ) требуются высокочастотные многоразрядные делители частоты, которые могут быть установлены на выходе высокочастотного генератора, управляемого напряжением (ГУН) (рис. 1) [1]. В работе представлена реализация такого делителя частоты на основе регистра сдвига с линейной обратной связью (РСЛОС, англ. Linear feedback shift register, LFSR) [2]; показано, что для 9-разрядного делителя, выполненного по КМОП технологии на транзисторах с длиной канала 180нм, можно достичь рабочих частот 1 ГГц и выше.

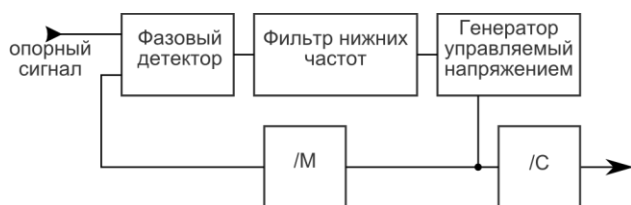


Рис. 1. Блок фазовой автоподстройки частоты

## II. СТРУКТУРА ДЕЛИТЕЛЯ

РСЛОС – это регистр сдвига, на вход первого D-триггера которого приходит значение функции ИСКЛЮЧАЮЩЕЕ ИЛИ от выходов определенных разрядов регистра

$$f = a_n x_n \oplus a_{n-1} x_{n-1} \oplus \dots \oplus a_1 x_1,$$

где  $x_1, \dots, x_n$  – значения на выходах триггеров регистра сдвига,  $a_{1..n} \in \{0,1\}$ . В результате последовательных переключений на выходе регистра сдвига разрядности  $n$  формируется псевдослучайная последовательность длиной не более чем  $2^n - 1$ . Полиномы для достижения последовательности максимальной длины представлены в [2], в частности, для  $n = 9$

$$f = x_9 \oplus x_5.$$

Построенный таким образом регистр сдвига может реализовывать 511 состояний (состояние 9'b0 является запретным), т.е. выполнять функции делителя частоты на  $2 \dots 512$ .

Система ФАПЧ, для работы в которой проектируется делитель, построена с проектной нормой КМОП 180нм и имеет ГУН, работающий в частотном диапазоне 500МГц – 1ГГц, в связи с чем делитель должен отвечать следующим требованиям:

- максимальная рабочая частота 1 ГГц;
- программируемый модуль деления;
- возможность изменения скважности;
- деление на нечетные числа с выходной скважностью 1:1.

Для реализации этих требований в базовую схему РСЛОС [2] был внесен ряд изменений: во-первых, когда выходы всех триггеров сдвигового регистра принимают значение «1» (состояние 9'b1), в D-триггеры загружается константа, определяющая модуль деления; во-вторых, для возможности деления на нечетные числа со скважностью 1:1 в выходной каскад делителя добавлен D-триггер, работающий по заднему фронту опорного сигнала. Полученная с учетом указанных дополнений структурная схема 9-разрядного делителя частоты приведена на рис. 2. Схемотехнические особенности реализации его составных частей рассмотрены ниже.

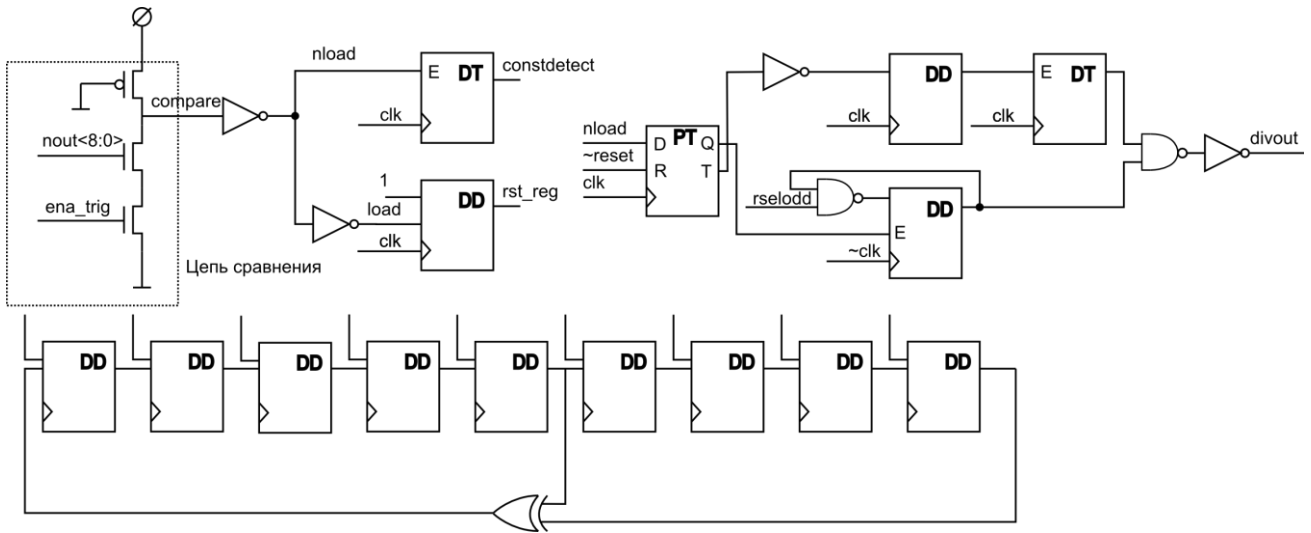


Рис. 2. Структурная схема предлагаемого делителя частоты

### III. ЯДРО ДЕЛИТЕЛЯ

В связи с тем, что минимальная частота работы делителя равна минимальной частоте работы ГУН и составляет сотни мегагерц, делитель можно построить на динамических D-триггерах [3], которые из-за простоты конструкции могут работать на более высоких частотах, чем обычные статические триггеры. Заметим, что использование подобных триггеров на низких частотах невозможно ввиду того, что уровни логических сигналов в нем хранятся на паразитных емкостях, которые со временем разряжаются.

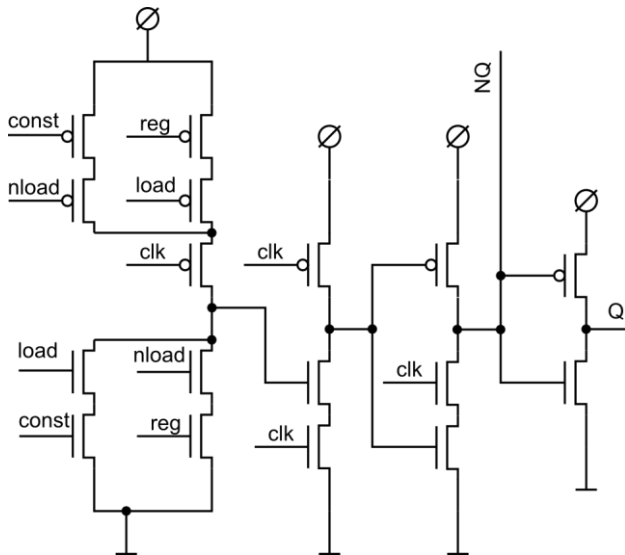


Рис. 3. Динамический триггер с мультиплексором на входе

Для реализации свойства программируемости на вход исходной схемы каждого D-триггера [3] помещен мультиплексор, осуществляющий выбор сигнала данных между выходом предыдущего триггера цепочки и константой, определяющей коэффициент

деления. Для уменьшения задержки по цепи данных [4] этот мультиплексор встроен в первый каскад динамического триггера (рис. 3). В случае  $load = 1$ , т.е. при выборе константы, у предложенного делителя существуют следующие режимы загрузки:

- выбор значений ширины нуля и ширины единицы выходного сигнала для управления его скважностью;
- загрузка начального значения делителя «shift» для установки сдвига фазы синтезируемого сигнала;
- подача выходных сигналов триггеров на их входы, что используется при необходимости каскадирования выходных делителей, когда частота тактовых импульсов может снижаться до величин, при которых динамические триггеры не смогут корректно функционировать. В этом случае все делители каскада работают на частоте ГУН, а выходной сигнал предыдущего делителя каскада подается на разрешающий вход последующего, имитируя его работу на низкой частоте.

Для минимизации суммарного времени, затрачиваемого на операции загрузки, выбор данных и управление внутренними мультиплексорами динамических триггеров осуществляются независимо друг от друга. «Load» и «nload» формируются в течение периода входного сигнала через цепь сравнения, показанную на рис. 2, которая формирует сигнал «1» (загрузка константы), если выходы всех триггеров находятся в состоянии «1» или если разрешающий сигнал «ena\_trig» находится в нуле. Скорость нарастания фронта «compare» при этом пропорционально зависит от ширины p-канального транзистора, которую, однако, нельзя сильно увеличивать из-за поднятия уровня логического нуля сигнала «compare», а также из-за возрастающего тока утечки при открытых p-канальных транзисторах. Данная схема сравнения была предложена вместо классической комплементарной схемы ввиду повышенного быстродействия. «Compare» начинает устанавливаться в «1» одновременно с установкой выхода триггера наименее значащего разряда, при

этом ширина n-канальных транзисторов может быть выбрана небольшой, что уменьшает нагрузку на кольцо триггеров LFSR.

«Compare» формирует буферизованные сигналы управления «nload» и «load». «Nload» расположен в цепи буферизации позже «load», но является более нагруженным, в результате чего сброс и установка этих сигналов осуществляются примерно за одно и то же время.

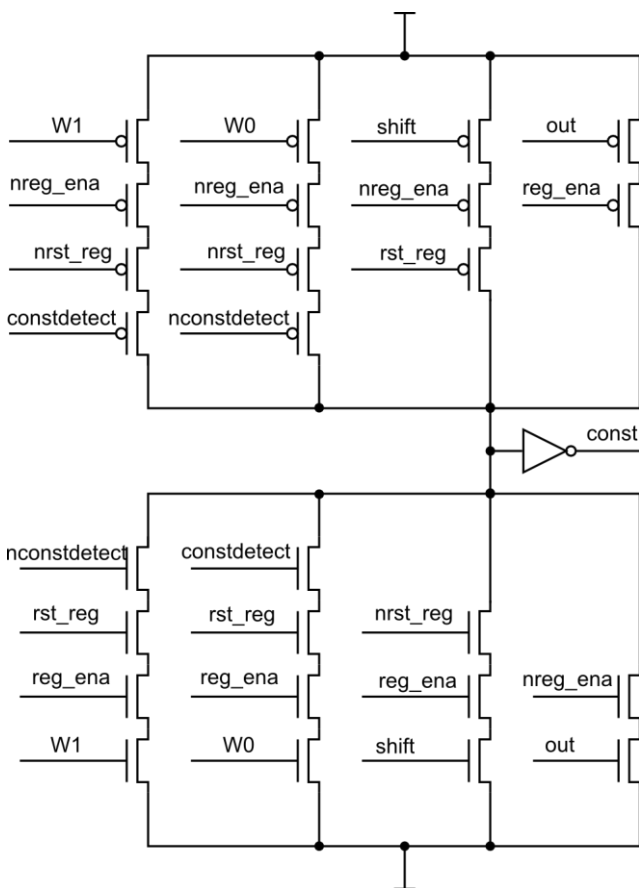


Рис. 4. Мультиплексор выбора константы, загружаемой в регистр сдвига

Загружаемая константа формируется с помощью мультипликсирования, показанного на рис. 4, максимальное время задержки разбивается на:

- формирование по тактовому сигналу «constdetect», определяющему, какая константа загружается в сдвиговый регистр – модуль деления единицы или модуль деления нуля;
- задержку прохождения мультиплексора;
- задержку на внутреннем мультиплексоре триггера.

При этом схема на рис. 4 обеспечивает минимальную задержку от смены сигнала «constdetect» до изменения значения константы.

Выбор константы между обычным режимом счета и режимом выставления сдвига фазы определяется параметром «rst\_reg». При первой загрузке константы

«rst\_reg» навсегда (или до следующего асинхронного сброса делителя) переходит в значение «1».

Разработанная конфигурация ядра делителя частоты отличается не только высокими частотными характеристиками благодаря использованию динамической логики и минимальной длины цепи обратной связи, но и относительно небольшой площадью и потребляемой мощностью.

#### IV. ВЫХОДНОЙ КАСКАД

Выходной каскад делителя отличается возможностью формирования сигнала со скажностью 1:1 при делении на нечетные числа. Реализуется это при помощи двух триггеров, работающих по переднему и заднему фронту, выходы которых смешиваются логическим умножением (рис. 2). В результате ширина единицы в выходном сигнале уменьшается на половину периода опорного тактового сигнала. Фрагмент схемы, реализующий этот функционал, должен работать на частоте, вдвое превышающей входную. Переброс с переднего фронта на задний осуществляется с помощью фазоинвертора (рис. 5), обозначенного RT на схеме рис. 2, и представляющего собой два последовательно включенных динамических триггера, но имеющего на два инвертирующих каскада меньше за счет отсутствия выходного усиливающего каскада у первого триггера и входного каскада у второго.

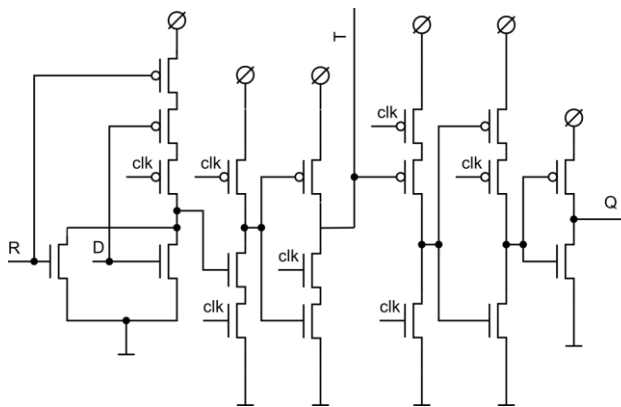


Рис. 5. Схема фазоинвертора

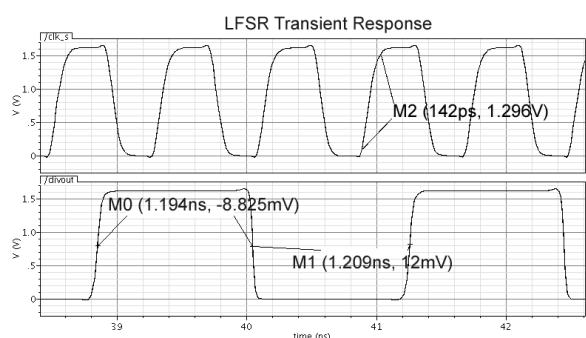
Фазоинвертор имеет два выхода: первый (T) – слабый инверсный выход D-триггера, который через усиливающий инвертор поступает на следующий буферизующий D-триггер (для формирования выхода, работающего по переднему фронту опорного импульса); второй (Q) – усиленный выход, переключающийся по заднему фронту опорного сигнала, который заводится на T-триггер, находящийся в «инверсном» канале, т.е. работающий по инверсному опорному тактовому сигналу. В случае, если в конфигурации делителя не установлен бит «tselodd», на его выходе всегда будет уровень логической единицы. На конце линии «прямого» канала также установлен счетный T-триггер, выход которого смешивается с «инверсным» каналом.

Выход в «инверсном» канале устанавливается на половину такта раньше, чем в «прямом» канале. Суммарная задержка относительно опорного тактового сигнала в «прямом» канале составляет 3 такта, поскольку:

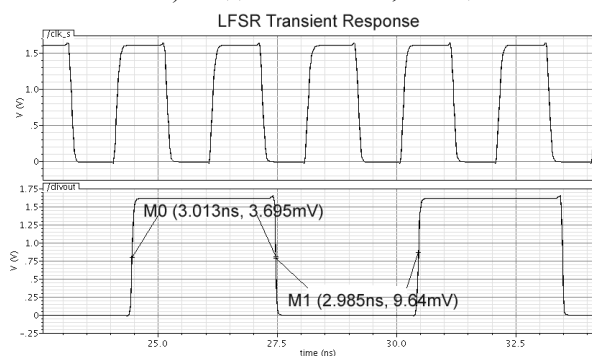
- выход  $\text{pload}$  сильно нагружен и может управлять только одним входом фазоинвертора;
- выход Т фазоинвертора является маломощным, поэтому не может напрямую служить разрешающим сигналом Т-триггера, имеющего большую входную ёмкость, и должен быть предварительно усилен (инвертор + D-триггер, рис. 2).

Включение в схему фазоинвертора позволяет реализовать деление на нечетные числа со скважностью 1:1, но снижает максимальную частоту работы схемы ориентировочно на 300-400 МГц.

## V. МОДЕЛИРОВАНИЕ РЕЖИМА ДЕЛЕНИЯ



а) входная частота 1,25ГГц



б) входная частота 500МГц

Рис. 6. Временные диаграммы входного и выходного сигнала при делении на 3 со скважностью 1:1

На рис.6 проиллюстрирована работа делителя частоты в режиме деления на нечетные числа со скважностью 1:1. Моделирование проводилось в симуляторе Cadence Spectre Simulator, условия моделирования: температура  $t = 125^{\circ}\text{C}$ , напряжение питания  $V_{dd} = 1.62\text{V}$ , т.е. наихудшие условия по ТЗ для КМОП логики. Частота входного тактового сигнала равна 1,25 ГГц (а) и 500 МГц (б), модуль деления  $M=3$ ; длительность фронта входного сигнала, измеренная по уровню 0.1 - 0.9, составила 142пс.

## VI. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ

Ввиду больших рабочих частот особый интерес представляет мощность, потребляемая делителем. В отличие от схем, использующих двухмодульный прескалер для предварительного деления частоты, в представленном счетчике абсолютно все компоненты работают на частоте ГУН. С одной стороны, это увеличивает потребляемую мощность, с другой стороны, не происходит разреживания сетки частот при использовании делителя в «дробном» режиме. Кроме того, потребление мощности значительно снижается благодаря применению динамической логики. В результате моделирования некоторых режимов деления при различных входных частотах получены значения потребляемой мощности делителя (рис. 7), которые не превышают мощности ГУН, генерирующего тактовый сигнал соответствующей частоты.

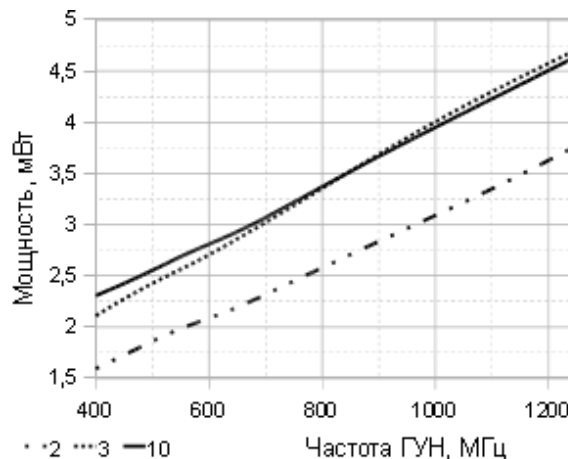


Рис. 7. Зависимость потребляемой мощности от рабочей частоты при делении на 2, 3, 10

## VII. ЗАКЛЮЧЕНИЕ

Предложенный комплекс структурных и схемотехнических решений при построении делителей частоты для ФАПЧ позволяет довести их рабочую частоту до величин порядка гигагерца без значительного увеличения занимаемой на кристалле площади и потребляемой мощности.

## ЛИТЕРАТУРА

- [1] Бормонтов Е.Н., Клюкин В.И., Быстрицкий С.А. Особенности проектирования высокочастотной ФАПЧ // Труды XVII Междунар. научн.-техн. конф. «Радиолокация, навигация, связь». Воронеж: ВГУ, 2011. Т. 1. С. 592-600.
- [2] Pseudo-Random Number Generation Routine for the MAX765x Microprocessor. URL: <http://www.maxim-ic.com/app-notes/index.mvp/id/1743/CMP/WP-9> (дата обращения: 19.09.2011).
- [3] Yuan J., Svensson C. High-Speed CMOS Circuit Technique // IEEE JSSC: 1989. Т. 24, № 1. С. 62-70.
- [4] Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы // Prentice Hall. 2007. 911 с.