

КМОП-делитель частоты на 2 с высокой стабильностью скважности выходного импульса

А.Б. Макаров

Институт проблем проектирования в микроэлектронике РАН, abmak@ippm.ru

Аннотация — Рассмотрены различные аспекты формирования импульсов со скважностью 50% на основе делителей частоты на 2 со структурой ведущий-ведомый. Показано, что достижение стабильной скважности возможно при обеспечении минимальной суммы и примерном равенстве нарастающего и спадающего фронтов выходного импульса. Представлена симметричная схема КМОП-делителя частоты, позволяющая обеспечить стабильность скважности выходного импульса на уровне 2% при частоте выходного сигнала 1500 МГц и всех разбросах технологического процесса и режимов работы.

Ключевые слова — КМОП, скважность, делитель частоты.

I. ВВЕДЕНИЕ

Основными тенденциями в области создания цифровых систем приема-передачи и обработки данных остаются следующие: понижение уровня питающего напряжения, увеличение быстродействия, снижение потребляемой мощности. В конкретных приложениях в дополнение к вышеизложенным тенденциям появляются и другие. В частности, в синхронных системах обработки цифровых данных одним из таких требований является стабильность скважности сигнала тактирования на уровне 50%. Здесь и далее под скважностью импульсного сигнала понимается отношение положительного полупериода импульса к его периоду. Задача достижения необходимой скважности решается с применением систем стабилизации скважности, среди которых есть сложные системы с обратной связью [1], а также относительно простые, на основе делителя частоты на 2. В работе [2] для стабилизации скважности выходного сигнала синтезатора частот с фазовой автоподстройкой частоты предложено использовать схему автоматической подстройки скважности. Ее применение для частот выходного сигнала 2...8 МГц позволило достичь девиации скважности не более 0,21% при изменении скважности входного сигнала в диапазоне 20%...80%. При этом отмечено отклонение скважности на 0,6% относительно уровня 50% за счет неидентичности парных элементов. Таким образом, максимальное отклонение скважности от 50% составило 0,81%. Для того, чтобы получить скважность на уровне 50% с точностью 0,6%, авторы работы [3] использовали более сложную цифровую систему подстройки скважности. Настоящая работа

посвящена исследованию делителя частоты на 2 со структурой ведущий-ведомый (master-slave) в качестве формирователя скважности на уровне 50%.

II. ДЕЛИТЕЛЬ ЧАСТОТЫ

Высокочастотные делители частоты (ДЧ) имеют два основных класса: статические и динамические. Все они в своем составе содержат триггеры. Статические ДЧ строятся на основе двух триггеров, а динамические используют конденсаторы в качестве элемента хранения, поэтому число одновременно работающих триггеров может быть сокращено до одного. В работе [4] исследованы различные варианты высокочастотных статических и динамических триггеров по таким параметрам, как максимальная частота и минимальная потребляемая мощность. Показано, что дифференциальные токовые триггеры, обладая минимальным логическим перепадом, позволяют достичь высоких рабочих частот при минимальной потребляемой мощности. В данной работе не рассматриваются динамические триггеры по той причине, что они не могут быть использованы в широком диапазоне частот из-за сбоев в работе на низких частотах [5].

A. Стабильность скважности

На рис. 1 представлена схема КМОП-буфера,

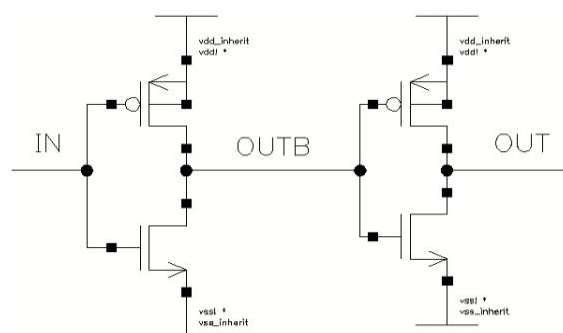


Рис. 1. КМОП-буфер

содержащего два последовательно соединенных инвертора. Каждый инвертор содержит pMOS и nMOS-транзисторы, соединенные с шиной питания и общей шиной, соответственно. Эти транзисторы формируют логический перепад, который характеризуется временами задержки распространения логических сигналов и фронтами нарастания и спада. На рис. 2. представлена временная

диаграмма распространения сигналов в предположении, что входной сигнал имеет идеальную прямоугольную форму, а выходной фронт нарастания короче фронта спада. Принятые предположения позволяют наглядно показать влияние различий характеристик транзисторов на изменение скажности сигнала при его прохождении от входа к выходу. Обозначения временных интервалов приведены на рисунке. После прохождения сигнала через первый

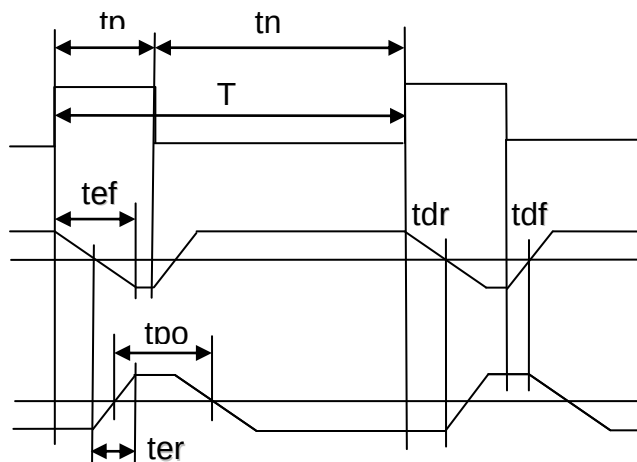


Рис. 2. Временная диаграмма сигналов буфера

инвертор исходная длительность импульса tp преобразуется в длительность импульса $tpo1$ в соответствии со следующим соотношением:

$$tpo1 = (tp + ter^{1/2} - tef^{1/2}) \quad (1)$$

Из приведенного соотношения (1) следует, что на выходе первого инвертора длительность импульса не изменится только в том случае, если времена фронтов нарастания и спада (ter и tef) будут попарно равны. Достижение такого равенства невозможно при изменении условий эксплуатации, а также из-за технологических разбросов, возникающих в процессе изготовления КМОП-структур. На выходе второго инвертора длительность импульса $tpo2$ определяется в соответствии со следующим соотношением:

$$tpo2 = (tpo1 + tdr2 - ter2/2) - (tdf2 + tef2/2) \quad (2)$$

Таким образом, кроме фронтов нарастания и спада на длительность положительного импульса также оказывают влияние времена задержек (tdf и tdr). Учитывая, что скажность импульса равна отношению длительности положительного полупериода $tpo2$ к периоду T , исходя из (1) и (2) можно заключить, что при прохождении сигнала через цепочку инвертеров скажность изменяется. При этом на изменение скажности оказывают влияние как величины задержек, так и величины фронтов нарастания и спада. Отметим, что уменьшение длительности фронтов по сравнению с длительностью положительного импульса приведет к уменьшению их влияния на скажность.

В. Технологические разбросы

Рассмотрим влияние технологических разбросов параметров МОП-транзисторов на скажность выходного сигнала буфера. Нагрузкой каждого инвертора в буфере является входная емкость следующего инвертора. Эта емкость носит сложный характер, но в основном определяется затворными цепями МОП-транзисторов. Она также изменяется под влиянием технологических разбросов, но в меньшей степени в сравнении с токами стоков МОП-транзисторов. Это связано с тем, что на токи стоков оказывают влияние не только такие режимные параметры, как напряжение питания Vdd и температура окружающей среды, но и конструктивно-технологические параметры МОП-транзисторов. В первом приближении ток стока МОП-транзистора в области насыщения вычисляется как [6]:

$$Id = \frac{(Vgs - Vt)^2}{2} \times B0, \quad (3)$$

где:

Id – ток стока,

Vgs – напряжение затвор-исток,

Vt – пороговое напряжение,

$B0$ – удельная крутизна.

$$B0 = \frac{(\mu \times Cox \times W)}{(L)}, \quad (4)$$

где:

μ – подвижность носителей тока в канале,

W – ширина канала,

Cox – удельная емкость подзатворного диэлектрика,

L – длина канала.

Технологические разбросы определяются изменениями следующих параметров: L , W , μ , Cox и Vt . Влияние разброса ширины и длины канала может быть минимизировано за счет выбора их величин больше минимальной. При этом необходимо учитывать, что увеличение длины канала приводит к увеличению емкости затворной цепи и уменьшению тока стока одновременно, ограничивая динамические возможности МОП-транзистора. В работе [7] показано, что времена задержки и фронты нарастания и спада в первом приближении пропорциональны постоянной времени τ , которая записывается следующим образом:

$$\tau = k \times \frac{(Cload \times Vdsat)}{(Idsat)}, \quad (5)$$

где:

$Cload$ – емкость нагрузки инвертора,

$Vdsat$ – напряжение насыщения МОП-транзистора,

$Idsat$ – ток насыщения МОП-транзистора,

k – коэффициент, характерный для времени задержки и фронта нарастания или спада, а также зависящий от режима измерения этих параметров.

Для качественного анализа коэффициент k можно принять равным 1 и далее не включать его в расчеты. Комбинируя соотношения (3)-(5) и учитывая, что $Vgs = Vdd$ получим:

$$\tau = \frac{2 \times L}{(\mu \times C_{ox} \times W) \times (V_{dd} - V_t)} \quad (6)$$

Для логического перехода из низкого уровня в высокий все входящие в соотношение (6) параметры должны соответствовать рМОП-транзистору, а для перехода из высокого уровня в низкий – пМОП-транзистору соответственно. Такие параметры, как μ, C_{ox}, V_t , являются чисто технологическими и подвержены технологическому разбросу. Параметры W, L являются конструктивно-технологическими параметрами. Они также изменяются в процессе изготовления, но это влияние уменьшается с их увеличением, поэтому они могут быть использованы для оптимизации схемы. Оба параметра имеют технологические ограничения снизу, но могут быть увеличены до некоторого разумного предела. Параметр V_{dd} является режимным, отражающим характер изменения временных характеристик при изменении напряжения питания. При снижении напряжения питания до уровня, близкого к пороговому напряжению МОП-транзисторов, динамические характеристики КМОП-инвертора катастрофически ухудшаются. Таким образом, при разработке схемы, имеющей высокую точность по скважности, необходимо учитывать следующие общие рекомендации:

A1 - напряжение питания должно значительно превышать пороговые напряжения используемых МОП-транзисторов,

A2 - длины каналов МОП-транзисторов не должны быть минимальными и должны выбираться достаточными для обеспечения требуемых рабочих частот,

A3 - ширины каналов МОП-транзисторов необходимо выбирать такими, чтобы обеспечить минимальные времена задержек и фронтов импульсов,

A4 - обеспечить примерное равенство времен задержек и фронтов формирования логических уровней.

Обеспечить полное равенство фронтов и времен задержек во всем диапазоне напряжений питания и температур не представляется возможным. Это связано с тем, что технологические изменения таких параметров как L, W, μ , и V_t для пМОП- и рМОП-транзисторов носят некоррелированный характер.

С. Выбор схемы триггера

Дифференциальные триггеры, обладая симметрией, позволяют удовлетворить рекомендации A4 и обеспечить примерное равенство фронтов и задержек, однако уменьшение логического перепада за счет использования резисторов и источников тока приводит к возникновению существенных различий фронтов нарастания и спада. Пример такой схемы ДЧ приведен на рис. 3. В этой схеме нижние транзисторы, затворы которых подключены к источнику опорного напряжения, являются формирователями тока. Этот ток, протекая через резисторы, формирует логический перепад. При этом эквивалентные емкости выходных узлов, подключенные к резисторам и дифференциальным транзисторам, разряжаются источником тока, а заряжаются через резисторы.

Таким образом, характер процессов перезарядки выходных емкостей носит различный временной характер – экспонента для зарядки при линейной разрядке. Выполнить рекомендацию A4 в таких условиях практически невозможно. В работе [4] приведен ряд схем дифференциальных триггеров, оптимальных по быстродействию и потребляемой мощности. Статические триггеры показаны на рис.4.

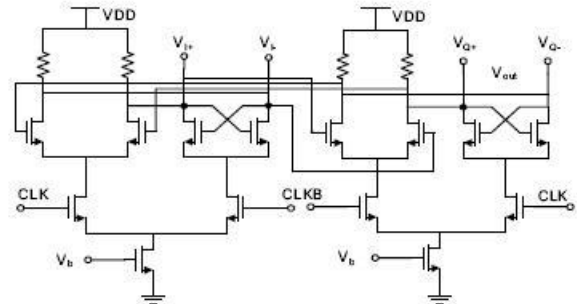


Рис. 3. Схема дифференциального ДЧ с уменьшенным логическим перепадом

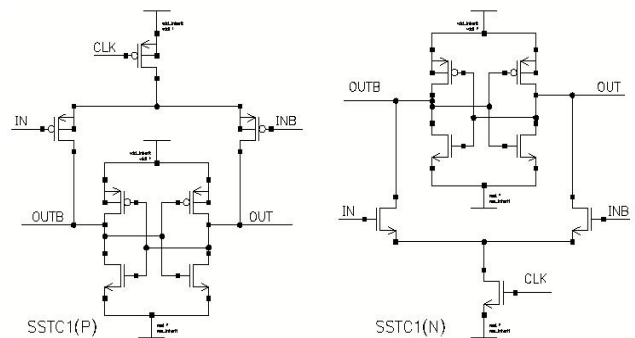


Рис. 4. Схемы дифференциальных триггеров

Основой всех триггеров является элемент памяти, состоящий из двух инверторов с перекрестными обратными связями. Отличительной особенностью каждого триггера является схема управления переключением элемента памяти. Например, в варианте SSTC1(N) схема управления выполнена на основе пМОП-транзисторов, при этом один транзистор управляется тактовым сигналом ϕ , а два других – дифференциальным сигналом In . Для переключения элемента памяти эквивалентная крутизна последовательно соединенных пМОП-транзисторов управления должна быть больше крутизны рМОП-транзистора элемента памяти. Последнее означает, что фронты переключения будут значительно отличаться и не могут быть выровнены так, как это рекомендовано в A4. В варианте SSTC1(P) ситуация аналогична, но относится к рМОП-транзисторам схемы управления и пМОП-транзистору элемента памяти. Комбинируя оба варианта триггеров, можно получить схему триггера и ДЧ на его основе, которая удовлетворяет рекомендациям A1-A4. Схема ДЧ (см. рис. 5) имеет структуру ведущий-ведомый и содержит два одинаковых триггера. Каждый триггер имеет элемент памяти и симметричную дифференциальную

комплементарную схему управления. Рассмотрим работу триггера на примере верхнего, в котором затвор пМОП-транзистора подключен к шине тактирования CLK_N, а затвор рМОП-транзистора тактирования - к шине CLK_P. Дифференциальная шина данных QB1, Q1 подключена к затворам МОП-транзисторов дифференциальной схемы управления. В режиме

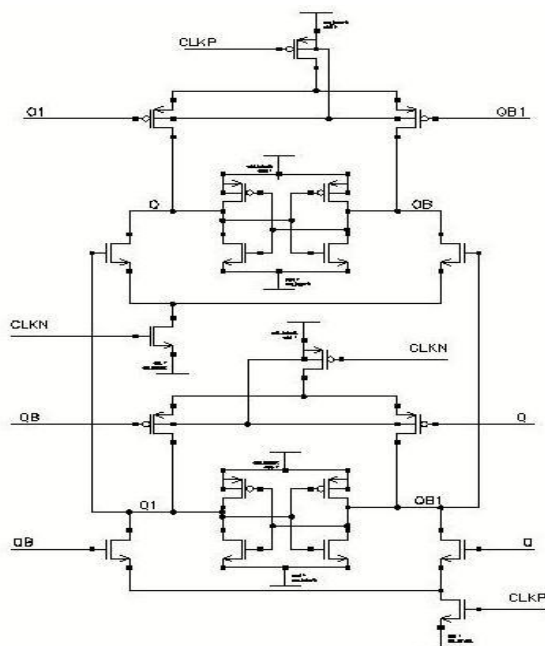


Рис. 5. Схема дифференциального симметричного ДЧ

переключения сигнал CLK_N имеет высокий уровень, а сигнал CLK_P – низкий, одно из плеч элемента памяти через открытые пМОП-транзисторы подключается к общей шине, а противоположное плечо – к шине питания. При одинаковой крутизне п- и рМОП-транзисторов схемы управления обеспечиваются примерно равные фронты переключения. Результаты моделирования ДЧ на 2, разработанного для КМОП-технологии с проектной нормой 0,18 мкм, представлены в табл.1, в которой приняты следующие обозначения:

All3 - все разбросы техпроцесса и режимов работы при V_{dd}=3,3В +/-10%,

All2 - все разбросы техпроцесса и режимов работы при V_{dd}=2,5В +/-10%.

ДЧ разрабатывался для диапазона напряжения питания VCC=3,3В +/-10% и был исследован при напряжении питания VCC=2,5В +/-10% без оптимизации. Использованы следующие типовые параметры МОП-транзисторов схемы управления:

пМОП – W = 2,5 мкм, L = 0,34 мкм,

рМОП – W = 2,5 мкм, L = 0,30 мкм.

Моделирование проводилось в среде Spectre. Установлено, что для частоты выходного сигнала F_{out} = 200МГц (400МГц входного сигнала) относительный уход скважности при всех режимных и технологических разбросах не превышает 1,36% и возрастает до 2,12% при частоте выходного сигнала 1500МГц. Снижение напряжения питания с 2,97В до

2,25В приводит к нарушению симметрии схемы управления и увеличению относительного отклонения скважности более чем в два раза.

Таблица 1

Результаты моделирования ДЧ

№	Условия моделирования	Скважность, %	Относит. откл., %
1	All3, 100МГц	50,39 - 49,63	0,78
2	All3, 200МГц	50,68 - 49,33	1,36
3	All3, 500МГц	50,98 - 49,11	1,96
4	All3, 1500МГц	50,36 / -48,94	2,12
5	All2, 100МГц	50,63 / -49,83	1,26
6	All2, 200МГц	50,89 - 49,99	1,78
7	All2, 500МГц	52,27 – 49,37	4,54

III. ЗАКЛЮЧЕНИЕ

Исследовано применение дифференциального симметричного делителя частоты в качестве формирователя выходного сигнала со скважностью на уровне 50% с точностью около 2% при частоте сигнала 1,5 ГГц. Для сигналов с частотой 100 МГц точность задания скважности не превышает 0,8%. Показано, что для достижения стабильной скважности необходимо обеспечить минимальную сумму при примерном равенстве нарастающего и спадающего фронтов импульса. При снижении напряжения питания с 2,97 В до 2,25 В в делителе частоты нарушается симметрия фронтов, что вызывает увеличение отклонения скважности от уровня 50% более чем в два раза. Значительное повышение стабильности скважности (1% и менее) можно достичь за счет использования схем с автоматической подстройки скважности.

ЛИТЕРАТУРА

- [1] Agarwal K., Montoye R.A Duty-Cycle Correction Circuit for High-Frequency Clock // Symposium on VLSI Circuits Digest of Technical Papers. 2006. P. 106–107.
- [2] Toru O., Kenji T. A 50% Duty-Cycle Correction Circuit for PLL Output // Electronics and Communications in Japan. 2002. V. J85-C. № 7. P. 557–563.
- [3] Ha J.C., Lim J.H., Kim Y.J., Jung W.Y., Wee J.K. Unified all-digital duty-cycle and phase correction circuit for QDR I/O interface // IEEE Electronics Letters. 2008. V. 44. № 22.
- [4] Yuan J., Svensson C. New Single-Clock CMOS Latches and Flip-Flops with Improved Speed and Power Savings // IEEE Journal of Solid-State Circuits. 1997. V. 32. № 10. P. 1610–1611.
- [5] Blair G. M. Comments on New Single-Clock CMOS Latches and Flip-Flops with Improved Speed and Power Savings // IEEE Journal of Solid-State Circuits. 1997. V. 32. № 1. P. 62–69.
- [6] Зи С. Физика полупроводниковых приборов 2 / Под ред. Р.А. Суриса. М.: «Мир», 1984. С. 8–29.
- [7] Sakurai T., Newton A.R. Alpha-Power Law MOSFET Model and its Application to CMOS Inverter Delay and Other Formulas // IEEE Journal of Solid-State Circuits. 1997. V. 25. № 2. P. 584–594.