

# Разработка функциональной модели ППВМ по технологии single-driver с использованием среды Xilinx ISE

А.В. Строгонов, М.С. Мотылёв

Воронежский государственный технический университет, polikort@rambler.ru

**Аннотация** — В статье рассматривается проектирование ПЛИС типа ППВМ с использованием технологии соединений трассировочных ресурсов single-driver в САПР Xilinx ISE с привлечением системы визуально-имитационного моделирования MathLab/Simulink.

**Ключевые слова** — программируемые пользователем вентильные матрицы; одноуровневая структура межсоединений; маршрутизатор трассировочных ресурсов; соединительные блоки.

## I. ВВЕДЕНИЕ

В настоящее время промышленные ПЛИС типа программируемые пользователем вентильные матрицы (ППВМ) таких серий, как Stratix фирмы Altera и Virtex фирмы Xilinx имеют сегментируемую трассировочную структуру с использованием однонаправленных межсоединений (unidirectional). В архитектуре ПЛИС семейства Stratix фирмы Altera соединения между кластерами, TriMatrix памятью, DSP-блоками и элементами ввода/вывода (ЭВВ) осуществляются с помощью сети многоканальных межсоединений MultiTrack™ с использованием технологии DirectDrive™.

Детерминированная технология маршрутизации DirectDrive гарантирует идентичные соединительные ресурсы для любой реализуемой булевой функции, независимо от её межсоединений и месторасположения на кристалле ПЛИС, что обеспечивается использованием однонаправленных мультиплексорных структур типа single-driver. Каждая связь в пределах канала управляется единственным источником сигнала и впоследствии может быть выбрана мультиплексором. Использование технологии single-driver в трассировочных ресурсах ПЛИС позволяет получать существенный выигрыш как по быстродействию, так и по площади кристалла [1]-[4].

Среда визуально-имитационного моделирования Matlab/Simulink демонстрирует большие возможности для системного уровня проектирования БИС, в том числе и ПЛИС. Обращаясь к более высоким уровням абстракции и передавая реализацию мелких деталей проекта автоматизированному процессу проектирования, проще и быстрее разрабатывать модели сложно-функциональных устройств с использованием уровня регистровых передач (RTL).

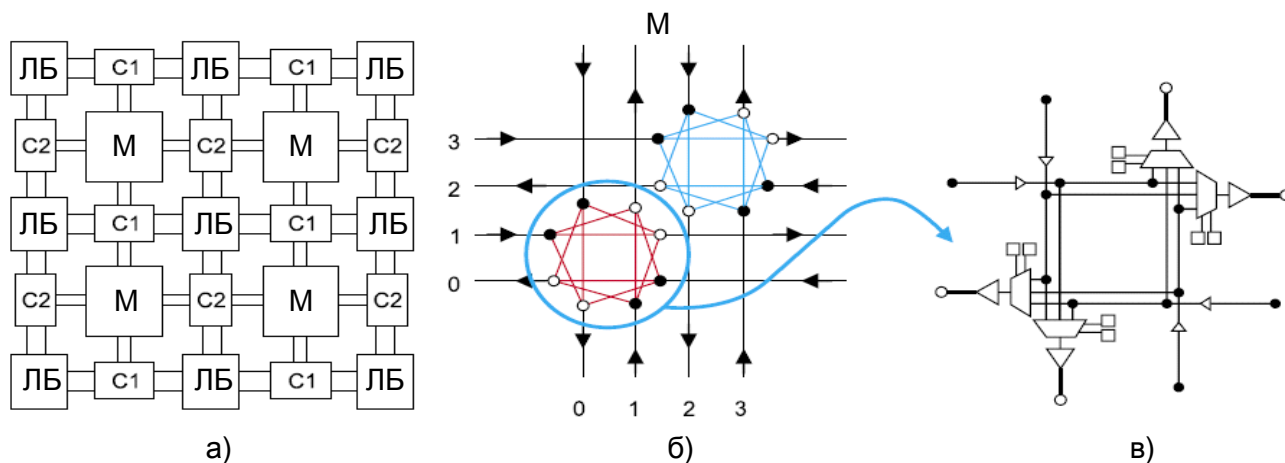


Рис. 1. а) основные функциональные блоки ПЛИС с одноуровневой структурой межсоединений; б) коммутация двух пар разнонаправленных межсоединений в горизонтальном и вертикальном направлениях; в) принцип коммутации разнонаправленных межсоединений с использованием мультиплексоров

Целью работы является использование встроенного генератора кода языка описания аппаратных средств (Simulink HDL Coder) для разработки основных функциональных блоков ПЛИС на системном уровне проектирования. Полученный код используется для разработки функциональной модели в среде Xilinx ISE с применением технологии single-driver в трассировочных ресурсах ППВМ с одноуровневой структурой межсоединений.

## II. АРХИТЕКТУРА РАЗРАБАТЫВАЕМОЙ ППВМ

На рис. 1 показаны основные функциональные блоки ПЛИС — логический блок (ЛБ), два соединительных блока C1 и C2, маршрутизатор (M). Соединительные блоки подключают входы/выходы логического блока к горизонтальному и вертикальному трассировочному каналу. Маршрутизатор осуществляет коммутацию сигналов в трассировочных каналах [5]. В системе визуально-имитационного моделирования Matlab/Simulink были реализованы функциональные блоки ПЛИС в формате с фиксированной запятой (точкой) с использованием fi-объектов и языка M-файлов.

Массив ПЛИС разбивается на «плитки». «Плитка» – минимальная структурная единица. В плитку включают ЛБ, два соединительных блока, маршрутизатор (рис.2).

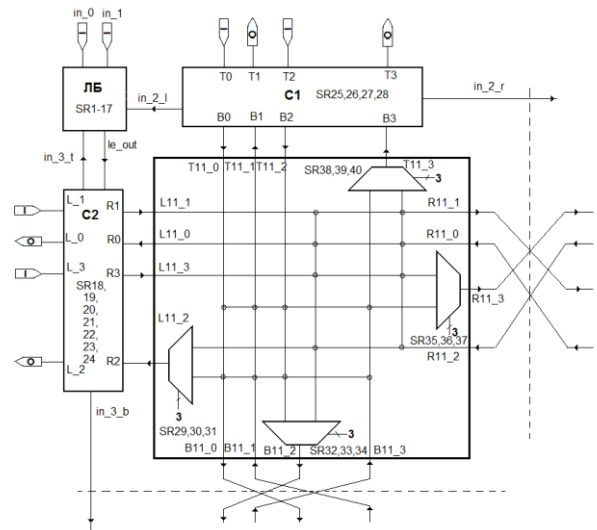


Рис. 2. Плитка ПЛИС типа ППВМ с одноуровневой структурой межсоединений

На рис. 3 показан принцип коммутации межсоединений в разрабатываемой модели. L2-маршрутизатор обеспечивает длину сегмента межсоединения в два ЛБ. По четырем сторонам маршрутизатора располагаются многоходовые мультиплексоры, в которых сегментируется только лишь одна из двух пар разнонаправленных межсоединений в горизонтальных и вертикальных

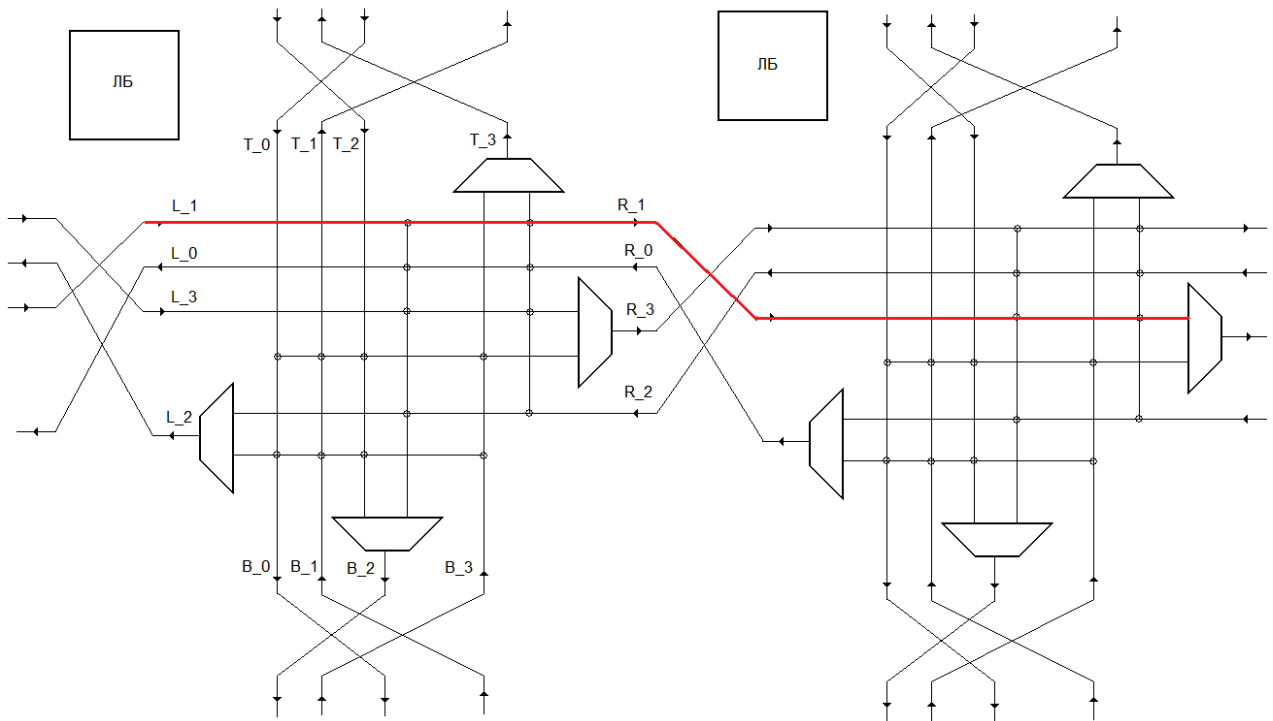


Рис. 3. L2-маршрутизатор. Коммутирует две пары разнонаправленных межсоединений в горизонтальном и вертикальном направлениях, обеспечивая длину сегмента в два логических блока (длинная линия L=2)

направлениях. Несегментируемая пара разнонаправленных межсоединений переключается “косичкой” с сегментируемой парой за пределами плитки (рис. 3). На рис. 4 показан верхний уровень иерархии. Для конфигурирования плитки необходимо 40 бит памяти. Конфигурационная карта памяти одной плитки ПЛИС показана в табл. 1. Описание блока Crossbar на языке М-файлов демонстрирует пример 1. Блок Crossbar выполняет функцию демультиплексора, выходы которого объединяются с межсоединениями трассировочного канала. На выходах демультиплексора предварительно устанавливаются нули. Сигнал En=1 разрешает подключение выхода логического блока к трассировочному каналу. Пример 2 демонстрирует фрагмент автоматически сгенерированного кода на языке VHDL блока Crossbar, полученного с помощью Simulink HDL Coder.

Пример 1. М-файл блока Crossbar, входящего в состав соединительного блока C2:

```
function [out1, out2, out3, out4] = crossbar(sel, in, en,
L_1, R_0, L_3, R_2)
hdl_fm = fimath(...
'RoundMode', 'floor',...
```

```
'OverflowMode', 'wrap',...
'ProductMode', 'FullPrecision', 'ProductWordLength', 32...
'SumMode', 'FullPrecision', 'SumWordLength', 32,...
'CastBeforeSum', true);
out1_de = fi(0, 0, 1, 0, hdl_fm);
out2_de = fi(0, 0, 1, 0, hdl_fm);
```

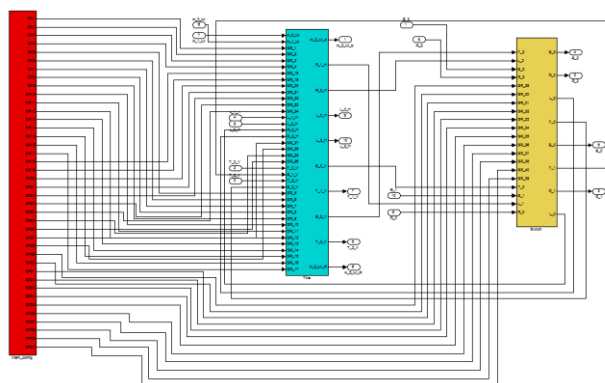


Рис. 4. Модель одной плитки ППВМ. Конфигурационная память, ЛБ с соединительными блоками, маршрутизатор

Таблица 1

Конфигурационная карта памяти одной плитки ПЛИС

Функциональный блок	Конфигурационные биты (ячейки памяти)	Примечание (MC -межсоединение)
<b>Логический блок</b>		
LUT-таблица	SR1-SR4; SR5-SR8; SR9-SR12; SR13-SR16	In_0, In_1, In_2_t, In_3_t
Выходной мультиплексор 2 в 1	SR17	SR17=1 – регистровый выход SR17=0 – комбинаторный выход
<b>Соединительный блок C2</b>		
Crossbar (подключает выход ЛБ и MC L_1, R_0, L_3, R_2 к трассировочному каналу или ко входам In_3_lut_t, In_3_lut_b ЛБ)		
Демультиплексор 1 в 4 (SR_demux)	SR18-19	Выход ЛБ подключается к одному из MC R_1, L_0, R_3, L_2
SR_En_demux	SR20	Разрешение подключения выхода ЛБ к одному из MC R_1, L_0, R_3, L_2
<b>Мультиплексоры</b>		
Мультиплексор 4 в 1 (верхний)	SR21-22 (SR_mux_t)	Подключает одно из MC L_1, R_0, L_3, R_2 ко входу In_3_t ЛБ
Мультиплексор 4 в 1 (нижний)	SR23-24 (SR_mux_b)	Подключает одно из MC L_1, R_0, L_3, R_2 ко входу In_3_b ЛБ
<b>Маршрутизатор M</b>		
Мультиплексор 5 в 1 (левый)	SR 29,30,31	Подключает одно из MC R_2, B_0, B_1, T_2, B_3 к MC L_2
Мультиплексор 5 в 1 (нижний)	SR 32,33,34	Подключает одно из MC T_2, L_1, L_0, L_3 к MC B_2
Мультиплексор 5 в 1 (правый)	SR 35,36,37	Подключает одно из MC L_3, B_0, B_1, T_2, B_3 к MC R_3
Мультиплексор 5 в 1 (верхний)	SR 38,39,40	Подключает одно из MC B_3, L_1, L_0, L_3, R_2 к MC T_3
<b>Соединительный блок C1</b>		
Мультиплексор 4 в 1 (левый)	SR25-26	Подключает одно из MC T_0, B_1, T_2, B_3 ко входу in_2_lut_L
Мультиплексор 4 в 1 (правый)	SR27-28	Подключает одно из MC T_0, B_1, T_2, B_3 ко входу in_2_lut_R

```

out3_de = fi(0, 0, 1, 0, hdl_fm);
out4_de = fi(0, 0, 1, 0, hdl_fm);
if (logical(en))
switch (uint8(sel))
    case 0, out1_de = fi(in, 0, 1, 0, hdl_fm);
    case 1, out2_de = fi(in, 0, 1, 0, hdl_fm);
    case 2, out3_de = fi(in, 0, 1, 0, hdl_fm);
    case 3, out4_de = fi(in, 0, 1, 0, hdl_fm);
end
end

out1 = fi(bitor(out1_de,L_1), 0, 1, 0, hdl_fm);
out2 = fi(bitor(out2_de,R_0), 0, 1, 0, hdl_fm);
out3 = fi(bitor(out3_de,L_3), 0, 1, 0, hdl_fm);
out4 = fi(bitor(out4_de,R_2), 0, 1, 0, hdl_fm);
end

```

Пример 2. Фрагмент кода языка VHDL блока Crossbar, входящего в состав соединительного блока C2

```

demux : PROCESS (.....)
BEGIN
out1_de:= '0'; out2_de:= '0'; out3_de:= '0';out4_de:= '0';
IF en /= '0' THEN
CASE sel IS
WHEN "00" => out1_de := in_rsvd;
WHEN "01" => out2_de := in_rsvd;
WHEN "10" => out3_de := in_rsvd;
WHEN "11" => out4_de := in_rsvd;
WHEN OTHERS => NULL;
END CASE; END IF;
c_uint := out1_de OR L_1; out1 <= c_uint;
b_c_uint := out2_de OR R_0; out2 <= b_c_uint;
c_c_uint := out3_de OR L_3; out3 <= c_c_uint;
d_c_uint := out4_de OR R_2; out4 <= d_c_uint;
END PROCESS demux;

```

На рисунке 5 изображены две из шестнадцати плиток проектируемой ПЛИС с элементами

ввода-вывода. Межсоединения между плитками реализованы в соответствии с рис. 3. Программно-аппаратная верификация разработанной архитектуры проводилась на кристалле XC3S700AN.

### III. ЗАКЛЮЧЕНИЕ

Продемонстрирована возможность использования сгенерированного приложением Simulink HDL Coder системы MATLAB/Simulink кода на языке VHDL для разработки функциональной модели ПЛИС с одноуровневой структурой межсоединений и маршрутизаторами типа L2 в среде Xilinx ISE.

### ЛИТЕРАТУРА

- [1] Строгонов А., Мотылев М., Давыдов С., Быстрицкий А. ПЛИС типа ППВМ с одноуровневой структурой межсоединений // Компоненты и технологии. 2011. № 1. С. 14-19.
- [2] Строгонов А., Мотылев М., Давыдов С., Быстрицкий А., Цыбин С. ПЛИС в ПЛИС или как спроектировать самому // Компоненты и технологии. 2011. № 4. С.68-73.
- [3] Строгонов А., Мотылев М., Давыдов С., Быстрицкий А., Цыбин С. Проектирование академических ПЛИС типа ППВМ с одноуровневой структурой межсоединений // Компоненты и технологии. 2011. № 6. С.64-69.
- [4] Строгонов А., Мотылев М., Давыдов С., Быстрицкий А., Цыбин С. Разработка модели ПЛИС типа ППВМ с одноуровневой структурой межсоединений в системе визуально-имитационного моделирования MATLAB/Simulink // Компоненты и технологии. 2011. № 11. С. 6-11.
- [5] J. Luu, I. Kuon, P. Jamieson, T. Campbell, A. Ye, W.M. Fang, J. Rose. VPR 5.0: FPGA CAD and architecture exploration tools with single-driver routing, heterogeneity and process scaling // FPGA, 2009. February 22-24, 2008. Monterey, California, USA. P. 133-142.

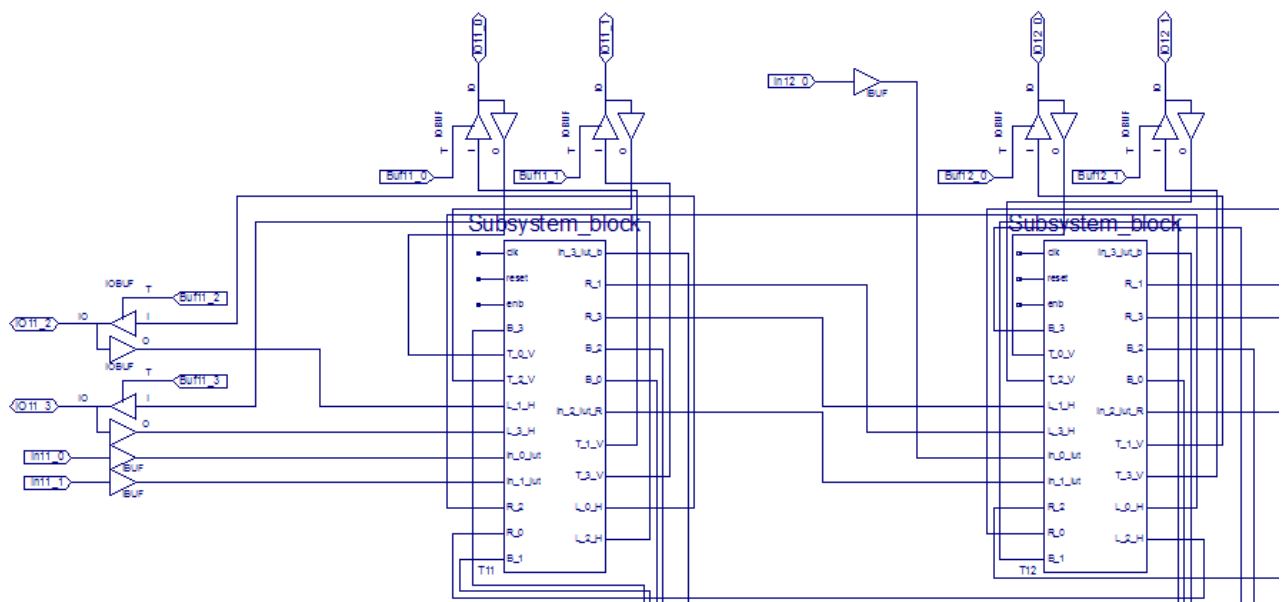


Рис. 5. Фрагмент матрицы ПЛИС с элементами ввода-вывода в RTL/Tech Viewer Xilinx ISE