

Интервальный статический временной анализ КМОП-схем с учетом логических корреляций

С.В. Гаврилов¹, О.Н. Гудкова², В.Н. Северцев¹

¹ Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН),

sergey.v.gavrilov@ippm.ru

² Synopsys, Inc.

Аннотация — Для уровня проектных норм 45-32нм проектирование СБИС требует фундаментальных изменений как в методологии, так и в средствах САПР. Данная статья посвящена разработке нового метода анализа быстродействия сложно-функциональных блоков (СФ-блоков) на основе интервального моделирования с учетом логических корреляций. Выбор интервального подхода обусловлен существенным возрастанием удельного веса вариаций параметров нанометровых элементов в расчете быстродействия.

Ключевые слова — сложно-функциональный блок (СФ-блок), логико-временной анализ, SP-граф, статический временной анализ.

I. ВВЕДЕНИЕ

Среди известных методов анализа быстродействия интегральных схем можно выделить два противоположных подхода к оценке задержек распространения сигналов. Нижнюю и наиболее точную оценку дают методы электрического или логико-электрического моделирования для заданных входных последовательностей. Однако эти методы не могут обеспечить полноту и надежность проектирования для схем с большим числом внешних входов из-за большой размерности задачи. Полноту могут обеспечить специализированные методы логического уровня, ориентированные на анализ верхней возможной оценки той или иной характеристики схемы. Среди систем, основанных на таком подходе, наибольшее распространение в реальных маршрутах проектирования получили подсистемы статического временного анализа (СВА) для верхней оценки задержек на основе поиска критических путей (PrimeTime фирмы Synopsys и STE Encounter фирмы Cadence). Специализированные методы статического временного анализа, ориентированные на поиск верхней оценки, обеспечивают полноту и надежность анализа быстродействия, однако не гарантируют достоверности результата. Их результаты часто являются излишне пессимистичными, поскольку не учитывается логика работы схемы, и, как следствие,

результат не может быть воспроизведен достоверно ни при одном наборе входных воздействий.

Данная статья посвящена разработке методики анализа быстродействия СФ-блоков на основе интервального моделирования. Предлагаемая методика представляет собой попытку совместить два противоположных подхода к решению задачи анализа быстродействия, а именно, анализ критических путей и моделирование тестовых последовательностей. Предлагается анализ логически совместимых путей, сочетающий в себе высокую скорость алгоритма анализа критических путей с высокой точностью на основе моделирования тестовых последовательностей. Выбор интервального подхода обусловлен существенным возрастанием удельного веса вариаций параметров нанометровых элементов в расчете быстродействия. Как следствие, задержки и фронты элементов следует рассматривать не как числа, а как интервалы возможных значений.

II. ПРООБРАЗЫ ПРЕДЛАГАЕМОГО ПОДХОДА

Классический интервальный анализ – это раздел математики, предметом которого является исследование и решение задач с интервальными неопределенностями или неоднозначностями применительно к интервалам вещественной оси [1]. Понятия интервала, интервальных оценок достаточно широко используются в различных теоретических и прикладных исследованиях при решении самых разных задач, когда имеет место неопределенность (или неоднозначность) в постановке задачи или в методах ее решения [1-5]. К числу таких задач следует отнести и задачи, связанные с анализом быстродействия нанометровых интегральных схем с нечетко определенными значениями параметров.

Многие работы, связанные с анализом быстродействия интегральных схем на логическом уровне [2-3], оперируют понятиями “интервал”, “интервальные оценки”, “интервальный статический временной анализ” применительно к вещественным числам, хотя и не используют всего разнообразия

методов классического интервального анализа. С формальной точки зрения это не противоречит требованиям классического интервального анализа, фактически же из классического интервального анализа часто используется только одна операция сложения интервалов задержек.

Другой класс публикаций по анализу систем на логическом уровне [4-5] также оперирует понятием “интервал”, но уже применительно не к вещественной оси, а к булевым значениям, булевым векторам и булевым функциям. Такой подход по формальным признакам выходит за рамки классического интервального анализа. Правомерность использования понятия “интервал” применительно к булевым переменным, булевым векторам и к булевым функциям требует отдельного комментария. Из теории булевой алгебры известно [6], что отношение импликации $(x \Rightarrow y) \equiv ((x \& \bar{y}) = 0)$ удовлетворяет всем требованиям отношения частичного порядка, а именно, рефлексивности, антисимметричности и транзитивности. Причем это имеет место и для многозначной булевой алгебры с числом элементов, отличным от 2-х, а в случае традиционной двузначной алгебры логики соответствует естественному порядку $(0 \leq 1)$. Этот факт позволяет использовать отношение в форме неравенства $(x \leq y) \equiv ((x \& \bar{y}) = 0)$ и делает осмысленным использование интервалов применительно к булевым переменным, булевым векторам и к булевым функциям [4].

Особенность данной работы состоит в совместном рассмотрении вещественных интервалов для задержек распространения сигналов с булевыми интервалами входных векторов, для которых такая задержка достижима. При этом преследуются две цели. Первая - это сокращение роста неопределенности интервалов задержек в сравнении известными методами статического временного анализа за счет дополнительного учета логической совместимости интервалов задержек на входах вентилях. Вторая цель - это повышение достоверности результатов статического временного анализа за счет отсева ложных путей, т.е. таких путей, которые не могут быть реализованы ни при одном наборе входных векторов.

Для повышения достоверности результатов статического временного анализа неоднократно предпринимались попытки учета логики работы схемы в анализе критических путей. Одним из таких подходов является аппарат поиска истинных путей, основанный на рекурсивном построении так называемой характеристической функции во времени или TCF (Timed Characteristic Function) [7]. TCF определяет множество входных векторов, для которых задержка превышает заданное ограничение по времени:

$$TCF(y = v, t_0+) = \{\{\bar{x}\} : \forall t > t_0, y(\bar{x}, t) = v\}.$$

Применение TCF-функций в сочетании с последующим анализом логической совместимости

входного вектора и самой схемы (SAT-анализ [8]) позволяет найти входные воздействия при заданных ограничениях на задержку. Известны методы эффективного взаимодействия генератора TCF-функций и анализатора логической совместимости. Используя итерации для разных ограничений на задержку можно на основе такого подхода найти истинный критический путь и соответствующий ему входной вектор.

В данной работе предлагается дальнейшее развитие этой идеи в следующих направлениях:

- во-первых, вместо характеристической функции с односторонним ограничением на задержку предлагается характеристическая функция интервала, определяющая множество входных векторов, для которых задержка попадает в некоторый интервал $[a, b]$, что в отличие от TCF-подхода не требует итераций для определения границ интервалов;

- во-вторых, предлагается аппарат распространения характеристических функций вдоль схемы с встроенным анализом логической совместимости, который в отличие от TCF-подхода не требует применения SAT-анализа;

- в-третьих, предлагаемый аппарат обеспечивает анализ логической совместимости всех путей от заданного входного переключения, в том числе и не критических, а это имеет существенное значение для решения широкого класса задач, где наряду с максимальной задержкой в узле требуется и минимальная задержка, в том числе для определения интервалов переключений в анализе помехоустойчивости, для оценки максимального тока питания, при характеристизации сложно-функциональных блоков и др.

III. SP-ГРАФ И ЗАДЕРЖКИ РАСПРОСТРАНЕНИЯ СИГНАЛОВ

Логiku переключений узлов комбинационной схемы можно описать в рамках четырехзначной булевой алгебры:

$$A_4 = (B_4 = B_2 \times B_2, \langle + \rangle, \langle * \rangle, \langle - \rangle, \langle 0 \rangle, \langle 1 \rangle),$$

где $B_2 = \{0, 1\}$ - множество булевых статических состояний, $(\langle + \rangle, \langle * \rangle, \langle - \rangle)$ - соответственно операции дизъюнкции, конъюнкции и отрицания в четырехзначной логике, $\langle 0 \rangle = (0, 0)$ - состояние статического нуля, $\langle 1 \rangle = (1, 1)$ - состояние статической единицы, а $B_4 = B_2 \times B_2$ представляет собой декартово произведение B_2 на само себя. Т.е. множеством состояний узлов схемы в данном случае являются упорядоченные пары булевских значений $B_4 = \{(x_0, x_1) : x_0 \in B_2, x_1 \in B_2\}$ для обозначения логических величин в начале и в конце переключения, соответственно. Для определения упорядоченных пар (x_0, x_1) можно использовать следующий алфавит:

$$B_4 = \{L, R, F, H\},$$

где $L = \langle 0 \rangle = (0,0)$ - обозначает статическое состояние '0' в начале и в конце переключения (low), $R = (0,1)$ - обозначает переключение из '0' в '1' (rise), $F = (1,0)$ - обозначает переключение из '1' в '0' (fall), $H = \langle 1 \rangle = (1,1)$ - обозначает статическое состояние '1' в начале и в конце переключения (high).

Операции четырехзначной логики сводятся к поразрядным операциям двузначной логики для бинарных значений в начале и в конце переключения:

$$\begin{aligned} (a,b) \langle + \rangle (c,d) &= (a \vee c, b \vee d), \\ (a,b) \langle * \rangle (c,d) &= (a \& c, b \& d), \\ \langle \neg \rangle (a,b) &= (\neg a, \neg b). \end{aligned}$$

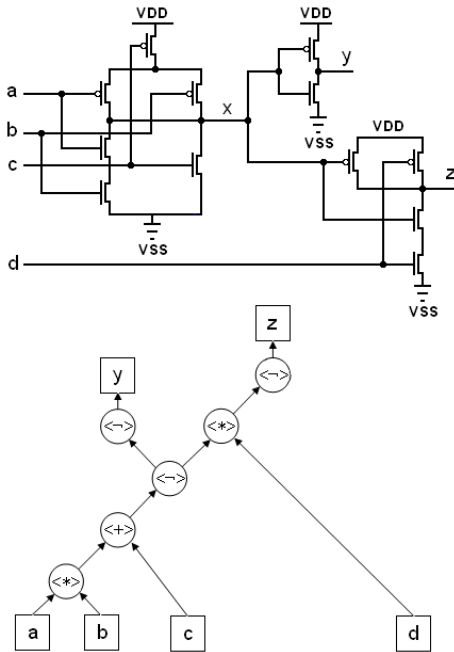


Рис. 1. КМОП-схема и соответствующий SP-граф

Соответствующее графовое представление комбинационной КМОП-схемы может быть построено путем экстракции логических функций в форме ориентированного ациклического SP-графа (SP-DAG [9]) из описания на транзисторном уровне (рис. 1). При этом, согласно алгоритму из работы [9], в построенном SP-графе операции $\langle + \rangle$ соответствует параллельное соединение двухполюсников, операции $\langle * \rangle$ - последовательное соединение двухполюсников, операции отрицания $\langle \neg \rangle$ соответствует выход вентиля, обеспечивающий инверсию сигнала согласно логике работы стандартного КМОП-вентиля для цепочки от узла земли (pull-down). Элементарным двухполюсником является КМОП-транзистор с полюсами на узлах истока и стока. Более сложные двухполюсники строятся из других с использованием операций последовательного или параллельного соединения. В общем случае SP-граф не является деревом, поскольку результат любой из операций может применяться многократно.

Для описания соответствия между узлами схемы, вершинами SP-графа $G = (Z, E)$, $E \subset Z \times Z$ и системой логических уравнений будут использоваться следующие обозначения:

$P = \{ \{ p_i \}, p_i \in Z, i = 1, \dots, n \}$ - подмножество узлов - первичных входов, соответствующих независимым переменным, n - количество первичных входов;

$\vec{V} = \langle v_1, \dots, v_n \rangle, v_i \in B_2, \vec{V} \in B_2^n$ - входной вектор или вектор-строка логических значений на первичных входах;

$s(z, \vec{V})$ - значение функции логического моделирования $s : Z \times B_2^n \rightarrow B_2$, определяющей логическое состояние узла $z \in Z$ для заданного входного вектора в терминах четырехзначной логики, в частности для первичных входов $s(p_i, \vec{V}) = v_i$.

Анализ быстродействия цифровой комбинационной схемы сводится к определению возможных значений задержек $t(z)$ в узлах схемы ($z \in Z$) по отношению к моменту переключения периодического тактового сигнала (clock). Задержки $d(x, y)$ для дуг SP-графа ($x \in Z, y \in Z, (x, y) \in E$), а также задержки $t(p_i), p_i \in P$ на первичных входах по отношению к моменту переключения тактового сигнала считаются известными. Упорядоченный список известных значений задержек $\{d(i, j)\} \cup \{t(p_i)\}$ можно рассматривать, как вектор входных параметров \vec{d} размерности $|E| + n$.

В случае обычного моделирования входной последовательности $\{ \vec{v}_0, \vec{v}_1, \dots, \vec{v}_i \in B_2^n$ значение задержки $t(z)$ в любом переключаемом узле комбинационной КМОП-схемы по отношению к моменту переключения тактового сигнала может быть рассчитано как функция параметров \vec{d} и пары входных векторов непосредственно до и после переключения:

$$t(z) = f(z, \vec{d}, \vec{V}_i),$$

где $\vec{V}_i = (\vec{v}_i, \vec{v}_{i+1}), \vec{v}_i \in B_2^n, \vec{V}_i \in B_2^{2n}$.

Для переключаемых узлов $s(z, \vec{V}) \in \{R, F\}$, а функция $f(z, \vec{d}, \vec{V})$ может быть вычислена рекуррентно по SP-графу с использованием операций $+$ (при переключении независимых входов), \min (при одновременном переключении контролируемых входов), \max (при одновременном переключении неконтролируемых входов). Операции проводятся над задержками отдельных дуг SP-графа (по аналогии с [7]), в частности, для выхода вентиля $z = \langle \neg \rangle x$:

$$f(z, \vec{d}, \vec{V}) = f(x, \vec{d}, \vec{V}) + d(x, z).$$

В общем случае задержки вентиля зависят от состояний всех входов, значений входных фронтов, а в случае полузаказного проектирования еще от

выходных нагрузок, однако эти технические подробности выходят за рамки рассмотрения данной статьи.

При переходе на технологии с размерами транзисторов в нанометровом диапазоне задержки $d(i, j), (i, j) \in E$ и $t(p_i), p_i \in P$ следует рассматривать не как числа, а как интервалы возможных значений:

$$d(i, j) \in [d_{\min}(i, j), d_{\max}(i, j)], \\ t(p_i) \in [t_{\min}(p_i), t_{\max}(p_i)].$$

В этом случае задача нахождения интервалов возможных моментов переключения узлов схемы ($t(z) \in [t_{\min}(z), t_{\max}(z)]$) сводится к оцениванию области значений функции $f(z, \vec{d}, \vec{V})$. Для моделирования входных последовательностей небольшой длины задача нахождения оптимальных граничных оценок сводится к независимому моделированию конечного набора векторов с анализом худшего и лучшего случаев. Однако для обеспечения надежности проектирования требуется полное моделирование всех вариантов входных векторов, число которых растет экспоненциально с ростом числа первичных входов.

В отличие от моделирования входных последовательностей, альтернативный метод статического временного анализа игнорирует зависимость задержек от входных векторов. Классический статический временной анализ основан на нахождении критических (минимального и максимального) путей в SP-графе без учета логики работы схемы, что в итоге приводит к огрубленной внешней оценке истинных значений интервалов задержек $[t_{\min}(z), t_{\max}(z)]$.

IV. ПОСТАНОВКА ЗАДАЧИ МОДЕЛИРОВАНИЯ И МЕТОД РАСПРОСТРАНЕНИЯ ИНТЕРВАЛОВ ВДОЛЬ СХЕМЫ

Одной из распространенных задач логико-временного моделирования является задача расчета задержек в узлах комбинационного СФ-блока при заданном переключении одного или нескольких первичных входов. При этом остальные первичные входы находятся в статическом состоянии, но их значения заранее неизвестны, и требуется найти различные значения задержек во внутренних узлах и на первичных выходах при различных значениях статических первичных входов. В этой ситуации состояние всех первичных входов до переключения однозначно определяется по состоянию после переключения.

Предположим, первый вход переключается из 1 в 0, остальные находятся в статическом состоянии. Тогда для входного вектора заданы следующие ограничения:

$$\vec{V} = [x_1, \dots, x_n], x_1 = F, x_i \in \{H, L\}, i = 2, \dots, n.$$

Допустимое множество входных векторов, удовлетворяющих заданным ограничениям, обозначим через S_V . В рассматриваемом варианте размер этого

множества $|S_V| = 2^{n-1}$, и полное моделирование всех вариантов входных векторов при большом количестве входов невозможно.

Для каждого узла $z \in Z$ и для каждого типа переключений $s_I \in \{R, F\}$ требуется найти множество непересекающихся временных интервалов $I(z, s_I) = \bigcup_i I_i(z, s_I), I_i(z, s_I) = [l_i, r_i]$ минимального суммарного размера $G = \sum_i (r_i - l_i)$, удовлетворяющих условию:

$$\forall \vec{V} \in S_V : (s(z, \vec{V}) = s_I) \Rightarrow (f(z, \vec{d}, \vec{V}) \in I(z, s_I)).$$

Другими словами, всякий раз, когда $s(z, \vec{V}) = s_I$, задержка должна находиться в одном из интервалов $I_i(z, s_I)$. Известно, что точное решение задачи с нахождением абсолютного минимума G является NP-трудной задачей, и в практических приложениях требование о минимизации G следует рассматривать лишь как критерий качества при сравнении различных эвристических алгоритмов.

Для повышения точности оценок статического временного анализа целесообразно исследовать различные варианты интервалов задержек для различных интервалов входных векторов. Пусть $\vec{V} = (\vec{u}, \vec{v}), \vec{u} \in B_2^n, \vec{v} \in B_2^n, \vec{V} \in B_4^n$. В рамках решаемой задачи $\vec{V} = (\vec{u}, \vec{v}) = (\lambda(\vec{v}), \vec{v})$, где $\lambda(\vec{v}) = [\neg v_1, v_2, \dots, v_n]$ - векторная функция, определяющая значения входов до переключения по значениям после переключения. Для определения интервалов возможных значений первичных входов до и после переключения можно использовать векторные обозначения:

$$\vec{v} \in [\vec{v}_a, \vec{v}_b] \Leftrightarrow \vec{v}_a \leq \vec{v} \leq \vec{v}_b,$$

где $\vec{v}_a = [a_1, \dots, a_n], \vec{v}_b = [b_1, \dots, b_n]$ - соответственно нижняя и верхняя границы интервала, что в скалярной форме соответствует поразрядным неравенствам для каждого из n первичных входов в соответствии с общеизвестной трактовкой отношения частичного порядка в булевой алгебре (см. п. II):

$$a_i \leq v_i \leq b_i \quad \forall i \in \{1, \dots, n\}.$$

Для анализа логической совместимости путей распространения сигналов будем хранить все вещественные временные интервалы, порождаемые в процессе работы алгоритма, совместно с соответствующими типом переключения и интервалами входных векторов в виде рабочего списка $L(z) = \{L_j(z)\}$, элементами которого являются упорядоченные тройки следующего вида:

$$L_j(z) = (s_j, [t_{\min}, t_{\max}], [\vec{v}_a, \vec{v}_b]),$$

где $s_j \in B_4$ - тип переключения в терминах четырехзначной логики, $[t_{\min}, t_{\max}]$ - интервал возможных значений задержки, а $[\bar{v}_a, \bar{v}_b]$ - интервал допустимых значений входного вектора после переключения, при которых задержка находится в указанном интервале. В общем случае к заданному узлу может относиться несколько интервалов одного типа.

Для примера, приведенного выше, исходный рабочий список для переключаемого входа состоит из одного элемента при $s_1 = F$:

$$L_1(p_1) = (F, [t_{\min}^1, t_{\max}^1], [|0,0, \dots, 0|, |0,1, \dots, 1|]),$$

где $[t_{\min}^1, t_{\max}^1]$ - известное значение задержки на переключаемом входе по отношению к времени переключения тактового сигнала. Аналогично формируются рабочие списки для статических входов при $s_1 = L$ и $s_2 = H$:

$$L_1(p_2) = (L, [0, \infty], [|0,0, 0, \dots, 0|, |0,0,1, \dots, 1|])$$

$$L_2(p_2) = (H, [0, \infty], [|0,1, 0, \dots, 0|, |0,1,1, \dots, 1|]).$$

Задача моделирования состоит в том, чтобы распространить интервалы от первичных входов через промежуточные узлы до выходов схемы. Исходя из того, что схема определена на основе SP-графа с использованием операций четырехзначной логики, необходимо сформировать новые интервалы на выходах $y = x_1 < + > x_2$; $z = x_1 < * > x_2$; для каждой пары интервалов на входах. Пусть

$$L_1(x_1) = (s_1, [l_1, r_1], [\bar{a}_1, \bar{b}_1]),$$

$$L_2(x_2) = (s_2, [l_2, r_2], [\bar{a}_2, \bar{b}_2]),$$

тогда для каждой пары логически совместимых входных интервалов формируется интервал на выходе, тип которого вычисляется по правилам четырехзначной логики для логического состояния на выходе. Очевидно, что логическая совместимость входных интервалов возможна лишь в области их пересечения, поэтому булевы интервалы для y и z формируются по следующим правилам:

$$[\bar{a}_1, \bar{b}_1] \cap [\bar{a}_2, \bar{b}_2] = [\bar{a}_1 \vee \bar{a}_2, \bar{b}_1 \& \bar{b}_2].$$

Пересечение булевых интервалов может оказаться пустым, если выполнено условие конфликта, свидетельствующее об обнаружении ложного пути (в этом случае новый интервал не формируется):

$$(\bar{a}_1 \& \bar{a}_2 \& \neg(\bar{b}_1 \vee \bar{b}_2)).$$

Операция отрицания соответствует выходу вентиля в SP-графе, поэтому для каждого входной тройки $L_i(x) = (s_x, [l_x, r_x], [\bar{a}_x, \bar{b}_x])$ на выходе вентиля $y = < \neg > x$ с задержкой в интервале $[d_{\min}, d_{\max}]$ формируется выходной интервал противоположного

типа с теми же булевыми ограничениями, но со смещенными границами интервала задержек:

$$L_i(y) = (< \neg > s_x, [l_x + d_{\min}, r_x + d_{\max}], [\bar{a}_x, \bar{b}_x]).$$

Несмотря на отсеивание ложных интервалов, интервалы на выходах бинарных операций формируются для каждой пары входных интервалов, что ведет к их экспоненциальному росту. Для сокращения роста количества интервалов можно ограничить максимальное количество интервалов каждого типа предельным значением I_{MAX} , а для выполнения этого ограничения воспользоваться объединением "близких" интервалов (по аналогии с методом для границ интервалов задержек [10]):

$$[\bar{a}_1, \bar{b}_1] \cup [\bar{a}_2, \bar{b}_2] \subseteq [\bar{a}_1 \& \bar{a}_2, \bar{b}_1 \vee \bar{b}_2].$$

Используя операцию объединения и оперируя заданием предельного значения I_{MAX} , можно получать различные результаты с разной степенью учета логики работы схемы. В частности, при $I_{MAX} = 1$ на выходе будут получены два крайних значения задержки $[d_{\min}, d_{\max}]$, практически без учета логики работы схемы, что соответствует результатам статического временного анализа. И, наоборот, при $I_{MAX} = \infty$ объединение интервалов не выполняется, и результаты соответствуют полному моделированию всех входных векторов.

Существенная проблема, связанная с операцией объединения, состоит в том, что при объединении может возникнуть неоднозначность, а именно в объединенный интервал булевых векторов попадают векторы переключений, которые на самом деле не соответствуют типу и задержкам элемента рабочего списка. Для решения этой проблемы необходим более детальный учет логики работы схемы, чему и посвящен следующий раздел.

V. АППАРАТ ХАРАКТЕРИСТИЧЕСКИХ ФУНКЦИЙ ИНТЕРВАЛОВ

Для контроля роста неопределенности булевских интервалов предлагаются спецификации характеристических функций интервалов и алгоритмы распространения характеристических функций вдоль схемы на основе аппарата BDD.

Аппарат частично-определенных булевых функций с использованием векторных границ интервалов эффективен для быстрой оценки совместимости входных интервалов конкретного вентиля в процессе распространения интервалов вдоль схемы. Этот аппарат обеспечивает полноту анализа логической совместимости до тех пор, пока используются операции пересечения, и не выполняются операции объединения. Для сохранения полноты информации о входных векторах конкретного элемента рабочего списка вводится понятие характеристической функции интервала.

Для элемента рабочего списка $L_j(z) = (s_j, [t_{\min}, t_{\max}], [\bar{v}_a, \bar{v}_b])$ в узле z характеристическая функция $\phi\{\{\bar{v}_a, \bar{v}_b\}\}$ определяется как булева функция $\phi\{\{\bar{v}_a, \bar{v}_b\}\} : B_2^n \rightarrow B_2$, аргументами которой являются значения переменных – первичных входов после переключения, а значение функции равно 1 в том, и только в том случае, когда входной вектор $\vec{V} = (\vec{u}, \vec{v}) = (\lambda(\vec{v}), \vec{v})$ приводит к переключению соответствующего типа s в заданном интервале задержек $[t_{\min}, t_{\max}]$:

$$\phi\{\{\bar{v}_a, \bar{v}_b\}\}(\vec{v}) = (s(z, \vec{V}) = s_j) \& (f(z, \vec{d}, \vec{V}) \in [t_{\min}, t_{\max}]).$$

При пересечении и объединении входных интервалов, характеристическая функция нового интервала может быть построена на основе аппарата BDD [11], соответственно как конъюнкция и дизъюнкция характеристических функций входных интервалов:

$$\begin{aligned} \phi\{\{\bar{a}_1, \bar{b}_1\} \cap \{\bar{a}_2, \bar{b}_2\}\} &= \phi\{\{\bar{a}_1, \bar{b}_1\}\} \& \phi\{\{\bar{a}_2, \bar{b}_2\}\} \\ \phi\{\{\bar{a}_1, \bar{b}_1\} \cup \{\bar{a}_2, \bar{b}_2\}\} &= \phi\{\{\bar{a}_1, \bar{b}_1\}\} \vee \phi\{\{\bar{a}_2, \bar{b}_2\}\}. \end{aligned}$$

Характеристическая функция результата операции отрицания тождественна характеристической функции входа – аргумента.

Аппарат BDD эффективен при таком подходе для отсева ложных путей, т.е. таких путей, которые не реализуются ни при каких переключениях на первичных входах, поскольку условие логического конфликта определяется в этом случае как тождество с логическим нулем:

$$\phi\{\{\bar{a}_1, \bar{b}_1\} \cap \{\bar{a}_2, \bar{b}_2\}\} \equiv 0.$$

VI. РЕЗУЛЬТАТЫ ЧИСЛЕННЫХ ЭКСПЕРИМЕНТОВ

Предложенные алгоритмы были реализованы в программном виде в составе программного комплекса логико-временного анализа. Эффективность работы алгоритмов оценивалась в сравнении с результатами статического временного анализа для схем из набора ISCAS-85 [12] по следующим параметрам: сокращение ложных путей, т.е. таких путей, которые не реализуются ни при каких переключениях на первичных входах, а также сокращение границ интервалов задержек – среднее и максимальное сокращение максимальной задержки, среднее и максимальное увеличение минимальной задержки.

На основе численных экспериментов показано, что предлагаемый метод сокращает количество ложных путей до 35% из 1000 отобранных критических путей. Показано, что учет логики позволяет сократить временные интервалы в среднем на 7% для максимальной границы и на 5% для минимальной границы, при этом в некоторых ситуациях на заданном наборе схем уменьшение максимальной задержки

достигает 90%, а увеличение минимальной задержки – более чем в 2 раза. Время работы алгоритма на Intel Core Quad CPU Q8300 2.5GHz для перечисленных схем составило менее 1 мин. на схему, что позволяет использовать данный подход в рамках оптимизационных процедур.

VII. ЗАКЛЮЧЕНИЕ

Предложенный в данной работе метод анализа быстродействия СФ-блоков обеспечивает анализ минимальных и максимальных задержек на логическом уровне с учетом логических корреляций и неопределенности параметров элементов. Для учета логических корреляций предложены спецификации характеристических функций интервалов и алгоритмы распространения характеристических функций вдоль схемы. На основе численных экспериментов показано, что предлагаемый метод сокращает количество ложных путей и существенно повышает достоверность оценок задержек по сравнению с обычным статическим временным анализом.

ЛИТЕРАТУРА

- [1] Шарый С.П. Конечномерный интервальный анализ. Институт вычислительных технологий СО РАН, 2010. 602 с.
- [2] Stewart R. and Benkoski J., Static timing analysis using interval constraints // ICCAD-91. Nov. 1991. P. 308-311.
- [3] Suryanarayana Pendela, Techniques for Variation Aware Modeling in Static Timing Analysis of Integrated Circuits // M.S. thesis, University of Cincinnati, Engineering: Computer Engineering. February 2010. 95 p.
- [4] Sakallah K.A. Functional Abstraction and Partial Specification of Boolean Functions // Technical Report CSE-TR-255-95, University of Michigan. August 1995.
- [5] Nebel B., Bürckert H.-J. Reasoning about Temporal Relations: A Maximal Tractable Subclass of Allen's Interval Algebra // Journal of the ACM. 1995. Vol. 42. №1. P. 43–66.
- [6] Brown F.M. Boolean reasoning. The logic of Boolean equations. Boston; Dordrecht; London: Kluwer Academic Publishers, 1990. 273 p.
- [7] Kuo Y.M., Chang Y.L., and Chang S.C. Efficient Boolean Characteristic Function for Fast Timed ATPG // Proc. International Conference on Computer-Aided Design. 2006. P. 96–99.
- [8] Nadel A. Backtrack search algorithms for propositional logic satisfiability: Review and innovations // Master's thesis, Hebrew University of Jerusalem. Jerusalem, Israel, 2002.
- [9] Bryant R.E. Boolean Analysis of MOS Circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 1987. Vol. 6. № 4. P. 634–649.
- [10] Bobba S., Hajj I.N. Estimation of maximum current envelope for power bus analysis and design // Int. Symp. on Phys. Des., 1998. P. 141-146.
- [11] Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation // IEEE Transactions on Computers. 1986. Vol. 35. № 8. P. 677–691.
- [12] Brglez F. and Fujiwara H. A neutral netlist of 10 combinatorial benchmark circuits and a target translator for FORTRAN // Proc. IEEE Int. Symp. Circuits and Systems. June 1985. P. 663-698.