

Оптимизация маршрута топологического проектирования микропроцессора КОМДИВ64-РИО

А.О. Власов, Б.Е. Евлампиев, П.Г. Кириченко, А.А. Кочнов, А.А. Поминова

Научно Исследовательский институт системных исследований РАН,

eboris@cs.niisi.ras.ru

Аннотация — В статье приводятся методы повышения частоты работы микропроцессора Комдив64-РИО средствами автоматического топологического проектирования.

Ключевые слова — маршрут проектирования, схема отключения синхросигнала, дерево синхросигналов, локальный сдвиг синхросигнала, сетки земли и питания.

I. ВВЕДЕНИЕ

При разработке каждой новой итерации микропроцессора актуальной задачей является увеличение его производительности, например, за счет повышения частоты работы [1]. Одним из важнейших методов для решения поставленной задачи служит оптимизация маршрута проектирования.

Компании-разработчики САПР микросхем предлагают в настоящее время широкий спектр продуктов. Эти САПР могут составлять целые маршруты проектирования микросхем определенного класса. Это, как правило, универсальные маршруты. Хотя необходимо отметить, что в последнее время появились специальные маршруты проектирования СБИС, направленные на снижение энергопотребления при выполнении остальных параметров. С другой стороны, для достижения быстродействия в условиях большого проекта (система на кристалле) даются отдельные рекомендации. При этом значительная часть работы по выработке оптимального маршрута, а значит и успешного проектирования, ложится на разработчиков.

СБИС Комдив64-РИО является одной из таких микросхем. В работе [2] рассмотрены методы, использованные для оптимизации маршрута проектирования САПР Encounter первой итерации микропроцессора. Максимальная частота работы большинства полученных образцов микропроцессора составила 180 МГц. При этом статический анализ показывал 150 МГц в худшем случае условий эксплуатации.

Для дальнейшего повышения частоты работы был проведен анализ полученных результатов и использованного маршрута. Выявлен ряд проблем.

Первая: большое количество времени при проектировании топологии (до 30%) затрачено на оптимизацию полного проекта после сборки его из готовых блоков. Вторая: неоптимальное положение на плане кристалла схем отключения синхросигналов ядра процессора. Третья: большой разброс задержек в ветвях синхросигналов. Четвертая: критические пути, связанные с большим разбросом задержек синхросигналов начальных и конечных триггеров

Далее проведен подробный анализ проблем и дано описание представленных решений для повышения частоты работы второй итерации СБИС Комдив64-РИО.

II. СНИЖЕНИЕ ВРЕМЕНИ ОПТИМИЗАЦИИ ПОЛНОГО ПРОЕКТА

Несмотря на то, что проект разрабатывался с использованием блочного маршрута [3], значительное количество времени при проектировании топологии (до 30%) затрачено на оптимизацию полного проекта после сборки его из готовых блоков. При этом такая оптимизация требует значительно больших ресурсов (как машинных, так и ресурсов времени) по сравнению с оптимизацией блоков, что делает ее менее эффективной.

Основной причиной необходимости окончательной оптимизации полного проекта является отсутствие достоверных ограничений на межблочные связи на этапе разделения проекта на блоки. Это связано с тем, что перед разделением проекта на блоки делается не полноценное размещение элементов, а лишь предварительное. Полноценное размещение требует значительных ресурсов времени и делается на этапе разработки каждого из блоков. На основании этого предварительного размещения производится создание ограничений для блоков, в частности на межблочные связи. Поскольку проект содержит достаточно большое количество макроблоков (около 50 блоков памяти и заказных узлов), то оценка размещения элементов и трассировки связей становится очень грубой. Что, в свою очередь, приводит к отсутствию достоверности в ограничениях на сигналы.

Для решения этой проблемы компания Cadence разработала новый маршрут для очередной версии

САПР проектирования топологии - Encounter [4]. Этот двухпроходный маршрут представлен на рис. 1.

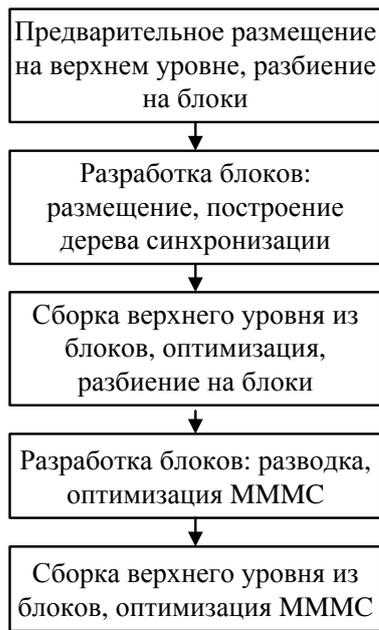


Рис. 1. Двухпроходный маршрут блочного проектирования компании Cadence

Основным отличием указанного маршрута от варианта маршрута компании Cadence, использованного для первой итерации СБИС Комдив64-РИО, является то, что разработка блоков ведется за два прохода. На первом проходе делается размещение элементов и построение дерева синхронизации, а на втором – разводка связей. Таким образом, к началу второго прохода работы с блоками ограничения на межблочные связи делаются на основании уже готового размещения элементов и построенного дерева синхронизации. Это позволяет получить ограничения более достоверные по сравнению с ограничениями, полученными перед первым проходом.

Несмотря на указанные преимущества, данный маршрут имеет существенный недостаток - наличие оптимизации проекта на верхнем уровне на двух этапах сборки проекта. При этом наиболее затратной является оптимизация всего проекта после второго прохода разработки блоков. Это связано с тем, что на этом этапе необходимо делать оптимизацию во всех возможных сочетаниях экстракции паразитных параметров связей, временных параметров элементов и режимах работы схемы (рабочий, тестовый). Для решения этой проблемы нами предложен трехпроходный маршрут блочного проектирования, представленный на рис. 2.

Основным отличием указанного маршрута от варианта маршрута компании Cadence является полное отсутствие оптимизации проекта на верхнем уровне. Это достигается за счет ряда решений.

Первое, подготовки ограничений на межблочные связи перед каждым этапом разработки блоков на основе проекта, собранного на предыдущем этапе.

Второе, коррекция автоматически созданных ограничений перед первым этапом разработки блоков.

Третье, создание ограничений перед этапом оптимизации МММС (Multi Mode Multi Corner) для каждого из граничных условий (у нас 12 вариантов).

Четвертое, итерационная оптимизация межблочных связей на каждом этапе: разработка блоков – сборка проекта.

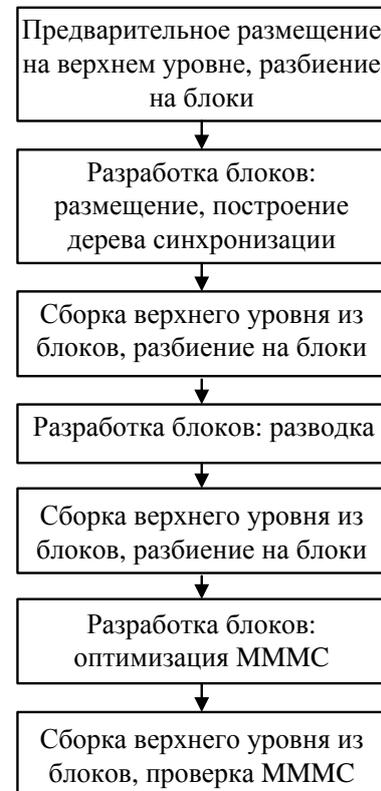


Рис. 2. Трехпроходный маршрут блочного проектирования

Такой маршрут позволяет полностью отказаться от долговременной и требующей больших машинных ресурсов оптимизации проекта на верхнем уровне. При этом основная часть работы по достижению быстродействия делается на этапе разработки блоков. Промежуточная сборка всего проекта необходима только для получения ограничений на межблочные связи для текущего состояния проекта (построенное дерево синхронизации или разведенные связи). В табл. 1 приведены результаты по быстродействию для первой и второй итераций СБИС Комдив64-РИО.

Таблица 1

Результаты по быстрдействию для двух итераций СБИС Комдив64-РНО (6 вариантов граничных условий для рабочего режима)

Тип *.lib файлов	Экстракция	Частота первой итерации, МГц	Частота второй итерации, МГц
slow	worst	148	181
	best	159	191
typical	worst	185	282
	best	210	317
fast	worst	243	362
	best	310	473

III. ОПТИМИЗАЦИЯ НА ПЛАНЕ КРИСТАЛЛА ПОЛОЖЕНИЯ СХЕМ ОТКЛЮЧЕНИЯ СИНХРОСИГНАЛОВ ЯДРА ПРОЦЕССОРА

Для тактирования ядра микропроцессора (блок CPU) используются несколько синхросигналов. Все, кроме одного, проходят через схему отключения (CG), представленную на рис. 3.

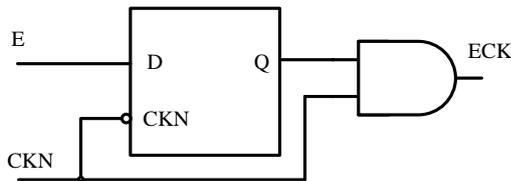


Рис. 3. Схема отключения синхросигнала (CG)

Схема использования отключения синхросигнала на примере одного отключаемого синхросигнала показана на рис. 4.

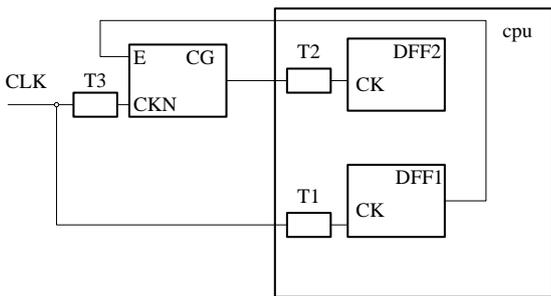


Рис. 4. Схема использования отключения синхросигнала

Необходимым условием функционирования блока CPU является равенство задержек деревьев синхронизации всех синхросигналов. Задержка прохождения сигнала CLK до триггеров DFF1 и DFF2 должна быть равна:

$$T3 + T_{CG} + T2 = T1, \quad (1)$$

где:

$T3$ – задержка дерева синхросигнала до элемента CG;

T_{CG} – задержка переключения элемента CG;

$T2$ – задержка дерева синхросигнала до триггера DFF2;

$T1$ – задержка дерева синхросигнала CLK.

Диаграмма сигналов показана на рис. 5.

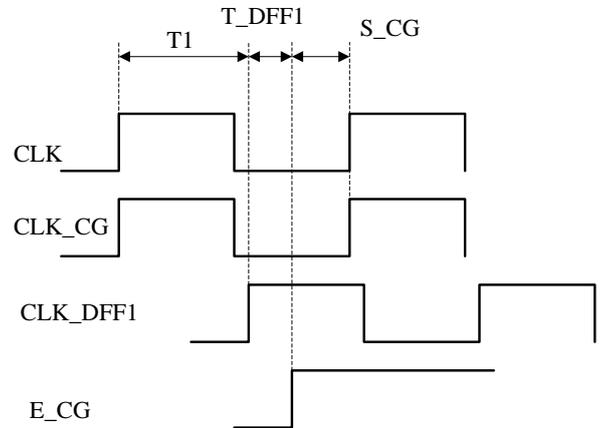


Рис. 5. Диаграмма сигналов схемы отключения синхросигнала

Для правильного функционирования элемента CG необходимо, чтобы выполнялось соотношение:

$$T + T3 \leq T1 + T_{DFF1} + S_{CG}, \quad (2)$$

где:

T – период синхросигнала;

$T1$ – задержка дерева синхросигнала CLK;

T_{DFF1} – задержка переключения триггера DFF1;

S_{CG} – setup входа E элемента CG.

СБИС разрабатывается по технологии 0,18 мкм в расчете на получение частоты 200 МГц (период синхросигнала 5 нс) для худшего случая. Для проектируемого блока задержка дерева синхросигнала CLK равна 4,5 нс. Задержка переключения триггера DFF1 – 0,5 нс. Setup входа E элемента CG – 0,5 нс. Входы синхросигналов блока CPU расположены рядом (расстояние между ними не более 10 мкм), следовательно, задержка $T3$ равна 0 нс. При таких параметрах условие (2) не выполняется. В результате тракт управления элементов CG становится критическим.

Для решения проблемы предлагается увеличить величину $T3$, но для того, чтобы выполнялось соотношение (1), необходимо уменьшить $T2$. Таким образом, можно сформулировать правило:

задержка дерева управляемого синхросигнала должна быть меньше задержки дерева синхросигнала, на котором работает управляющий триггер.

Из (1) получаем разницу задержек синхросигналов:

$$T1 - T2 = T3 + T_CG \quad (3)$$

Подставляя в (3) T1 из (2) получаем:

$$T \geq T2 + T_DFF1 + S_CG + T_CG \quad (4)$$

Формула (4) позволяет получить минимальную задержку управляемого синхросигнала при фиксированных параметрах библиотечных элементов для выбранного периода синхросигнала.

Для сокращения задержки T2 необходимо предпринять следующие меры. Первое, минимизировать количество триггеров и макроблоков, тактируемых управляемым синхросигналом. Второе, размещать указанные триггеры и макроблоки компактно. Третье, выбирать элементы с максимальным быстродействием для формирования управляемого синхросигнала. Четвертое, разместить блок CG в центре области, занимаемой элементами, тактируемыми отключаемым синхросигналом. В табл. 2 представлены результаты для синхросигналов ядра СБИС Комдив64-РиО второй итерации.

Таблица 2

Результаты по быстродействию для первой и второй итераций СБИС Комдив64-РиО

Синхросигнал	Кол-во макроблоков в /триггеров	T2, нс	Выполнение условия (4)
fpu_clk	0/12723	2,58	+
fpu_rf_clk	1/30	0,83	+
cp21_clk	0/11450	2,72	+
cp22_clk	0/10981	2,72	+
cp21_rf_clk	2/49	0,84	+
cp22_rf_clk	2/7	0,23	+
L2c_clk	28/6169	2,76	+

Переменная T_CG считается равной 0,3 нс. Получаем условие (5):

$$3,7 \geq T2 \quad (5)$$

IV. БОЛЬШОЙ РАЗБРОС ЗАДЕРЖЕК В ВЕТВЯХ СИНХРОСИГНАЛОВ

Анализ результатов быстродействия схемы до и после разводки связей показал, что значительная потеря быстродействия происходит из-за увеличения разбежки синхросигнала. Связано это, в первую очередь, с

недостатком ресурсов трассировки для оптимальной разводки цепей синхросигнала.

Для решения проблемы рассмотрен ряд мер, используемых при построении и разводке цепей синхронизации. Первая, построение дерева синхронизации с ограничением по емкости нагрузки для элементов дерева (далее в таблице С+) или без нее (С-). Вторая, способ разводки цепей синхронизации, предварительно (R+) или одновременно со всеми сигналами (R-). Третья, размещение элементов с ограничением по плотности заполнения (D+) или без (D-). Были выбраны два критерия для сравнения разных вариантов реализации дерева синхронизации. Первый – период синхросигнала относительно исходного варианта построения дерева до разводки связей. Второй – мощность, потребляемая деревом синхронизации. Результаты показаны в табл. 3.

Таблица 3

Результаты по быстродействию и мощности дерева синхронизации для различных вариантов его реализации

С	R	D	T, %	P, Вт
-	-	-	108	1,9
-	-	+	104	1,9
-	+	-	110	1,9
-	+	+	110	1,9
+	-	-	108	2,7
+	-	+	107	2,7
+	+	-	110	2,7
+	+	+	110	2,7

Представленные результаты показывают, что наиболее эффективным методом повышения быстродействия является метод С-R-D+. В этом варианте достигается минимальное увеличение периода синхросигнала (всего 4%) и минимальная мощность потребления дерева синхронизации.

V. ТОПОЛОГИЧЕСКОЕ ИСПРАВЛЕНИЕ ВНУТРЕННИХ КРИТИЧЕСКИХ ПУТЕЙ

Основная часть критических путей располагается между регистрами блока. Такие пути называются *внутренними*. Часто встречается ситуация, когда одни пути более быстрые, чем другие, и, применяя локальный сдвиг синхросигнала, удастся достигнуть требуемого быстродействия (рис. 6).

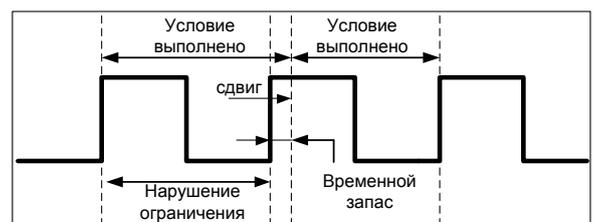


Рис. 6. Локальный сдвиг синхросигнала

В [2] описана методика автоматизации подбора локальных сдвигов для всего блока/проекта. Однако на финальных этапах топологического проектирования выявились критические пути, связанные с большим разбросом задержек синхросигналов начальных и конечных триггеров.

В ходе их анализа выяснилось, что нарушения связаны не с быстродействием комбинационной логики, а со слишком большой задержкой синхросигнала, приходящего на начальные триггеры путей, относительно конечных (рис. 7).

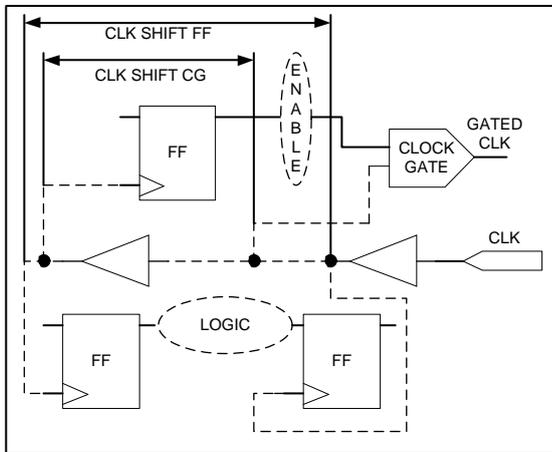


Рис. 7. Разброс задержки синхросигнала (CLK)

Данный сдвиг синхронизации обуславливался различным топологическим размещением данных элементов относительно линии распространения синхронизации. Конечные триггеры находились ближе к источнику синхросигнала, чем начальные. Вследствие этого, тактирующий синхросигнал распространялся через большее количество уровней буферов на начало пути, чем на его окончание. По подобной же причине появились критичные пути, связанные с элементами отключения синхросигнала (clock gate). Триггера, формирующие сигнал разрешения, в этих путях располагались дальше от источника синхросигнала, чем сами clock gate. Возникающий при этом локальный сдвиг синхросигнала приводил к нарушению временных ограничений. Аналогично элемент clock gate, расположенный далеко от управляемых им триггеров, увеличивал задержку синхросигнала до них, что тоже приводило к появлению критических путей.

Для устранения подобных критических путей было решено располагать рядом начальные и конечные элементы в некоторой окрестности равноудаленной от них точки. Таким образом, на близком расстоянии друг от друга ставились критичные триггеры, их триггера управления, clock gate и триггеры-потребители отключаемого синхросигнала. Описанные выше элементы фиксировались на плане кристалла перед этапом размещения. Данный подход позволил полностью убрать описанные выше критические пути и

улучшил общую сходимость проекта по временным параметрам.

VI. ОПТИМИЗАЦИЯ СЕТКИ ПИТАНИЯ

Целью данного этапа была оптимизация существующей регулярной сетки земли и питания на кристалле. Необходимо было снизить падение напряжения, не создавая дополнительных трудностей для трассировки сигнальных линий.

Вначале трассы питания и земли были расширены на 20% в двух верхних слоях металлов. Дальнейшее расширение трасс приводило к возникновению больших трудностей при трассировке сигнальных проводников, а потому стало невозможным.

Для дальнейшего снижения падения напряжения была использована идея оптимизации, изложенная в [5]. Так как применение метода, предложенного авторами [5] для сеток питания больших размерностей (например, 500x500 трасс питания) требует больших затрат трудовых и временных ресурсов, было принято решение его упростить.

Для реализации подхода была написана универсальная программа, формирующая скрипт для нанесения сетки питания требуемой структуры на кристалл заданных размеров. Программа рассчитывает координаты трасс заданной ширины и вставляет их в шаблон команды Cadence EDI 9.13, создавая скрипт для EDI. Таким образом, получается сетка заданной структуры.

В таблице 4 приведены результаты по быстродействию проектов с исходной сеткой питания, сеткой, расширенной равномерно на 20%, и сеткой после оптимизации.

Таблица 4

Влияние оптимизации сетки питания и земли на быстродействие микросхемы

Проект	Частота, МГц
Исходная СП	285
Равномерно расш. на 20 %	280
Оптимизированная СП	287

Как видно из таблицы, в результате оптимизации дополнительных трудностей при трассировке сигнальных линий не возникает. В таблице 5 приведены результаты по падению напряжения, а также общей проводимости сетки питания и земли в верхних слоях металлов в проектах с оптимизацией и без.

Распределение потенциалов на шине питания по результатам динамического анализа в наихудшем случае для проекта до и после оптимизации сетки питания и земли приведено на рис. 8 и 9, соответственно.

Падение напряжения и общая проводимость до и после оптимизации

	Гобщ, мСм	Vdrop, В	Снижение Vdrop %
Исходная СП	11029	0,131	-
Равномерно расш. на 20 %	10357	0,12	8,1
Оптимизированная СП	11060	0,11	16

VII. ЗАКЛЮЧЕНИЕ

В статье рассмотрены методы повышения частоты работы микропроцессора Комдив64-РИО второй итерации средствами топологического проектирования. Все рассмотренные методы основаны на использовании САПР автоматического размещения и трассировки без применения заказного проектирования. Центральное место в представленной статье занимает предложенный трехпроходный маршрут блочного проектирования. По сравнению с маршрутом Cadence он позволяет при тех же затратах времени увеличить частоту проекта с 185 МГц до 285 МГц (typical). Представленные в статье методы улучшения схемы синхронизации, сетки земли и питания дают возможность дополнительно повысить быстродействие и надежность работы схемы.

ЛИТЕРАТУРА

- [1] The circuit and physical design of the POWER4 microprocessor / J. D. Warnock, J. M. Keaty, J. Petrovick, J. G. Clabes, C. J. Kircher, B. L. Krauter, P. J. Restle, V. A. Zoric, C. J. Anderson // IBM Journal of Research and Development. 2002. Vol. 46. No. 1. P. 27.
- [2] Власов А.О., Евлампиев Б.Е., Кириченко П.Г., Кочнов А.А. Оптимизация некоторых этапов маршрута проектирования процессора КОМДИВ64-РИО // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2010. Сборник трудов / под общ. ред. академика А.Л.Стемпковского. М.:ИППИМ РАН, 2010. С. 394-399.
- [3] Encounter Foundation Flows: Hierarchical Implementation Flow Guide. Product Version 8.1.1 Cadence. March 2009.
- [4] Encounter Digital Implementation System Foundation Flows: Hierarchical Implementation Flow Guide Product Version 9.1.3 Cadence. October 2010.
- [5] Puneet Gupta, Andrew B. Kahng Efficient Design and Analysis of Robust Power Distribution Meshes // Proceedings of the 19th International Conference on VLSI Design. 2006. P. 337-342.

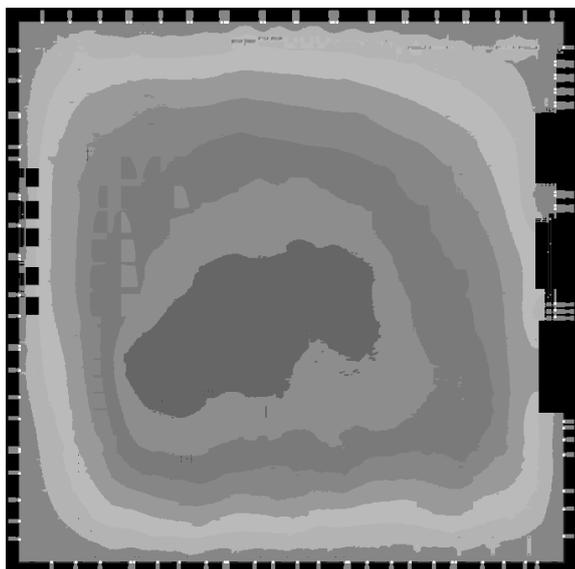


Рис. 8. Падение напряжения на кристалле без оптимизации сетки питания, S – площадь кристалла

При сравнении рис. 6 и 7 видно, что помимо величины максимального падения напряжения также сокращается и площадь, падение напряжения на которой максимально (в 1,96 раза).

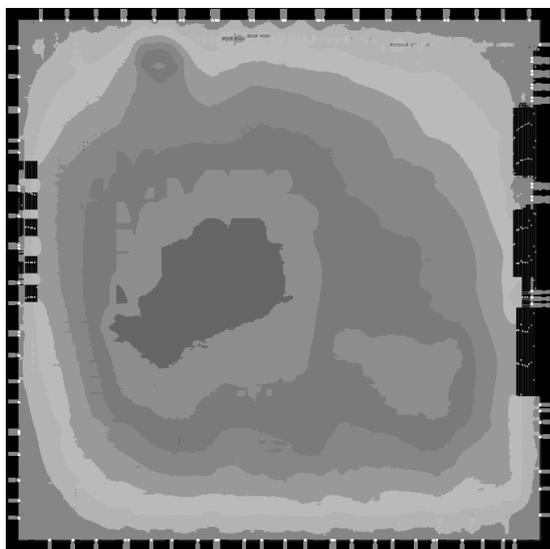


Рис. 9. Падение напряжения на кристалле после оптимизации сетки питания, S – площадь кристалла

По данным табл. 5 видно, что падение напряжения на сетке питания и земли уменьшается, но это практически не сказывается на трассировке сигнальных проводников, что позволяет повысить быстродействие микросхемы и её надежность.