

Оценка энергопотребления КМОП-схем на базе VHDL-моделирования

П.Н. Бибило, А.Л. Соловьев

Объединенный институт проблем информатики Национальной академии наук Беларуси,

bibilo@newman.bas-net.by

Аннотация — Рассматривается задача оценки энергопотребления схем, синтезированных из логических схем библиотеки проектирования заказных СБИС, выполненных по КМОП-технологии. Предлагается проводить оценку энергопотребления по структурным описаниям схем с помощью быстродействующего логического VHDL-моделирования. Результаты эксперимента показывают существенное сокращение времени моделирования при приемлемой погрешности по сравнению с результатами трудоемкого схемотехнического моделирования.

Ключевые слова — автоматизация проектирования, заказные СБИС, КМОП-технология, моделирование, логические схемы, VHDL, переключаемость активности.

I. ВВЕДЕНИЕ

В практике проектирования логических схем, реализуемых в составе заказных СБИС и выполненных по наиболее распространенной КМОП-технологии, основными критериями оценки схем являются их сложность (площадь) и быстродействие. В настоящее время к данным критериям добавились энергопотребление и тестопригодность. Широкое распространение встроенных и автономных систем выдвигают энергопотребление на ведущее место при оценке вариантов реализации схем. Достаточно точная оценка энергопотребления логических КМОП-схем осуществляется с помощью схемотехнического (аналогового) моделирования [1]. Аналоговое (схемотехническое) моделирование проводится на основе Spice-моделей логических элементов, входящих в схему. Вся логическая схема на этапе схемотехнического моделирования представляет собой «большую» сеть транзисторов в отличие от «маленьких» сетей транзисторов, соответствующих отдельным логическим элементам. Моделирование осуществляется на двоичных (0,1) наборах значений входных сигналов схемы, такие наборы называют тестовыми наборами или просто тестами. Схемотехническое моделирование является весьма трудоемким, поэтому оценка энергопотребления при таком моделировании ведется на ограниченных по длине тестах, по которым и судят об энергопотреблении схемы. В практике проектирования хорошо известно [1, 2], что основная доля энергопотребления

КМОП-схем приходится на переключения транзисторов. В работе [3] предложено оценивать энергопотребление логических КМОП-схем путем подсчета числа переключившихся транзисторов элементов схемы, а для этой цели использовать логическое моделирование.

В данной работе предлагаются VHDL-модели логических элементов с нулевыми временными задержками. Данные модели позволяют проводить подсчет числа переключившихся транзисторов при предположении, что каждый элемент схемы на конкретном тестовом наборе срабатывает только один раз. Приводятся результаты быстрого логического моделирования структурных VHDL-описаний схем в системе моделирования ModelSim и их сравнение с результатами схемотехнического моделирования. Скорость логического моделирования на несколько порядков выше скорости схемотехнического моделирования, а погрешность оценки энергопотребления на основе логического моделирования составляет в среднем 17% по сравнению с эталонной оценкой, получаемой схемотехническим моделированием. Использование системы ModelSim позволяет значительно сократить время оценки энергопотребления по сравнению с программой [3] подсчета числа переключений.

II. VHDL-МОДЕЛИ ЛОГИЧЕСКИХ КМОП-ЭЛЕМЕНТОВ ДЛЯ ПОДСЧЕТА ЧИСЛА ПЕРЕКЛЮЧЕНИЙ ТРАНЗИСТОРОВ

Комбинационные КМОП-элементы используемой библиотеки проектирования заказных СБИС имеют от одного до шести входов и один выход [3]. Каждому КМОП-элементу этой библиотеки соответствует своя транзисторная схема. После анализа транзисторных схем комбинационных логических элементов библиотеки было установлено, что в них каждый вход КМОП-элемента соединен с парой транзисторов: n -МОП-транзистором и p -МОП-транзистором. Транзисторы соединены так, что при изменении сигнала на каждом из входов ($0 \rightarrow 1$, $1 \rightarrow 0$) один из них открывается, другой – закрывается. В VHDL-описании каждого элемента кроме логических операторов для описания функций имеется средство (VHDL-процесс) для подсчета числа переключившихся транзисторов в этом элементе. Для этого VHDL-модель элемента снабжа-

ется дополнительным выходом Z , значение которого определяет число переключившихся транзисторов в данном сеансе моделирования. Так как моделирование осуществляется без задания временных задержек элементов, то в один момент времени моделирования осуществляются все требуемые переключения всех сигналов схемы – входных, внутренних и выходных. Один и тот же элемент схемы может менять значение своего выхода несколько раз, так как могут меняться значения входных сигналов в одном такте моделирования – при таком VHDL-моделировании (с нулевыми задержками) реализуется механизм дельта-задержек [4]. При подсчете переключений важно учитывать число переключений транзисторов, вызываемых изменениями значений каждого входного сигнала элемента, только один раз. Этот подсчет усложняется, если изменения входных сигналов одного и того же элемента происходят более одного раза для одного и того же отсчета времени моделирования. В этих случаях требуется исключать переключения, возникающие при состязании сигналов, так как предполагается, что в этих случаях транзисторы не успевают переключаться. В действительности, конечно, это не всегда так.

VHDL-модель двухвходового КМОП-элемента И, имеющего имя $A2$, представлена ниже.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;
entity A2 is
port (A:IN std_ulogic;
      B:IN std_ulogic;
      Y:OUT std_ulogic;
      Z:OUT REAL);
end;
architecture BEHAVIOR of A2 is
begin
Y <= (A and B);--функция элемента A2
process (A,B)
variable ptime : time:=0 ps;
variable pbits,c_bits :
std_logic_vector (1 to 3)
:= (OTHERS=>'U');
variable temp_c,temp: REAL:=0.0;
begin
if (ptime = now) then
pbits:=c_bits;
temp_c:=temp_c-temp;
else
c_bits:=pbits;
end if;
pbits(1):=A xor pbits(1);
pbits(2):=B xor pbits(2);
pbits(3):=(A nand B) xor pbits(3);
temp:=0.0;
```

```
for i in pbits'RANGE loop
if (pbits(i)='1') then
temp:=temp + 2.0;
-- переключились два транзистора
end if;
end loop;
pbits(1):=A;
pbits(2):=B;
pbits(3):=A nand B;
temp_c:=temp_c+temp;
Z<=temp_c;
ptime:=now;
end process;
end;
```

Для проведения подсчета суммарного числа переключений транзисторов VHDL-модель схемы дополняется процессом, осуществляющим суммирование переключений по всем элементам.

III. ЭКСПЕРИМЕНТ

Каждый пик потребления тока соответствует переключениям транзисторов, которые происходят из-за смены одного входного набора другим, среднее потребление тока задается значением параметра *Average*, выдаваемого системой Accusim (разработка фирмы Mentor Graphics) в результате моделирования. Далее значение параметра *Average* будем обозначать через A , суммарное число всех переключений транзисторов в схеме – через S , а число наборов в тесте называть длиной теста и обозначать через N . Среднее потребление тока на переключение одного транзистора (параметр α) будем подсчитывать по формуле $\alpha = \frac{A \times N}{S}$.

Чтобы определить среднее потребление тока на переключение одного транзистора по всем логическим элементам библиотеки проектирования и всем вариантам подачи значений сигналов на входы элементов, был проведен эксперимент, в котором варьировались тестовые последовательности входных наборов, подаваемых на вход схем. Схемы *gsx1*, *bsx1*, *mul* были взяты из практики проектирования, остальные – из набора тестовых примеров «Berkeley PLA test set». Были применены следующие типы T тестовых последовательностей (тестов):

Тест типа $T=1$. На любом входе логической схемы для любого входного набора вероятность появления единицы равна 0.5.

Тест типа $T=2$. Упорядоченная по возрастанию десятичного эквивалента последовательность из 2^r всех наборов булева пространства размерности r .

Тест типа $T=3$. Упорядоченная по убыванию десятичного эквивалента последовательность из 2^r всех наборов $\langle 111\dots 1, \dots, 000\dots 0 \rangle$ булева пространства

размерности r , т.е. тест 3 представляет обратный порядок задания наборов теста типа 2.

Тест типа $T=4$. Все упорядоченные пары входных наборов из булева пространства размерности r , генерируемые с помощью алгоритма из работы [5].

Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями параметров: длительности передних и задних фронтов входных сигналов 1 ns; период подачи входных сигналов 40 ns; температура +27°C. Задержка каждой из схем не превышала 40 ns. Среднее значение параметра α , полученное усреднением значений по всем 29 экспериментам, составляет $\alpha = 2,795682$ мкА (микроампер). Результаты эксперимента представлены в табл. 1, в которой используются следующие обозначения:

T – тип тестовой последовательности, $T=1,2,3,4$;

A (*Average*) – средний потребляемый ток в милли-

амперах (мА), измеренный с помощью схемотехнического моделирования в системе Accusim;

m – число логических элементов в схеме;

S – число переключений транзисторов в схеме, подсчитанное путем моделирования VHDL-описаний схемы (нетлистов) в системе ModelSim;

N – число наборов в тесте;

$t_{Accusim}$ – время схемотехнического моделирования в системе Accusim, с;

α – среднее потребление тока в микроамперах (мкА) на переключение одного транзистора;

$A_{предск}$ – предсказанное значение потребляемого схемой тока;

σ – погрешность предсказания значения тока, потребляемого схемой $\sigma = \frac{(A - A_{предск})}{A} 100\%$.

Таблица 1

Результаты эксперимента

Схема	T	A (мА)	m	S	N	$t_{Accusim}$ (сек)	α (мкА)	$A_{предск}$ (мА)	σ %
z9sym	1	0,8471	166	150 692	512		2,878156	0,8228	2,8
addm4	1	1,8260	359	384 122	512		2,433893	2,0974	-14,8
life	1	0,2715	33	47 318	512		2,937740	0,2583	4,8
z9sym	2	0,1910	166	36 800	512		2,657391	0,2009	-5,2
addm4	2	1,0094	359	210 694	512		2,452907	1,1504	-13,9
life	2	0,1371	33	22 424	512		3,130360	0,1224	10,7
z9sym	3	0,1984	166	36 800	512		2,760347	0,2009	-1,2
addm4	3	1,0320	359	210 694	512		2,507826	1,1504	-11,4
life	3	0,1301	33	22 424	512		2,970531	0,1224	5,8
gsx1	4	0,2205	28	298 360	4032		2,979809	0,2068	6,1
bsx1	4	0,2168	30	315 816	4032		2,767869	0,2189	-1,0
b12	1	0,3097	49	58 726	512		2,700105	0,3206	-3,5
in0	1	1,1216	318	277 468	512		2,069641	1,5150	-35,0
tms	1	0,4859	156	118 458	512		2,100160	0,6468	-33,1
mlp4	1	1,3088	262	282 388	512		2,372996	1,5419	-17,8
root	1	0,5769	111	112 496	512		2,625629	0,6142	-6,4
intb	1	4,9836	1078	69 248	32		2,302957	6,0498	-21,4
intb	1	5,0231	1078	1 096 640	512		2,345188	5,9880	-19,2
C1355	1	3,5745	224	3 326 930	4096	3134,6	4,400873	2,2707	36,4
C1908	1	2,3098	207	2 129 820	4096	2275,5	4,442266	1,4536	37,0
CHT	1	0,7957	116	1 119 990	4096	670,2	2,910102	0,7644	3,9
I8	1	1,6912	634	4 566 320	4096	4967,9	1,517010	3,1166	-84,2
FRG2	1	5,0366	777	7 131 138	4096	9113,6	2,892964	4,8672	3,3
C432	1	1,6411	188	467338	1024	333,6	3,596086	1,2759	22,2
C880	1	0,3111	71	178738	1024	83,1	1,782865	0,4879	-56,8
DALU	1	2,0218	327	725049	1024	573,7	2,855552	1,9794	2,1
I3	1	0,3874	42	165538	1024	94,8	2,396828	0,4519	-16,6
I9	1	0,6503	102	197508	1024	118,5	3,371913	0,5392	17,0
My_adder	1	0,7123	93	186326	1024	119,4	3,914816	0,5086	28,5

После анализа данных, представленных в табл. 1, и анализа результатов других экспериментов можно сделать следующие выводы.

1. Использовать экспериментально полученное значение параметра α можно лишь для схем, работающих на одной и той же тактовой частоте (период смены входных наборов для которых составляет 40 ns), т.е. для каждой тактовой частоты требуется определять свое значение параметра α . Другие параметры (длительности фронтов входных сигналов, температура и т.д.) также должны быть одинаковыми при схемотехническом моделировании оценки энергопотребления схем на основе экспериментально полученного значения параметра α . Эксперименты показали, что значение параметра α пропорционально тактовой частоте: если период подачи входных наборов изменяется, например, увеличивается в два раза, то пропорционально в два раза уменьшается значение параметра α при моделировании одной и той же схемы на том же тесте. При этом, естественно, требуется учитывать задержку схемы и следить за тем, чтобы период подачи входных наборов не оказался меньше задержки схемы.

2. Подсчет числа переключающихся транзисторов, осуществляемый путем VHDL-моделирования, производится для схем практической размерности очень быстро и значительно превосходит по скорости программу подсчета числа переключений, оперирующую с SF-описаниями логических схем и входящую в систему ЭЛС [3]. Например, подсчет числа переключений транзисторов схемы, состоящей из 520 элементов, на тесте из 4096 наборов занял 208 с; аналогичная процедура, основанная на VHDL-моделировании, заняла на том же компьютере менее одной секунды.

3. Время VHDL-моделирования любой из схем не превышало одной секунды – в отличие от времени схемотехнического моделирования, составившего от одной (и более) минут до нескольких часов.

4. Наибольшая точность предсказанного значения потребляемого тока была получена для схем, близких к каскадным, у которых практически отсутствуют состязания сигналов и вызываемые ими промежуточные переключения внутренних сигналов схемы.

5. Наибольшая погрешность предсказанного значения потребляемого тока была для схем, которые имели отклонения от «среднестатистических», например, для схем, состоящих только из инверторов и 4-входных библиотечных элементов (в таких схемах отсутствовали двухвходовые и трехвходовые элементы); а также для схем, в которых многие элементы имели большие нагрузочные способности.

6. Погрешность оценки энергопотребления на основе логического VHDL-моделирования с нулевыми задержками КМОП-элементов составляет в среднем от -21,4% до +13,9% по сравнению с эталонной оценкой, получаемой с помощью схемотехнического моделирования. Погрешность со знаком «-» говорит о том, что предсказываемое значение потребления тока больше чем значение, получаемое при схемотехническом моделировании. Погрешность со знаком «+», составляющая в среднем 13,9%, говорит о том, что ток, реально потребляемый схемой, будет больше предсказываемого. Такие погрешности являются практически приемлемыми, что говорит о полезности предложенного способа быстрой оценки потребляемого тока на этапе выбора вариантов реализации схемы.

IV. ЗАКЛЮЧЕНИЕ

Использование логического VHDL-моделирования позволяет эффективно провести подсчет числа переключений транзисторов в комбинационных схемах КМОП СБИС, с достаточной практической точностью и быстро предсказывать средние значения потребляемого схемой тока питания, что значительно сокращает время оценки энергопотребления вариантов логических схем по сравнению с использованием для этих целей схемотехнического моделирования. Представляется целесообразным для повышения точности оценки энергопотребления на основе логического моделирования проводить подсчет числа переключений транзисторов с учетом задержек сигналов элементами схемы. Предложенные VHDL-модели логических элементов могут быть модифицированы для проведения такого моделирования.

ЛИТЕРАТУРА

- [1] Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы, 2-е изд.: Пер. с англ. - М.: ООО «И.Д.Вильямс», 2007. - 912 с.
- [2] Ghosh A., Devadas S., Ketzner K., White J. Estimation of Average Switching Activity in Combinational and Sequential Circuits // Proc. 29th ACM/IEEE Design Automation Conference. - 1992. - P. 253 – 259.
- [3] Бибило П.Н., Кириенко Н.А. Оценка энергопотребления логических КМОП-схем по их переключательной активности // Микроэлектроника. – 2011. - № 5. - С. 1 – 14.
- [4] Суворова Е.А. Шейнин Ю.Е. Проектирование цифровых систем на VHDL. – СПб.: БХВ-Петербург, 2003. - 576 с.
- [5] Закревский А.Д. Минимизация перебора ориентированных пар. Танаевские чтения // Доклады Четвертой Международной научной конференции (29 марта 2010 г., Минск). - Минск: ОИПИ НАН Беларуси, 2010. - С. 89 – 97.