

Схема предсказания исключительной ситуации «потеря точности» в модуле операции «умножение с накоплением»

П.С. Зубковский, Е.В. Ивасюк

Учреждение Российской академии наук Научно-исследовательский институт системных исследований РАН, eugene_i@newmail.ru

Аннотация — Статья описывает ускоренный метод вычисления бита-признака исключительной ситуации «потеря точности» в арифметическом конвейере модуля «умножение с накоплением».

Ключевые слова — вещественная арифметика, умножение с накоплением, предсказание исключений, IEEE754.

I. ВВЕДЕНИЕ

Присутствие аппаратной поддержки вычисления операций вещественного умножения с накоплением без промежуточного округления (FMA, [1]) становится необходимым условием высокого быстродействия микропроцессоров общего или специализированного назначения на инженерных задачах.

Например, данная операция может быть чрезвычайно полезной при вычислении полиномиальной аппроксимации различных функций, обеспечивая при этом достаточную точность вычисления полиномов методом Горнера[2].

Учитывая то, что многие современные микропроцессоры, например, построенные по архитектурам IA64 и PowerPC, содержат в своем составе FMA вычислители, разработка таких быстродействующих модулей является очень актуальной задачей.

II. СПОСОБЫ УВЕЛИЧЕНИЯ БЫСТРОДЕЙСТВИЯ МОДУЛЯ

Ранее был описан ([3]) модуль вещественного умножения с накоплением повышенной точности, который включен в состав специализированного сопроцессора комплексных вычислений одинарной точности.

Существует два направления повышения быстродействия модуля умножения с накоплением. Первое связано с максимально возможным укорочением длины конвейера и, следовательно, снижением латентности работы. Ограничением в данном случае выступает минимально допустимая частота работы, а также допуски, связанные с потреблением и занимаемой на кристалле площадью.

Второе направление касается взаимодействия вычислителя с верхним по иерархии блоком, будь то блок

вещественной арифметики или специализированный сопроцессор. Например, возможность модуля предсказывать исключительные ситуации на ранних стадиях своей работы.

Способность арифметического модуля предсказывать исключительные ситуации, даже неточно, поможет ускорить выполнение инструкций в режимах, когда такие ситуации разрешены в системе. Также эта способность может стать чрезвычайно полезной при использовании механизма внеочередного выполнения инструкций.

Поскольку работа модуля удовлетворяет стандарту IEEE754, то предполагается обработка четырех исключительных ситуаций:

- 1) Invalid operation (некорректная операция);
- 2) Overflow (переполнение);
- 3) Underflow (потеря значимости);
- 4) Inexact operation (потеря точности).

Исключительная ситуация «потеря точности» является наиболее трудоемкой с точки зрения предсказания, поскольку зачастую ее признак вычисляется на последней стадии – стадии округления.

III. СТРУКТУРНАЯ СХЕМА МОДУЛЯ УМНОЖЕНИЯ С НАКОПЛЕНИЕМ БЕЗ ПРЕДСКАЗАНИЯ

Структурная схема модуля умножения с накоплением без промежуточного округления приведена на рис. 1. Модуль построен по стандартной конвейерной схеме (3 такта), обрабатывает числа одинарной точности и не содержит механизма предсказания исключительных ситуаций.

Признак потери точности в этой реализации вычисляется на последнем этапе работы, после округления. Для вычисления константы округления, которая прибавляется к итоговому результату, необходим признак того, что во время вычисления произошла потеря точности или отбрасываются значащие биты мантиссы при округлении.

Признак того, что происходит потеря значащих битов слагаемого, вычисляется на первом такте работы конвейера в процессе выравнивания. Для этого выполняется операция побитовой дизъюнкции битов слагаемого, которые были выдвинуты за пределы разрядности внутреннего представления мантииссы (74 бита).

Второй признак потери точности вычисляется на последнем этапе работы конвейера, после нормализации промежуточного результата, для этого выполняется операция побитовой дизъюнкции битов мантииссы результата, которые должны быть отброшены в процессе округления.

Такая организация вычисления бита признака потери точности не позволяет выполнить его предсказание на ранних стадиях конвейера. Поэтому, необходимо разработать другой подход, реализующий косвенный метод вычисления потери значащих битов.

Очевидно, что предсказать потерю точности при округлении на первом этапе невозможно, поэтому этот флаг будет предсказан не позже второго такта работы конвейера.

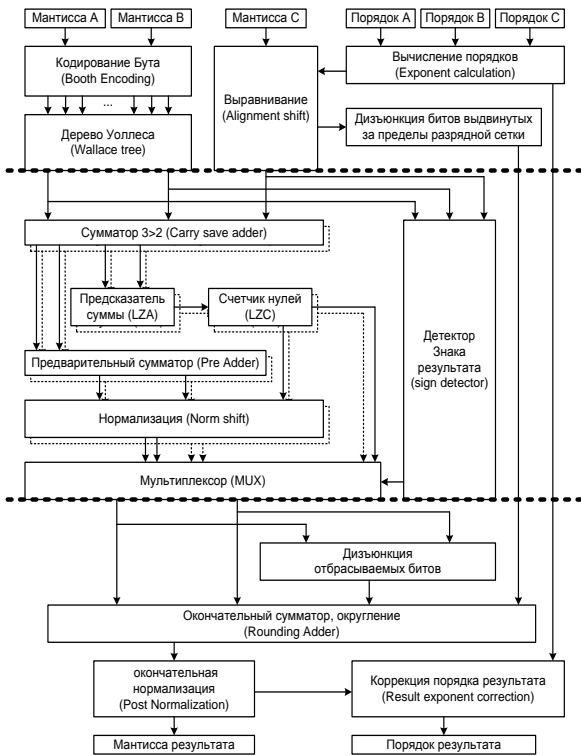


Рис. 1. Структурная схема модуля умножения с накоплением повышенной точности

IV. ОПИСАНИЕ АЛГОРИТМА ПРЕДСКАЗАНИЯ ИСКЛЮЧИТЕЛЬНОЙ СИТУАЦИИ INEXACT OPERATION

Так как потеря точности в упомянутой структуре может происходить на первом и третьем этапах вычисления, необходимо реализовать схему предсказания в обоих случаях.

На рис. 2 показана схема предсказания ранней потери точности, возникающей во время выравнивания слагаемого на первом этапе работы конвейера. Жирными линиями показаны добавленные элементы в уже существующую структуру.

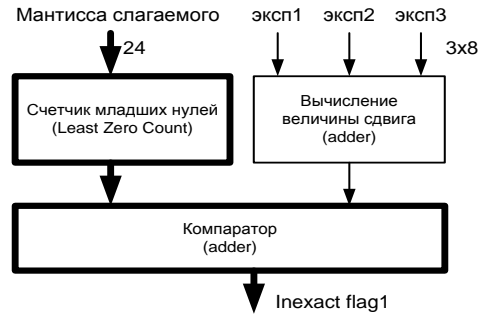


Рис. 2. Структурная схема предсказания ранней потери точности

Как видно из рисунка, непосредственная дизъюнкция выдвинутых за пределы внутреннего представления битов заменяется на косвенное вычисление. То есть, производится подсчет младших нулевых битов входной расширенной мантииссы слагаемого, рис. 3.

Затем эта величина сравнивается с величиной сдвига выравнивания. Если величина сдвига больше, чем число младших нулей, то имеет место потеря точности:

$$\begin{cases} Sticky_bit1 = 1, LST_ZER_{Fc} + 50 - AShift < 0 \\ Sticky_bit1 = 0, LST_ZER_{Fc} + 50 - AShift \geq 0, \end{cases}$$

где $Sticky_bit1$ – бит-признак ранней потери точности, LST_ZER_{Fc} – значение младших нулей мантииссы слагаемого, $AShift$ – величина сдвига выравнивания мантииссы слагаемого.

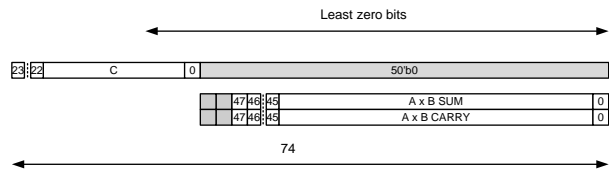


Рис. 3. Взаимное расположение мантиисс слагаемого и произведения на входе устройства выравнивания

Применение схемы предсказания ранней потери точности позволяет ускорить вычисление самого сложного (длинного) пути сигнала первого этапа.

На рис. 4 приведена схема предсказания поздней потери точности. Жирными линиями показаны добавленные в уже существующую структуру элементы. Здесь применен тот же принцип, что и в первом такте работы конвейера - непосредственная дизъюнкция отбрасываемых в процессе округления битов заменяется на косвенное вычисление.

Для этого к уже реализованному механизму подсчета старших нулей суммы добавлена схема подсчета младших нулей. Затем значения старших и младших нулей поступают на компаратор, который определяет, останутся ли значащие (ненулевые) биты за пределом разрядности конечного представления мантииссы:

$$\begin{cases} Sticky_bit2 = 1, LST_ZER_{SUM} + LZER_{SUM} < 50 \\ Sticky_bit2 = 0, LST_ZER_{SUM} + LZER_{SUM} \geq 50, \end{cases}$$

где LST_ZER_{SUM} – величина младших нулей промежуточной суммы до нормализации, $LZER_{SUM}$ – величина старших нулей промежуточной суммы.

Итоговый бит-признак потери точности вычисляется по формуле:

$$Inexact = Sticky_bit1 + Sticky_bit2 + Overflow,$$

где $Overflow$ – признак переполнения, вычисляется на основе промежуточного значения экспоненты.

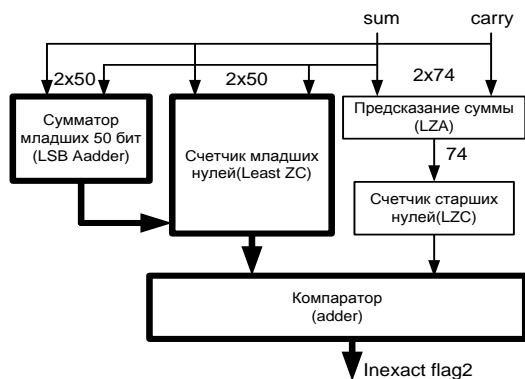


Рис. 4. Структурная схема предсказания поздней потери точности

Также необходимо отметить, что все счетчики нулевых битов (как старших, так и младших) имеют структуру параллельного вычисления взамен древовидной структуры. Это сделано для повышения быстродействия, в ущерб площади.

Примеры реализации схем подсчета младших нулей в 16-разрядном слове на основе параллельной и стандартной (древовидной) структур приведены на рис. 5 и рис. 6.

В табл. 1 приведены задержки вычисления битов для примеров схем, приведенных на рис. 5 и рис. 6, оценка не отражает результаты схемотехнического синтеза схем, она выполнена приблизительно, в базе двухвходовых NAND вентилей.

Как видно из табл. 1, схема параллельного подсчета имеет значительно меньшую задержку вычисления младших битов значения. Это становится очень важным, так как подсчитанное значение дальше обрабаты-

вается компаратором (сумматором), который обрабатывает входные операнды, начиная с младших битов. Разница в реализациях будет тем больше, чем шире разрядность обрабатываемых операндов.

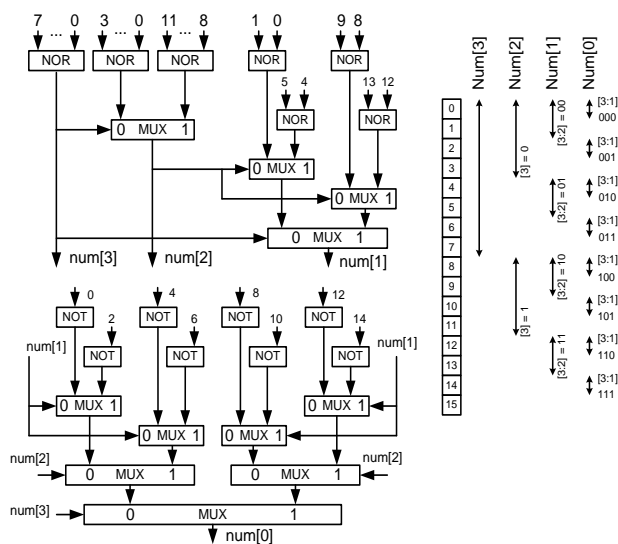


Рис. 5. Пример древовидной структуры подсчета младших нулей для 16-разрядного слова

Для дополнительного ускорения работы параллельного счетчика нулей может быть использована следующая особенность: некоторые элементы схемы на рис. 6 (помечены серым цветом) вычисляют признак нулевого значения части входной суммы, который можно получить непосредственно из промежуточных данных (в избыточной форме carry-save), не проводя полноценного суммирования. Для этого применен известный подход определения нулевого значения суммы непосредственно из входных операндов[4].

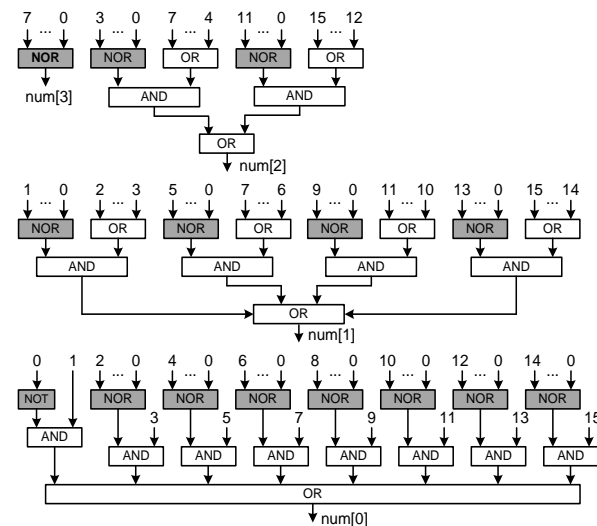


Рис. 6. Пример структуры параллельного подсчета младших нулей для 16-разрядного слова

Таблица 1

Задержка вычисления битов числа нулей

| Биты значения | Вентили в пути сигнала счетчиков | |
|---------------|----------------------------------|--------------------|
| | Древовидная схема | Параллельная схема |
| 3 | 3xNAND | 3xNAND |
| 2 | 5xNAND | 6xNAND |
| 1 | 9xNAND | 7xNAND |
| 0 | 15xNAND | 8xNAND |

А именно, значение суммы операндов, поступающее на вход счетчика, заменяется на упрощенный вариант, в котором цепочка переносов настоящего сумматора заменяется на приближенное значение. Структурная схема представлена на рис. 7. Жирными линиями отмечена упрощенная цепь расчета переносов.

Оценить эффективность раннего предсказания потери точности можно, рассматривая последовательность команд умножения с накоплением, выдаваемых на вход арифметического блока.

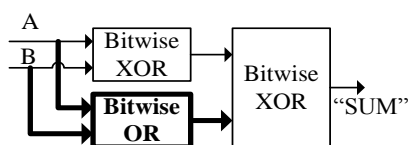


Рис. 7. Структурная схема упрощенного сумматора для определения признака нуля результата

На рис. 8а показан случай, когда раннее предсказание потери точности не используется и сигнал предсказания исключительной ситуации остается в активном состоянии до конца выполнения инструкции, т.е. до стадии записи результата в регистровый файл. В этом случае следующая инструкция будет выдана на выполнение только после снятия сигнала предсказания. Наличие зависимости по данным между предыдущей и последующей инструкциями не имеет значения, а частота выдачи инструкций на выполнение определяется длительностью сигнала предсказания исключений.

Использование раннего предсказания потери точности позволяет снимать сигнал предсказания исключений через два такта после выдачи инструкции на выполнение. Если следующая инструкция является зависимой по данным (см. рис. 8б), то она может быть выдана на выполнение на стадии записи результата предыдущей инструкции в регистровый файл. Результат предыдущей инструкции будет передан на вход последующей через схему обратных связей по данным. В случае зависимых инструкций применение раннего предсказания потери точности дает выигрыш в один такт.

В случае, когда выполняемые инструкции являются независимыми (см. рис. 8в), выигрыш от применения раннего предсказания потери точности составляет уже

два такта, т.е. позволяет в 2 раза ускорить выполнение инструкций.

Предсказание бита-признака потери точности позволяет упростить также стадию округления, так как константа округления формируется раньше (на 2-ой стадии), чем в схеме на рис. 1 (на 3-ей стадии).

V. ЗАКЛЮЧЕНИЕ

Была разработана схема предсказания исключительной ситуации INEXACT OPERATION для модуля одинарной точности, выполняющего операцию умножение с накоплением без промежуточного округления. Схема реализована в виде RTL-модели, описанной на языке Verilog.

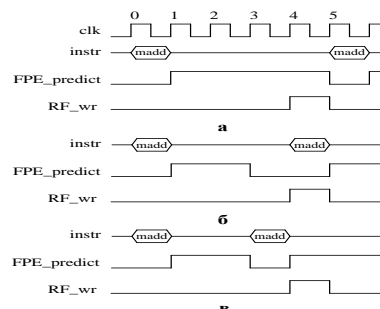


Рис. 8. Диаграммы выполнения инструкций умножения с накоплением: а) без раннего предсказания потери точности; б) инструкции зависимы по данным, использовано раннее предсказание потери точности; в) инструкции независимы по данным, использовано раннее предсказание потери точности.

Примененная методика косвенного определения потери точности позволяет завершить формирование бита признака исключительной ситуации inexact operation на втором этапе работы конвейера схемы и получить выигрыш по времени до 2-х раз на выполнении потока независимых команд умножения с накоплением при включенных исключениях.

Анализ быстродействия с помощью схемотехнического синтеза показывает, что предложенные нововведения не ухудшают частотных свойств старой схемы, которые находятся на уровне 250 МГц. Синтез выполнялся по проектным нормам 0.18мкм.

ЛИТЕРАТУРА

- [1] ANSI/IEEE Standard 754-2008: IEEE standard for Binary Floating-Point Arithmetic. Piscataway, NJ: IEEE Press, 2008.
- [2] Muller J.-M. Elementary Functions, Algorithms and Implementation. Birkhauser Boston. 2nd edition, 2006.
- [3] Аряшев С.И., Зубковский П.С., Ивасюк Е.В. Реализация модуля операции «Умножение с накоплением» повышенной точности и быстродействия // Электроника, микро- и нанoeлектроника. Сборник научных трудов. М.: МИФИ, 2007. С. 174-178.
- [4] Tomas L. and Javier B. Floating-point multiply-add fused with reduced latency // IEEE Transactions on Computers. August, 2004. V. 53. № 8. P. 988-1003.