

Оптимизация мощности токов утечки без изменения логического описания микросхемы

А.О. Власов

Научный Исследовательский Институт Системных Исследований РАН, Москва,
vlaalex@cs.niisi.ras.ru

Аннотация — В данной статье рассматриваются такие вопросы, как проблема выбора библиотечных элементов для достижения параметров технического задания, оптимальное использование библиотечных элементов, влияние планирования топологии размещения блоков на их параметры. Данные аспекты рассмотрены в контексте подходов к снижению мощности токов утечки микросхемы без изменения ее логического описания (RTL).

Ключевые слова — синтез, библиотеки стандартных ячеек, компиляторы блоков памяти, снижение мощности токов утечки.

I. ВВЕДЕНИЕ

В проектируемых на основе субмикронных технологий микросхемах мощность потребления стала таким же критичным параметром, как и быстродействие. Кроме того, для современных технологий все больший вклад в общую мощность дает статическая мощность токов утечки. Наиболее эффективным средством снижения данного эффекта является отключение питания неактивных блоков ИС. Однако данный подход требует изменения исходной логической структуры проекта и дополнительных усилий на всех этапах проектирования[1]. Другие подходы основаны на выборе наиболее приемлемого для конкретного проекта набора технологических библиотек, последующее эффективное использование их элементов при проектировании и настройке параметров САПР. Данные методы обладают одним очень важным достоинством: все процессы оптимизации становятся этапами общего маршрута проектирования и не зависят от входного логического RTL-описания микросхемы.

В НИИСИ РАН ведутся работы по разработке первого проекта для технологических норм 65нм (*П65*), являющимся развитием процессора *КОМДИВ64*. В данном проекте микропроцессорное ядро *сру* является наиболее критичным по быстродействию и потребляемой мощности. На его примере в данной статье показаны подходы, позволяющие осуществить:

- 1) выбор для проектирования оптимальных библиотек стандартных ячеек;
- 2) выбор компилятора памяти для достижения целей проектирования;
- 3) эффективное использование выбранного набора библиотечных элементов для снижения мощности

токов утечки с незначительным ухудшением остальных параметров микропроцессорного ядра *сру*;

- 4) подбор коэффициента использования площади внутри геометрических границ блока, выделяемой при планировании топологии микросхемы. Данный подход позволяет влиять на компромисс между быстродействием и такими параметрами, как площадь блока, потребляемая мощность, качество трассировки блока.

Текущие оценки проекта в целом показывают, что в худших условиях мощность токов утечки составляет около 30% от общей потребляемой мощности. Ожидается, что использование описанных ниже методов позволит существенно сократить этот вклад.

Проектирование проводилось с использованием САПР Design Compiler (Synopsys) и SOC Encounter (Cadence).

II. ВЫБОР БИБЛИОТЕКИ СТАНДАРТНЫХ ЯЧЕЕК

Первоначально для проектирования была доступна лишь одна библиотека стандартных ячеек *S10T*. Высота всех ее элементов составляла 10 трекков металлизации. Каждая ячейка имела три варианта реализации в зависимости от используемых транзисторов:

- 1) *RVT*-вариант, построенный на базе транзисторов с неким стандартным значением порогового напряжения.
- 2) *LVT*-вариант с пониженным значением порогового напряжения имеющий максимальное быстродействие.
- 3) *HVT*-вариант с повышенным значением порогового напряжения, обладающий минимальными значениями статической мощности.

В дальнейшем появилась возможность использования еще трех библиотек.

- 1) Библиотека *S9T*. По аналогии, высота всех ее ячеек составляет 9 трекков металлизации. Функциональный состав такой же, как и у *S10T*. Предполагалось, что данная библиотека даст выигрыш в статической мощности и площади за счет небольшого падения быстродействия.
- 2) Библиотека *D7T*. Базовая высота ячеек — 7 трекков металлизации, однако есть ячейки и с двойной высотой. Функциональный состав данной библиотеки богаче, чем у рассмотренных выше *S10T* и *S9T*. «Двойными» выполнены ячейки, реализующие

некоторые логические функции и/или с увеличенным выходным током. Ожидалось, что использование данной библиотеки даст наибольшее сокращение токов утечки и площади.

3) Библиотека **D10T**. Функциональный состав такой же, что и в **D7T**. Также присутствуют ячейки с двойной (20 трекв) высотой. Данная библиотека представляет собой более быстрый вариант **D7T**.

Все библиотеки имеют реализации ячеек на транзисторах с тремя разными значениями порогового напряжения. Для сравнения был выбран быстрый **LVT**-вариант для оценки минимального быстродействия, которое должно удовлетворять техническим требованиям проекта.

Библиотеки сравнивались на примере блока **int_mult_div** микропроцессорного ядра **cpu**. В нем отсутствуют макроблоки, и его логическая структура достаточно неоднородна. Блок синтезировался в Design Compiler [2], а затем в SOC Encounter были выполнены топологическое размещение и оптимизация. Результаты сравнения представлены в таблице 1.

Таблица 1

Относительное сравнение параметров блока **int_mult_div**

Библиотеки	Превышение минимальной частоты ТЗ	Изменение площади ячеек	Сокращение максимальной статической мощности
S10T	18%	0%	0%
S9T	6%	-1%	-21%
D7T	-4%	-3%	-37%
D10T	16%	3%	-32%

Из таблицы видно, что для вариантов реализации на библиотеках **S9T** и **D7T** ожидаемого сокращения площади не произошло. Скорее всего, это случилось из-за того, что быстродействие данных схем оказалось близким к требуемой частоте, и в попытках ее достигнуть произошел рост площади. Вариант **D10T** на фоне остальных выглядит наиболее предпочтительным: его статическая мощность на 32% меньше, чем у исходной схемы на **S10T**, а проигрыш по быстродействию и суммарной площади всех ячеек минимален.

Суммируя, можно сделать ряд важных выводов.

- 1) Параметры разных библиотек даже для одной технологии могут существенно различаться. От выбора библиотеки зависит качество всего проекта.
- 2) Библиотеки дают ожидаемые результаты, если используются в проектах, где их преимущества приоритетно востребованы. В некритичных по быстродействию проектах библиотеки **S9T** и **D7T** полностью реализуют свои сильные стороны: компактность и экономичность.

3) Только реализовав пробный блок на ячейках можно оценить эффективность использования библиотек в контексте конкретного проекта.

III. ВЫБОР КОМПИЛЯТОРА БЛОКОВ ПАМЯТИ

Выбор компилятора **Блоков Памяти (БП)** так же, как и подбор библиотеки стандартных ячеек, влияет на конечное качество всего проекта. Если больше 50% площади микросхемы, как в **П65**, составляют **БП**, то параметры используемых **БП** становятся определяющими для всего проекта. В зависимости от **Компилятора Блоков Памяти (КБП)** меняется способ организации **БП**, схемотехническая реализация отдельных элементов, список доступных опций. В конечном счете, это влияет на такие параметры, как быстродействие, геометрические размеры, потребляемая мощность.

Для проектирования **П65** вначале был доступен лишь один компилятор – **КБП1**. Однако впоследствии появилась альтернатива – **КБП2**, вследствие чего потребовалось их сравнение. Результаты сопоставления параметров наиболее критичных **БП** представлены в таблице 2:

Таблица 2

Сравнение **КБП2** с **КБП1**. Относительное изменение параметров **БП**

БП	Минимальная частота	Изменение площадь	Сокращение статической мощности	Кол-во БП в проекте
1 port SRAM 1024x128	-12%	-28%	-36%	46%
2 port SRAM 1024x4	9%	-12%	5%	2%
1 port RF 256x68	2%	-6%	11%	3%
2 port RF 512x35	1%	-9%	-48%	50%

Новый компилятор позволяет получить значительный выигрыш по площади и статической мощности для самых распространённых в проекте типов памяти. Однако по быстродействию **БП 1 port SRAM** получаются медленнее на 12%. Для выбора наиболее подходящего для данного проекта компилятора необходимо более детальное исследование. В следующей главе оно будет проведено в контексте самого критичного по быстродействию блока - микропроцессорного ядра **cpu**.

IV. ОПТИМАЛЬНОЕ ИСПОЛЬЗОВАНИЕ ВЫБРАННОГО НАБОРА БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ

Сначала рассмотрим, как влияют реализация стандартных ячеек на транзисторах с разным пороговым напряжением на параметры схемы. В таблице 3 представлены параметры схемы **cpu**. Все три варианта были получены с использованием ячеек лишь одного типа, при одинаковых условиях, временных и геомет-

рических ограничениях. Данные в таблице нормированы по соответствующим значениям параметров *LVT*-реализации.

Таблица 3

Параметры вариантов реализации *cpu* на ячейках типа *LVT*, *RVT* и *HVT*

Период функционирования	1,43		
Параметры реализаций	Библиотеки ячеек		
	LVT	RVT	HVT
Стат. мощность	1	0,65	0,58
Дин. мощность	1	0,98	1,03
Площадь ячеек	1	1,02	1,04
Миним. период	1	1,25	1,43

Можно заметить, что сокращение статической мощности в *HVT*-варианте привело к потере 43% быстродействия. Незначительное увеличение динамической мощности и площади стандартных ячеек обусловлены в основном низкими выходными токовыми характеристиками элементов *HVT*-библиотеки. Для достижения тех же временных параметров программам САПР требуется большее количество буферов и более мощные, а, соответственно, и большие по площади, ячейки. *RVT*-вариант представляет следующий компромисс: значение статической мощности близко к *HVT*-реализации, но потеря быстродействия относительно *LVT*-варианта уже меньше – 25%. Из полученных результатов следует, что для получения высокоскоростного проекта желательно использовать *LVT*-библиотеки стандартных ячеек, а статическую мощность снижать путем реализации не критических цепей на *HVT*-элементах. Таким образом, оптимальное использование набора библиотечных элементов с более низкими значениями токов утечки позволяет снизить статическую мощность средствами САПР [3].

Произведем сравнение различных способов применения данного подхода. Для реализации и оптимизации *cpu* будут использоваться:

1) выбранная ранее библиотека *стандартных ячеек D10T*, построенных на транзисторах с разными значениями порогового напряжения:

а. Ячейки *LVT* (низкий "порог") – быстрые, но с высокими значениями токов утечки.

б. Ячейки *HVT* (высокий "порог") – медленные, но имеющие малую статическую мощность.

2) Блоки памяти, полученные компиляторами *КБП1* и *КБП2*.

Исходный проект был реализован на ячейках *LVT*, и *БП*, сгенерированных *КБП1*. Предполагается, что использование такого набора элементов обеспечит максимальное быстродействие. Другие варианты реализации *cpu*:

1) Оптимизация исходной схемы с помощью *HVT*-ячеек (опт. *HVT*).

2) Использование в исходной схеме *БП*, сгенерированных компилятором *КБП2*. Оптимизация проекта под эти *БП* (*КБП2*).

3) Оптимизация предыдущего варианта с помощью *HVT*-ячеек (*КБП2+HVT*).

4) Анализ основных параметров блоков *cpu* и выбор набора ячеек для их реализации (таблица 4). Последующая сборка из них *cpu*. В данном варианте использовались *БП*, сгенерированные *КБП2* (опт. блоков *КБП2+HVT*).

Таблица 4

Сравнение параметров блоков *cpu*

Блоки <i>cpu</i>	Относительное быстродействие	Площадь макроблоков, %	Набор ячеек для реализации
<i>cpu_core</i>	0,90	67	<i>LVT + HVT</i>
<i>L2</i>	1,00	93	<i>LVT</i>
<i>fpu</i>	0,85	14	<i>HVT</i>
<i>int_mult_div</i>	0,70	0	<i>HVT</i>

Параметры полученных вариантов реализации *cpu* приведены в таблице 5. Все данные в таблице нормированы по соответствующим значениям параметров исходного проекта.

Таблица 5

Сравнение параметров оптимизированных схем *cpu*

CPU	Исходный проект	опт. HVT	КБП2	КБП2+HVT	опт. блоков КБП2+HVT
Быстродействие	1,00	1,03	1,04	1,06	1,03
Площадь ячеек	1,00	1,00	1,01	1,01	1,02
Мощность токов утечки	1,00	0,77	0,76	0,53	0,48
Ячейки HVT, %	0	67	0	67	79

Из результатов видно, что все варианты оптимизации существенно снижают статическую мощность схемы. При этом быстродействие ухудшается не более, чем на 6%, а площадь увеличивается не более, чем на 2%. Можно отметить, что проигрыш по быстродействию сгенерированных *КБП2* блоков памяти частично компенсировался синтезируемой логикой, особенно при поблочной оптимизации. Метод выбора набора ячеек для реализации каждого блока дал максимальный эффект: сокращение токов утечки – 52% при снижении быстродействия на 3% и увеличении площади на 2%. Данное замедление не критично, т.к. находится внутри допустимого 10% запаса. Также из результатов можно сделать вывод, что *КБП2* является оптимальным для проекта *П65*.

V. ПОДБОР КОЭФФИЦИЕНТА ИСПОЛЬЗОВАНИЯ ПЛОЩАДИ ПРИ ПЛАНИРОВАНИИ ТОПОЛОГИИ БЛОКА

Современные микросхемы содержат множество законченных функциональных блоков. Планирование их размещения – важнейший шаг на начальных этапах топологического проектирования. Оценка выделяемого места под каждый блок базируется на двух величинах: суммарной площади всех ячеек схемы (S_{cell}) и

коэффициенте использования (**КИ**) площади внутри границ. Выделяемая площадь для топологии рассчитывалась по формуле ($S_{cell}/\mathbf{КИ}$). При больших значениях **КИ** разработчик сталкивается с неоптимальным размещением ячеек и проблемами трассировки межсоединений. При малых значениях **КИ** снижается эффективность использования площади микросхемы и ухудшается быстродействие и мощность микросхемы из-за увеличения влияния межсоединений.

В данной главе на примере микропроцессорного ядра *cpu* произведен анализ качества реализации топологии в зависимости от **КИ**. Ядро *cpu* имеет в своем составе макроблоки, занимающих по оценкам более половины суммарной площади всех ячеек.

Оба этих блока были синтезированы в *Design Compiler* и созданы варианты топологии в *Encounter* для разных значений **КИ** [4]. Стоит отметить, что в финальных проектах были реализованы системы распространения синхросигналов и трассированы межсоединения. Для характеристики качества полученных вариантов реализации выступали следующие параметры:

- 1) быстродействие – максимальная частота функционирования;
- 2) суммарная площадь всех ячеек после реализации топологии;
- 3) мощность токов утечки.

В таблице 6 указаны относительные изменения параметров в зависимости от начального значения **КИ**. Изменения считались от параметров, полученных при **КИ**=0,5. Данный подход позволяет оценить влияние вариации значения **КИ** на рассматриваемые параметры.

Таблица 6

Влияние **КИ** на параметры топологии *cpu*

Начальный КИ		0,3	0,4	0,5	0,6	0,7	0,8
cpu	Быстродействие	-9%	1%	0%	-3%	-18%	-12%
	Мощность токов утечки	12%	2%	0%	-4%	-12%	-18%
	Площадь ячеек	67%	25%	0%	-17%	-29%	-38%

Из таблицы видно, что быстродействие падает, когда **КИ** становится меньше 0,4 и больше 0,5. Статическая мощность и суммарная площадь ячеек сокращается с ростом **КИ**, в основном за счёт сокращения буферов межсоединений. Однако при значениях **КИ** больше 0,7, как правило, возникают трудности трассировки соединительных проводников. Частично эту проблему отражает падение быстродействия при **КИ**=0,8.

Из вышесказанного можно сделать три вывода.

- 1) Нецелесообразно делать для таких сложных и неоднородных блоков микросхемы начальный **КИ** меньше 0,5 и больше 0,7.

- 2) Если есть запас по быстродействию, то реализация топологии при начальном **КИ**=0,7 обеспечит снижение мощности токов утечки и более эффективное использование площади микросхемы

- 3) Понижать **КИ** имеет смысл только, если происходит существенное падение быстродействия и увеличение количества нарушений трассировки.

VI. ЗАКЛЮЧЕНИЕ

В данной статье были рассмотрены подходы к снижению мощности токов утечки без влияния на логическую структуру микросхемы. Выбор наиболее подходящих для конкретного проекта библиотеки стандартных элементов и компилятора блоков памяти, включение в маршрут скриптов оптимизации не критичных путей *HVT*-ячейками и подбор оптимальных значений **КИ** для всех блоков микросхемы позволили добиться существенного снижения мощности токов утечки по сравнению с результатами стандартного маршрута проектирования. При этом все эти шаги нужно сделать один раз, уточняя в дальнейшем по необходимости только отдельные параметры оптимизации. Применение описанных подходов снизило долю статической мощности первого проекта НИИСИ РАН для технологических норм 65нм с 30% до 14%.

ЛИТЕРАТУРА

- [1] Low Power Methodology Manual For System-on-Chip Design. Synopsys, Inc. and ARM limited 2007.
- [2] Design Compiler® User Guide Version E-2010.12, Synopsys, December 2010.
- [3] Власов А.О. Оптимизация потребляемой мощности микросхем с использованием транзисторов с разным пороговым напряжением // 13-я Российская научно-техническая конференция "Электроника, микро- и нанoeлектроника". Сборник научных трудов, 2011. С. 65-68.
- [4] Encounter Digital Implementation System User Guide. Product Version 9.1.3. Copyright 2010, Cadence Design Systems, Inc.