

Разработка базовых элементов и маршрута проектирования регистровых файлов для технологии «Кремний на изоляторе» 0,25 мкм

О.Н. Буякова, П.Г. Кириченко, С.Э. Осина, О.В. Сысоева, И.В. Тарасов

Учреждение Российской академии наук

Научно-исследовательский институт системных исследований РАН,

buyakova@cs.niisi.ras.ru, pgkirich@cs.niisi.ras.ru, osina@cs.niisi.ras.ru, olga@cs.niisi.ras.ru,

tarasov@cs.niisi.ras.ru

Аннотация — Для отечественной технологии «Кремний на изоляторе», которая находится в процессе развития, не существует аналогов коммерческих программ-компиляторов памятей, имеющих в большом количестве для зарубежных фабрик-производителей. В связи с необходимостью обеспечить разработку блоков цифровых интегральных микросхем для технологии производства, отдельные параметры которой в будущем могут измениться, был создан специфический маршрут проектирования памятей - регистровых файлов. Данная методика вместе с построенной библиотекой базовых элементов позволяет решить вопрос быстрой разработки широкого спектра блоков памяти из небольшого набора элементов. Маршрут проектирования отличается простотой и не требует труда высококвалифицированных инженеров-схемотехников или топологов. Тем самым он позволяет решить важную задачу создания производительных и надежных блоков цифровых интегральных микросхем с запасом на возможные будущие изменения технологии в процессе ее развития.

Ключевые слова — регистровый файл, память, кремний на изоляторе, микроархитектура памяти, библиотека ячеек.

I. ВВЕДЕНИЕ

Одновременно с процессом создания и отладки отечественной технологии изготовления интегральных микросхем «Кремний на изоляторе» с технологическими нормами 0,25 мкм потребовалось разработать маршрут проектирования заказных блоков различного назначения. В числе самых распространенных заказных блоков в цифровых СБИС – блоки встроенных запоминающих устройств (ЗУ). Обычно для их создания используются коммерческие программы-компиляторы ЗУ. Они универсальны, рассчитаны на широкий ряд цифровых интегральных

схем и представляют собой последовательность шагов и соответствующих им командных файлов. Однако все они базируются на уже устоявшейся технологии производства.

Необходимость разработки собственного маршрута до окончания работ по отладке технологии производства диктовалась еще и тем, что в производство можно запустить тестовые микросхемы, которые дают важную информацию не только конструкторам, но и технологам. Это позволяет оценить качественно и количественно работу тех или иных решений на создаваемой технологической базе и их пригодность в будущем для получения требуемого быстродействия, потребляемой мощности и надежности – основных параметров любого электронного устройства. Для решения таких проблем в маршруте проектирования были применены оригинальные методики.

В данной статье раскрываются такие основные вопросы, как создание ограниченного набора базовых ячеек, позволяющих компилировать из них широкий спектр различных регистровых файлов; обеспечение надежного функционирования схемы в условиях большого технологического разброса параметров транзисторов и линий связи; обеспечение минимального количества ручных операций и вычислений в процессе создания регистровых файлов из базовых ячеек; упрощение наиболее трудоемкой части работ – топологического проектирования.

II. СХЕМОТЕХНИКА БАЗОВЫХ ЯЧЕЕК И МИКРОАРХИТЕКТУРА РАЗРАБАТЫВАЕМЫХ РЕГИСТРОВЫХ ФАЙЛОВ

Основным элементом любого ЗУ является запоминающая ячейка (ЗЯ). Именно она определяет параметры, как электрические, так и геометрические,

всех основных базовых ячеек, из которых строится весь блок [1]. Наибольшей помехоустойчивостью в режиме записи обладают ячейки с парафазными портами записи, а порты чтения могут быть для сокращения количества проводов однофазными с предзарядом битовых шин к напряжению питания. Схема такой ЗЯ с одним портом чтения и одним портом записи представлена на рис. 1. На ее базе можно строить многопортовые ЗУ с необходимым количеством портов, добавляя транзисторы и шины.

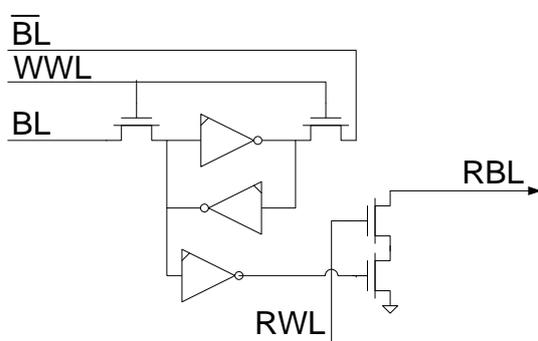


Рис. 1. Схема запоминающей ячейки регистрового файла

Поскольку в разрабатываемом микропроцессоре наибольшее количество регистровых файлов было представлено двухпортовыми блоками (один порт чтения и один порт записи), то маршрут проектирования разрабатывался в первую очередь для этого случая. ЗУ с большим количеством портов при схемотехническом проектировании не имеют принципиальных отличий от этого базового типа, так как у регистровых файлов все порты являются независимыми друг от друга.

Количество регистров в памяти проекта изменяется в диапазоне от 16 до 256, а количество бит в регистре – от 8 до 256. Такой широкий разброс параметров находится в противоречии с желанием уменьшить количество ячеек в библиотеке разрабатываемых элементов. Это привело к тому, что на этапе схемотехнического проектирования каждого элемента проводилось многократное моделирование и подбор размеров транзисторов с целью нахождения наиболее подходящих решений для всех возможных размеров памяти. Следует отметить, что распространенный подход, при котором паразитные параметры проводников на этом этапе проектирования не учитываются, в данном случае является порочным, так как эти параметры, особенно емкость длинных линий, вносят вклад до 50% в общую задержку электрических цепей. Поэтому ко всем длинным проводникам (битовые шины, словарные шины, частично дешифрованные адреса, синхросигналы) в обязательном порядке при расчетах подключалась паразитная емкость, рассчитанная исходя из

имеющихся технологических данных и размеров ячейки памяти, полученных при ее предварительном топологическом проектировании. Полученное значение увеличивалось еще на 10...15%, чтобы иметь запас на случай уменьшения нагрузочной способности транзисторов или увеличения погонной емкости линий связи при вероятных изменениях в технологическом процессе.

Чтобы использовать всего одну запоминающую ячейку для всего разнообразия проектируемых двухпортовых регистровых файлов, необходимо исключить влияние размеров памяти на окружение ячейки. Это в предложенном маршруте достигается следующим способом. Независимо от количества регистров к одной битовой шине чтения всегда подключается 8 запоминающих ячеек. Эти битовые шины подключены к двухвходовому объединяющему элементу, получившему название “readmerge”. Схема такого объединения показана на рис. 2. Она широко применялась отдельными авторами данной статьи во время их работы в фирме Intel над процессором с ядром архитектуры Nehalem, изготавливаемым по технологии 45 нм [2]. Напряжение на битовой шине приводится к напряжению питания во время цикла предзаряда (низкий уровень на входе PR) и разряжается до нуля во время чтения нуля из запоминающей ячейки или остается на уровне напряжения питания во время чтения единицы. Чтобы в последнем случае исключить влияние помех и наводок на битовую шину чтения, используется трехтранзисторная схема обратной связи. Из этих объединений набирается блок из 16 регистров с необходимым количеством бит каждый, а затем и весь массив памяти, в котором общую битовую шину GBL разряжают, в свою очередь, уже схемы readmerge.

Данная методика обладает неоспоримыми преимуществами [3]. Во-первых, достигается поставленная цель – одна запоминающая ячейка используется для создания ЗУ с разным количеством регистров. Во-вторых, за счет небольшой длины битовой шины чтения, объединяющей всего 8 ЗЯ, ее паразитная емкость мала. Это позволяет использовать небольшие транзисторы в порте чтения ЗЯ, что положительно сказывается на ее размерах и на размерах памяти в целом, особенно, если рассматривать дальнейшее применение этой методики для создания многопортовых регистровых файлов. В-третьих, за счет короткой битовой шины, являющейся динамическим распределенным узлом схемы, уменьшается влияние помех и наводок, что положительно сказывается на надежности устройства. К недостаткам данной методики можно отнести тот факт, что она позволяет создавать памяти с количеством регистров, кратным 16 (количество ЗЯ, объединяемых одной схемой readmerge). С другой стороны, в том случае, когда требуется разработать регистровый файл с некратным 16 количеством регистров, можно округлить его до ближайшего кратного, а избыточные просто не использовать. Потери площади в масштабах СБИС будут малы, а время разработки сэкономлено.

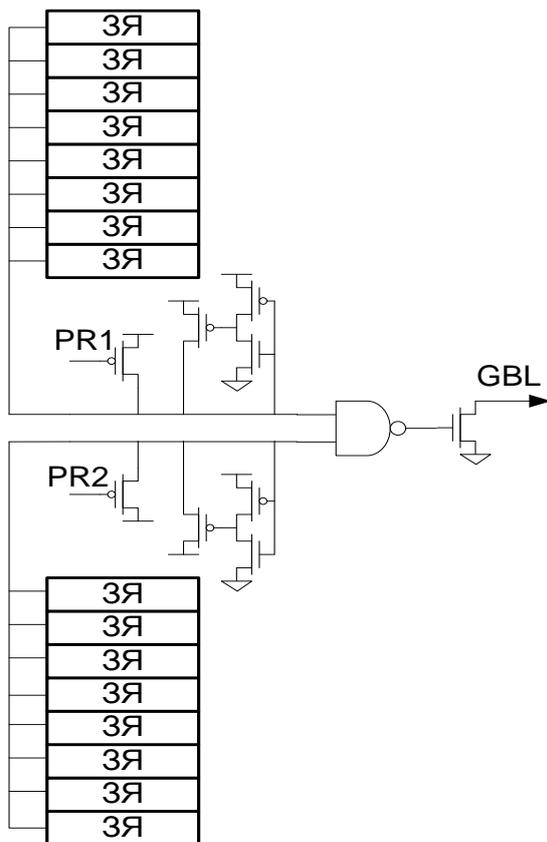


Рис. 2. Объединение 16 запоминающих ячеек схемой readmerge

Битовые шины записи обычно перезаряжаются схемами с достаточно высокой нагрузочной способностью. Однако при необходимости их также можно секционировать аналогичным образом, разместив дополнительные буферные усилители внутри объединения ЗЯ. В этом случае сигнал с регистра входных данных поступает не непосредственно на входы ЗЯ, а на буферные усилители, размещенные в тех же промежутках, что и readmerge, а с них уже – на входы порта записи ЗЯ.

Таким образом, базовым блоком для построения памяти в предлагаемой методике стала не запоминающая ячейка, а объединение 16 ЗЯ и readmerge (и буферного усилителя записи при необходимости), для которого и были разработаны соответствующие схмотехническое и топологическое представления.

Наряду с этим были разработаны схемы и топологии всех прочих необходимых элементов: дешифраторов, регистров адреса и данных, схем синхронизации. Их схмотехника была выполнена традиционным образом, поэтому ее подробное описание не приводится.

Как было сказано в начале статьи, основной задачей разрабатываемого маршрута было решение

вопроса быстрой разработки широкого спектра блоков памяти из небольшого набора элементов. Для этого был выполнен большой объем моделирования схем, работающих на длинные шины с разным количеством нагрузок. Это схемы синхронизации, дешифратора первого уровня в двухступенчатом дешифраторе адреса, readmerge и регистры входных данных. Зная размер ЗЯ и, соответственно, размеры массива памяти при требуемом количестве бит и регистров, можно вычислить длину всех этих проводников и их сопротивление и емкость без создания топологии для рассматриваемой конфигурации. Было решено ограничить количество регистров и бит числом 256 в соответствии с архитектурой микропроцессора. Это определило максимальную длину проводников. После этого проводилось моделирование с целью получения временных характеристик памяти в целом в зависимости от ее размера и размеров транзисторов в указанных выше блоках, работающих на длинные шины с большим количеством нагрузок.

Очевидно, что размер драйвера словарной шины, предназначенного для 256-битных регистров, будет избыточен для 24-битных и будет потребляться лишняя мощность. Однако подход, при котором для разных памяти используется всего одна схема каждого типа, позволяет существенно сократить время разработки всех памяти, а также требует труда высококвалифицированных инженеров-топологов, имеющих навыки заказного проектирования, только на этапе создания ограниченного набора базовых ячеек. В предлагаемой методике такой созданный набор исключает возможность ошибки в выборе подходящей ячейки и неправильного их соединения. Например, топология ЗЯ содержит в себе части битовых и словарных шин, а также проводников земли и питания, также проходящих через них насквозь. И при составлении из них массива памяти с выравниванием границ ячеек друг относительно друга автоматически происходит создание необходимой системы проводников. Такая работа доступна начинающему топологу и делает возможным написание командных файлов для автоматизации процесса, что, вероятно, будет реализовано в будущем.

III. МЕТОДИКА ПРЕДВАРИТЕЛЬНОГО РАСЧЕТА ПЛОЩАДИ И ВРЕМЕНИ ЧТЕНИЯ РЕГИСТРОВЫХ ФАЙЛОВ

После получения данных о задержках каждой базовой ячейки и задержках длинных шин была проведена аппроксимация полученных результатов к теоретической зависимости. Так, для моделирования линий связи с учетом только паразитной емкости и количества нагрузок достаточно линейной аппроксимации. На базе вычисленных коэффициентов была построена Excel-таблица, в которую в качестве исходных данных пользователь вносит количество бит и регистров, получая в результате величины задержек отдельных частей и всего регистрового файла, как показано на рис. 3 для случая 128 регистров по 64 бита. Задержка вычислялась от момента подачи положительного фронта синхросигнала до появления

сигнала на выходе соответствующей части блока памяти (по уровню 50%). Такие же таблицы созданы и для расчета площади регистрового файла. Эти предварительные расчеты позволяют разработчикам СБИС оценить характеристики памяти размерами вплоть до 256 регистров по 256 бит до начала работ по ее схемотехническому и топологическому проектированию. То есть, возможно приступить к проектированию СБИС, не дожидаясь окончания работ над регистровыми файлами. Данные по задержкам, вычисляемые таким образом, на 10% завышены по сравнению с результатами моделирования, чтобы обеспечить запас на случай возможного изменения параметров технологии, и, следовательно, транзисторов и проводников в регистровых файлах.

блок	задержка, пс	Фронт (30-70) на выходе, пс
адрес+предекодер	1000	-
декодер	662	364
словарная шина	549	422
битовая шина	1656	648
выходной триггер	500	-
сумма	4366	

Рис. 3. Результаты предварительного расчета задержек и площадей

IV. МАРШРУТ ПРОЕКТИРОВАНИЯ

Итогом всех работ в данном направлении стала разработка маршрута проектирования заказных регистровых файлов с одним портом чтения и одним портом записи и размером до 256 регистров по 256 бит. Маршрут разбит на следующие этапы.

- 1) Грубая оценка площади и времени считывания требуемой памяти при помощи Excel-файла, описанного в третьей части статьи. Создание предварительного liberty-файла для моделирования памяти в составе всего кристалла средствами САПР Synopsys.
- 2) Создание принципиальной электрической схемы из базовых ячеек по имеющемуся шаблону в редакторе схем фирмы Cadence.
- 3) Создание топологии из библиотеки базовых ячеек в соответствии со схемой, созданной в п. 2, и имеющимся шаблоном в редакторе топологий фирмы Cadence. Проведение проверки на соответствие технологическим нормам (DRC) и схеме (LVS).
- 4) Экстракция паразитных параметров, моделирование, создание окончательного lib-файла.

Таким образом, для технологии, находящейся в процессе развития, создана возможность быстрой

разработки регистровых файлов. Это решение является промежуточным между полностью заказным проектированием и созданием компиляторов ЗУ и позволяет повысить эффективность путем сокращения времени разработки и использования труда менее квалифицированных топологов и схемотехников, чем при полностью заказном проектировании. Кроме того, обеспечивается предсказуемость результата проектирования, что исключает необходимость возвращения после моделирования (шаг 4) к шагам 2 и 3 и их повторения из-за получения результатов, хуже ожидаемых, то есть маршрут проходит не итерациями, а однократно. Маршрут использовался при проектировании буфера преобразования адресов для создания одной из основных его частей – памяти физических адресов [4]. Работы по конвертации данного маршрута в полноценный компилятор ЗУ не проводились в связи с тем, что разработчики данного маршрута, схемотехники и топологи не обладают необходимыми для этого навыками программирования. Однако могут быть выполнены при необходимости, при условии подключения к работам квалифицированных программистов.

V. ЗАКЛЮЧЕНИЕ

В статье представлены шаги по разработке маршрута проектирования заказных регистровых файлов с одним портом чтения и одним портом записи. Эти действия были реализованы при проектировании тестовых образцов микросхем, изготовленных по технологии «Кремний на изоляторе» 0,25 мкм. В частности, блок RAM размером 64 регистра по 58 бит в составе буфера преобразования адресов работает на частоте 100 МГц, при которой тестировались микросхемы. Моделирование показывает, что блок данного размера будет работать и при повышении рабочей частоты до 150 МГц.

ЛИТЕРАТУРА

- [1] A.Alvandpour et al. A Low-Leakage Dynamic Multi-Ported Register File in 0.13μm CMOS // Proc. of Int. Symp. Low-Power Electr. Des. – 2001. – pp. 68-71.
- [2] Stefan Rusu et al. A 45 nm 8-Core Enterprise Xeon Processor // IEEE J. of Solid-State Circuits. – 2010. – V. 45. - № 1 – P. 7-14.
- [3] Кириченко П.Г. Секционирование массивов ячеек памяти в многопортовых ОЗУ // Научная сессия МИФИ-2003. Сб. научн. трудов. В 14 томах. - М.: МИФИ, 2003. - Т.1. – С.156-158.
- [4] Сысоева О.В., Кириченко П.Г., Буякова О.Н., Осина С.Э. Методика схемотехнического и топологического проектирования буфера преобразования адресов для высокопроизводительного MIPS-процессора // Электроника, микро- и нанoeлектроника. Сб. научн. трудов / Под. ред. В.Я. Стенина - М.: МИФИ, 2011 - С. 250-255.