

Особенности архитектуры видеопроцессорного ядра VELCore-01

А.А. Беляев

ОАО НПЦ «ЭЛВИС», bel@elvees.com

Аннотация — Рассматриваются особенности архитектуры проблемно-ориентированного процессорного ядра VELCore-01, предназначенного для реализации приложений, связанных с высокопроизводительной обработкой видеоданных, включая задачи сжатия и видеоаналитики.

Ключевые слова — проблемно-ориентированные процессоры (ASIP), видеопроцессоры, гетерогенные системы на кристалле.

I. ВВЕДЕНИЕ

Процессоры, предназначенные для реализации определенного круга приложений, получили в зарубежной научно-технической литературе название ASIP (application-specific instruction-set processors) – проблемно-ориентированные процессоры [1-4]. Имеется целый ряд причин, благодаря которым этот класс процессоров вызывает в последнее время растущий интерес. Разработчики ищут вычислительно эффективные и экономичные способы построения электронных систем различного назначения. Проблемно-ориентированные процессоры представляют собой привлекательный путь к реализации растущего числа приложений, включая графику, видеоприложения, построение сетей, обработку сигналов.

Эти программируемые устройства, с одной стороны, обеспечивают в своих областях высокопроизводительную и энергетически эффективную альтернативу применению процессоров общего назначения (general purpose processors, GPP).

С другой стороны, проблемно-ориентированные процессоры обладают существенными преимуществами по сравнению с ASIC (application-specific integrated circuits) – специализированными большими интегральными схемами (СБИС).

Это связано с тем, что при переходе к более совершенным технологиям возрастает как стоимость проектирования, так и стоимость изготовления интегральных схем. При этом сокращение сроков разработки (time-to-market), также как и уменьшение времени существования изделия на рынке (time-in-market), делает разработку ASIC все более проблематичной и дорогостоящей, что вряд ли приемлемо для большинства отдельно взятых коммерческих продуктов.

По этой причине потребность в гибкости и возможности повторного использования разработанных интегральных схем подталкивает полупроводниковую индустрию к программируемым решениям. Гибкость подразумевает уменьшение риска (если прикладная задача изменится со временем) и потенциальное распределение стоимости разработки интегральной схемы по более широкому классу конечных продуктов.

Повторное использование также дает ряд преимуществ: во-первых, оно позволяет совладать со сложностью проектирования чипов путем их программной перенастройки применительно к рассматриваемому приложению, во-вторых, уменьшить сроки разработки конечного изделия и по этой причине увеличивает шансы удовлетворить требованиям рынка.

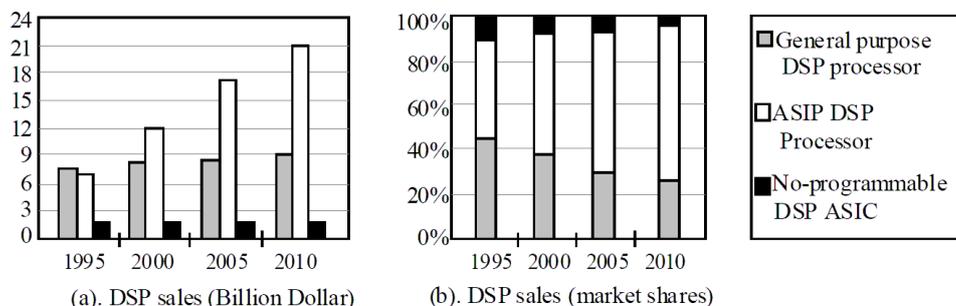


Рис. 1. Общемировая динамика продаж сигнальных процессоров общего назначения (General purpose DSP processor), проблемно-ориентированных процессоров (ASIP DSP processor) и специализированных ИС (No-programmable DSP ASIC): а) общий объем продаж, млрд. долл.; б) доля рынка (по данным [22]).

С другой стороны, ни процессоры общего назначения (GPP), ни сигнальные процессоры (DSP), ни микроконтроллеры (μC) не могут достичь такой производительности и эффективности энергопотребления, какой обладают специализированные СБИС.

Из этого следует очевидный вывод о перспективности использования ASIP, обладающих, с одной стороны, гибкостью процессоров и, с другой стороны, производительностью и энергоэффективностью специализированных схем.

Этот вывод подтверждается и приводимыми в работе [5] данными, согласно которым общемировой объем продаж проблемно-ориентированных процессоров увеличивается и в абсолютном, и в относительном выражении (рис.1).

В данной статье рассматриваются принципы построения и архитектура перспективного процессорного ядра VELCore-01, ориентированного на реализацию приложений по обработке видеоданных в формате высокой четкости (Full HD), включая задачи видеоаналитики, сжатие по стандартам MJPEG, MPEG-2/4, H.264 и т.д.

II. ВИДЕОПРОЦЕССОРЫ СЕМЕЙСТВА DA VINCI™

Для решения указанных задач (в особенности задачи сжатия) требуется колоссальная производительность. В самом деле, один кадр формата Full HD (1080p) содержит более 2 миллионов (1920*1080) пикселей. При скорости 30 кадров в секунду это соответствует потоку 60 мегапикселей в секунду, а учитывая, что каждый пиксель состоит из трех цветовых компонент, поток видеоданных составляет 180 миллионов монохромных пикселей в секунду. А ведь для реализации мультимедийных приложений, по данным, приводимым в работе [3], требуется выполнить над каждым из входных операндов порядка тысячи операций, что составит в рассматриваемом случае более 180 миллиардов операций в секунду. В рамках традиционных процессорных архитектур, включая и многоядерные процессоры общего назначения, и сигнальные процессоры, такая производительность в настоящее время просто недостижима.

По этой причине в последние годы многими ведущими электронными компаниями ведутся интенсивные разработки специализированных акселераторов и процессорных ядер, предназначенных для реализации видеоприложений. Свои разработки в этой области представили такие известные зарубежные фирмы, как Texas Instruments, Freescale, Fujitsu, NXP Semiconductor, ARM, STMicroelectronics и другие.

Безусловным лидером в этом направлении является фирма Texas Instruments, создавшая целое семейство мультимедийных процессоров DaVinci™. Всего за несколько лет семейство DaVinci™ стало одним из наиболее многочисленных процессорных семейств, предлагаемых фирмой Texas Instruments, что лишний

раз доказывает востребованность проблемно-ориентированных процессоров в данной области.

Платформа DaVinci™ ориентирована на реализацию мультимедийных приложений с самыми высокими требованиями по пропускной способности, в том числе телевидение высокой четкости (HDTV – High-Definition TV). Платформа DaVinci™ включает в себя набор масштабируемых систем на кристалле на базе IP-ядер RISC-процессоров фирмы ARM и DSP-процессоров семейства C64x™ фирмы Texas Instruments, а также аппаратных ускорителей для обработки видеосигнала и набора соответствующих внешних интерфейсных устройств.

Вычислительно сложные алгоритмы сжатия изображений по стандартам JPEG/MJPEG, MPEG-2/4, H.264 реализуются в процессорах DaVinci™ при помощи специализированных видеопроцессорных ядер. Структурная схема одного из таких ядер - HDVICP2 (High-Definition Video-Image Co-Processor), входящего в состав наиболее современных представителей семейства DaVinci™, процессоров TMS320DM816x [6], приведена на рис.2.

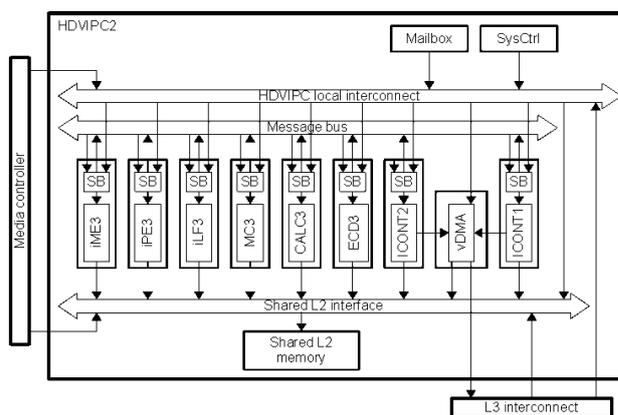


Рис. 2. Структура видеопроцессорного ядра HDVICP2

Ядро HDVICP2 содержит:

- два RISC-ядра, ICONT1 и ICONT2, включая память и контроллеры прерываний;
- контроллер прямого доступа в память (vDMA);
- блок оценки движения (iME3);
- блок внутрикадрового предсказания (iPE3);
- блок компенсации движения (MC3);
- блок преобразования и квантования (CALC3);
- энтропийный кодер/декодер (ECD3);
- фильтр восстановленного изображения (iLF3);
- кэш 2-го уровня (L2) и другие устройства.

Одно из RISC-ядер обслуживает контроллер vDMA, другое обеспечивает управление и обмен данными между блоками iME3, iPE3, MC3, ECD3, iLF3, являющихся аппаратными ускорителями, реализующими соответствующие процедуры алгоритма сжатия.

Таким образом, приведенная структура ядра HDVICP2 обеспечивает гибкость и программируемость лишь в пределах predetermined набора

алгоритмов сжатия. Она не поддерживает реализацию проприетарных методов сжатия, равно как и задач видеоаналитики. Рассматриваемое ниже процессорное ядро VELCore-01 предлагает гораздо более широкие возможности для реализации задач видеобработки

III. АРХИТЕКТУРА ВИДЕОЯДРА VELCORE-01

Ядро VELCore-01 представляет собой проблемно-ориентированное процессорное ядро, предназначенное для программной реализации широкого круга приложений по обработке видеоданных, в том числе алгоритмов сжатия и видеоаналитики. Структурная схема видеоядра VELCore-01 приведена на рис.3.

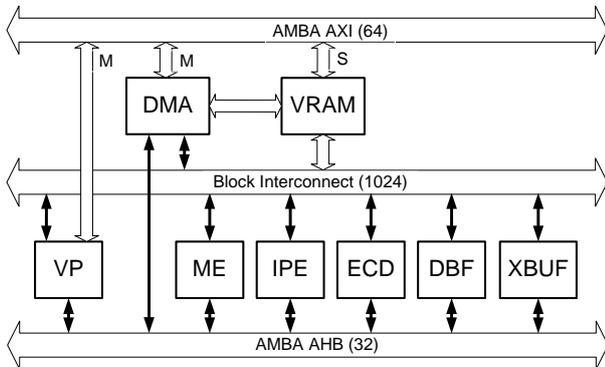


Рис. 3. Структура видеопроцессорного ядра VELcore-01

В состав ядра VELcore-01 входят:

- видеопроцессор VP;
- контроллер прямого доступа к памяти DMA;
- блок оценки движения ME;
- блок внутрикадрового предсказания IPE;
- энтропийный кодер-декодер ECD;
- межблочный фильтр DBF;
- память данных (видеопамять) VRAM;
- буфер обмена и синхронизации XBUF.

Видеопроцессор VP выполняет высокопроизводительную программную обработку данных.

Память данных VRAM является двухпортовой. Это позволяет одновременно обслуживать внешние и внутренние обращения без приостановки работы видеопроцессора. Обмен данными между внутренней памятью ядра и внешней памятью организуется при помощи контроллера DMA.

Обмен данными между видеопроцессором и специализированными вычислительными блоками производится через внутренний 1024-разрядный коммутатор данных Block Interconnect. Взаимодействие видеоядра с другими составными частями системы на кристалле осуществляется при помощи 32-разрядной AMBA AHB и 64-разрядной AMBA AXI.

Входящий в состав ядра видеопроцессор VP (рис.4) представляет собой многопоточную вычислительную систему, в которой имеется четыре аппаратных контекста, обеспечивающих одновременное вы-

полнение до четырех вычислительных потоков (процессов).

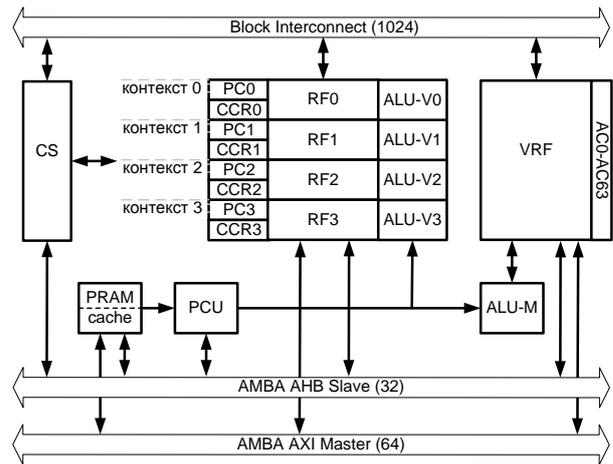


Рис. 4. Структурная схема видеопроцессора

Инструкции каждого потока извлекаются из программной памяти PRAM, декодируются устройством программного управления PCU и исполняются вычислительными устройствами - скалярно-векторным арифметико-логическим устройством ALU-V и матричным арифметическим устройством ALU-M.

Система команд видеопроцессора имеет три уровня:

- 1) команды базового набора (RISC-набор);
- 2) команды векторного расширения (DSP-набор);
- 3) команды матричного расширения (ASIP-набор).

Вычислительные команды базового набора выполняются над скалярными данными с разрядностью не более 32 бит. Вычислительные команды векторного расширения выполняются, в основном, над векторными данными с общей разрядностью до 128 бит. Вычислительные команды матричного расширения выполняются над двумерными массивами (матрицами) данными с общей разрядностью до 1024 бит.

Команды базового набора и векторного расширения выполняются при помощи скалярно-векторного АЛУ (ALU-V), команды матричного расширения - при помощи матричного АЛУ (ALU-M).

Видеопроцессор оперирует со скалярными и векторными типами данных, представленных в форматах с фиксированной и плавающей точкой. Скалярные типы данных с фиксированной точкой могут быть представлены в 8, 16, 32 или 64-разрядном целочисленном формате. Видеопроцессор поддерживает обработку данных с плавающей точкой в соответствии со спецификацией IEEE-754 в 32-разрядном формате (float) и 64-разрядном формате (double).

Векторные типы данных предназначены для представления одномерных и двумерных массивов данных.

Элементами массивов могут быть скалярные данные, представленные в 8, 16, 32 или 64-разрядном формате с фиксированной либо плавающей точкой.

Наличие четырех аппаратных контекстов обеспечивает поддержку выполнения многопоточковых (multi-thread) приложений. Переключение между потоками, их открытие и закрытие выполняется по специальным командам управления. Для сохранения контекстов используется аппаратный стек контекстов CS.

Синхронизация вычислительных потоков как внутри видеоядра, так и между ним и хост-процессором выполняется при помощи специализированного буфера обмена XBUF.

Блоки ME, IPE, EDC, DBF представляют собой специализированные вычислители, предназначенные для аппаратной поддержки процедур обработки, предусмотренных стандартами сжатия.

Блок оценки движения ME производит оценку с точностью до $\frac{1}{4}$ пикселя вектора перемещения макроблока размером 16x16 текущего кадра изображения относительно двух ссылочных кадров. Оценка может производиться раздельно для входящих в состав макроблока блоков размером 16x8, 8x16, 8x8, 8x4, 4x8 или 4x4 пикселей.

Блок внутрикадрового предсказания IPE выполняет вычисление предсказания в режиме внутрикадрового кодирования (декодирования) блоков изображения размером 16x16 или 4x4 пикселей в соответствии со стандартом H.264.

Блок ECD реализует энтропийное кодирование/декодирование согласно стандартам сжатия JPEG, MPEG-2/4, H.264.

Межблочный фильтр DBF выполняет фильтрацию искажений, возникающих на границах блоков изображения размером 4x4 пикселей в соответствии со стандартом H.264.

Один из возможных вариантов организации взаимодействия прикладного программного обеспечения (ПО) и аппаратных ускорителей при реализации кодера H.264 на базе ядра VELCore-01 показан на рис.5.

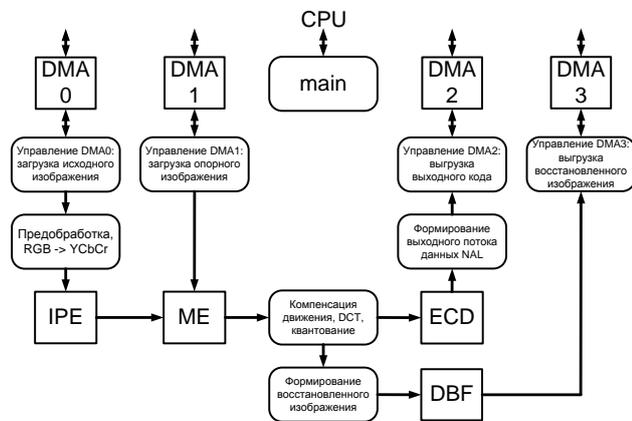


Рис. 5. Взаимодействие прикладного ПО и аппаратных ускорителей при реализации кодера H.264

По предварительным оценкам, видеопроцессорное ядро VELCore-01 при рабочей частоте 400 МГц позволит выполнять сжатие изображений по стандартам: JPEG (MJPEG), MPEG-2, H.263, MPEG-4, H.264 для форматов изображений вплоть до Full HD (1920x1080) со скоростью не менее 60 кадров в секунду.

IV. ВЫВОДЫ

Создание высокопроизводительных проблемно-ориентированных процессорных ядер для многоядерных систем на кристалле связано с выбором оптимальной, с точки зрения рассматриваемой прикладной области, архитектуры процессорного ядра.

Предложены принципы построения проблемно-ориентированного процессорного ядра VELCore-01 для приложений видеобработки. По проведенным оценкам, ядро позволит выполнять сжатие изображений формата Full HD по стандартам JPEG (MJPEG), MPEG-2, H.263, MPEG-4, H.264, что достигается за счет применения таких архитектурных решений, как:

- трехуровневая система команд: первый уровень – команды RISC-набора; второй уровень – команды DSP-набора; третий уровень – команды ASIP-набора;
- аппаратная поддержка массивно-параллельных вычислительных операций с двумерными массивами (матрицами);
- наличие широкой 1024-разрядной внутренней шины данных для быстрых обменов между вычислительными устройствами и внутренней памятью;
- аппаратная поддержка многопоточности;
- быстрое переключение контекстов за счет применения специализированного стека;
- аппаратная поддержка синхронизации вычислительных потоков за счет применения специализированного буфера обмена и синхронизации;
- применение специализированных вычислительных блоков (аппаратных ускорителей) для реализации специальных функций видеобработки.

ЛИТЕРАТУРА

- [1] Gries M. and Keutzer K. Building ASIPs: The Mescal Methodology. – Springer, Berlin, Heidelberg, 2005. – 350p.
- [2] Jenne, P. and Leupers, R. Customizable Embedded Processors: Design Technologies and Applications. – Morgan Kaufmann, Los Altos, 2007. – 497 p.
- [3] Liu D. Embedded DSP Processor Design: Application Specific Instruction Set Processors. Morgan Kaufmann, 2008.
- [4] Schliebusch O., Meyr H., Leupers R. Optimized ASIP Synthesis from Architecture Description Language Models. – Dordrecht: Springer, 2007.
- [5] Ehliar A. Design of Embedded DSP Processors. – Linkoping University, 2011.
- [6] TMS320DM816x DaVinci Digital Media Processors Technical Reference Manual. - Texas Instruments, 2011.