

Двухразрядный параллельный преобразователь для конвейерного АЦП

Д.В. Морозов, М.М. Пилипко, И.М. Пятак

ФГБОУ ВПО «Санкт-Петербургский государственный политехнический университет»,
dvmorozov@inbox.ru, m_m_pilipko@rambler.ru

Аннотация — Рассмотрена реализация параллельного АЦП для построения конвейерных схем. Предложена входная цепь параллельного преобразователя, где резистивный делитель напряжения и компараторы заменены инвертирующими КМОП-схемами. Обсуждается влияние температуры и разброса параметров транзисторов при изготовлении интегральной схемы на напряжения порогов переключения компараторов. Представлены схемные решения шифратора и элементов синхронизации на основе D-триггеров. Работоспособность схем подтверждается результатами моделирования для 180-нм МОП-технологии фирмы UMC. Средняя потребляемая мощность двухразрядного параллельного АЦП при воздействии входного гармонического сигнала с частотой 100 МГц не превышает 55 мкВт, площадь, занимаемая схемой на кристалле, составляет 0,0026 мм².

Ключевые слова — конвейерные АЦП, параллельные АЦП, МОП-технология, системы на кристалле.

I. ВВЕДЕНИЕ

В настоящее время широко используются интегральные схемы, содержащие на одном кристалле аналоговую и цифровую части, – так называемые системы-на-кристалле [1]. В состав систем-на-кристалле, как правило, входят интерфейсные устройства, в частности АЦП [2]. При реализации АЦП актуальными задачами являются уменьшение площади, занимаемой схемой на кристалле, и снижение потребляемой мощности [3]-[5]. Одним из компромиссных решений АЦП являются конвейерные схемы [4]-[6]. В большинстве практических применений конвейерный АЦП реализуется на основе параллельного АЦП с разрядностью не более 3–4 бит [5], [6]. Однако схема параллельного АЦП требует использования прецизионных резисторов в делителе напряжения и компараторов, что обуславливает значительную площадь, занимаемую схемой на кристалле, и высокую потребляемую мощность [3], [7].

В работах [3], [8] при реализации параллельного АЦП предложена замена резистивного делителя напряжения и компараторов КМОП-инверторами, что позволяет уменьшить площадь схемы на кристалле и снизить потребляемую мощность. Однако авторы не уделяют должного внимания отклонениям от номинальных значений напряжений порогов переключения

компараторов на основе КМОП-инверторов в зависимости от изменений температуры и разброса параметров транзисторов при изготовлении интегральных схем. Проведенные исследования показали, что без использования специальных мер разрядность параллельного АЦП на основе КМОП-инверторов не превышает 2 бит и существует возможность реализации конвейерного АЦП с эффективной разрядностью не более 3 бит. В настоящей работе для 180-нм МОП-технологии фирмы UMC представлены результаты этих исследований и предложена реализация двухразрядного параллельного АЦП для трехкаскадной конвейерной схемы, учитывающая указанные проблемы.

II. РЕАЛИЗАЦИЯ ВХОДНОЙ ЦЕПИ НА ОСНОВЕ КМОП ИНВЕРТОРОВ

При заданной для изготовления схемы МОП-технологии разработчик имеет возможность выбирать длину L и ширину затворов W МОП-транзисторов. В случае реализации КМОП-инвертора варьирование этих параметров приводит к изменению напряжения порога переключения схемы U_{nep} . При увеличении отношения W_p / L_p для затвора МОП-транзистора с p -каналом напряжение порога переключения увеличивается, напротив, при увеличении отношения W_n / L_n для затвора МОП транзистора с n -каналом – уменьшается. При заданных размерах затворов транзисторов напряжение порога переключения КМОП-инвертора определяется как

$$U_{nep} = \frac{(E_{nut} + U_{0p})\sqrt{W_p L_n \mu_p} + U_{0n}\sqrt{W_n L_p \mu_n}}{\sqrt{W_p L_n \mu_p} + \sqrt{W_n L_p \mu_n}},$$

где: E_{nut} – напряжение питания; μ_p и μ_n – подвижности дырок и электронов; U_{0p} и U_{0n} – пороговые напряжения МОП-транзисторов с p - и n -каналом.

В роли компаратора КМОП-инвертор можно рассматривать, если проводится сравнение входного напряжения U_{bx} с напряжением U_{nep} . При $U_{bx} < U_{nep}$ выходное напряжение инвертора будет соответствовать логической единице, а при $U_{bx} > U_{nep}$ – логиче-

скому нулю. Рассмотрим реализацию входной цепи двухразрядного параллельного АЦП согласно [3], [8]. Схемное решение, заменяющее резистивный делитель напряжения и компараторы схемами КМОП-инверторов, показано на рис. 1. Схема рассчитана на изготовление по 180-нм МОП-технологии фирмы UMC с двуполярным питанием $\pm 0,9$ В, которое подается на узлы vdd и vss. Входом схемы является узел in, выходами компараторов – узлы out1, out2 и out3. (Параметр NF обозначает количество «пальцев» в структуре МОП-транзистора.) Каждый из компараторов реализован на основе каскадного соединения трех КМОП-инверторов, первый из которых определяет напряжение порога переключения, а два последующих обеспечивают увеличение крутизны характеристики компаратора. Для оцифровки входного сигнала в диапазоне $\pm 0,6$ В напряжения порогов переключения компараторов заданы значениями $-0,3$ В, 0 В и $0,3$ В.

Проведенные с использованием программных средств Virtuoso компании Cadence Design Systems, исследования схемы показали, что изменения температуры и разброс параметров транзисторов приводят к значительным изменениям порогов переключения. На основании табл. 1 можно сделать заключение, что значения порогов переключения изменяются в диапазоне: -300^{+47}_{-43} мВ, 0^{+45}_{-42} мВ и 300^{+72}_{-71} мВ. (Представлены данные для типичного t_t и граничных ss , ff , $snfp$, $fnspr$

случаев параметров моделей МОП-транзисторов для выбранной технологии.) Смещение порогов от номинального значения не превосходит ± 75 мВ. Предполагая реализацию на основе схемы рис. 1 конвейерного АЦП по критерию половины младшего значащего разряда, можно сделать вывод, что удастся получить только две стадии конвейера, а максимальная эффективная разрядность не превысит 3 бит.

Рассмотрим реализацию входной цепи двухразрядного параллельного АЦП, которая уменьшает влияние изменения температуры и разброса параметров транзисторов на пороги переключения компараторов. Схемное решение, исключаяющее резистивный делитель напряжения и компараторы, показано на рис. 2 [7]. Каждый из компараторов реализован на основе каскадного соединения инвертирующих цепей. За счет близких размеров транзисторов с p -каналом M2, M9, M16 и транзисторов с n -каналом M3, M10, M17 обеспечивается однотипное изменение порогов переключения входных инвертирующих цепей. Напряжения порогов переключения задаются с помощью транзисторов в диодном включении M1, M8, M11 и M18. Увеличение крутизны характеристик компараторов обеспечивается включенными каскадно парами КМОП инверторов. Затворы транзисторов M21, M22 соединены в узле ctrl. Регулировка напряжения в данном узле позволяет одновременно и единообразно корректировать пороги переключения всех трех компараторов.

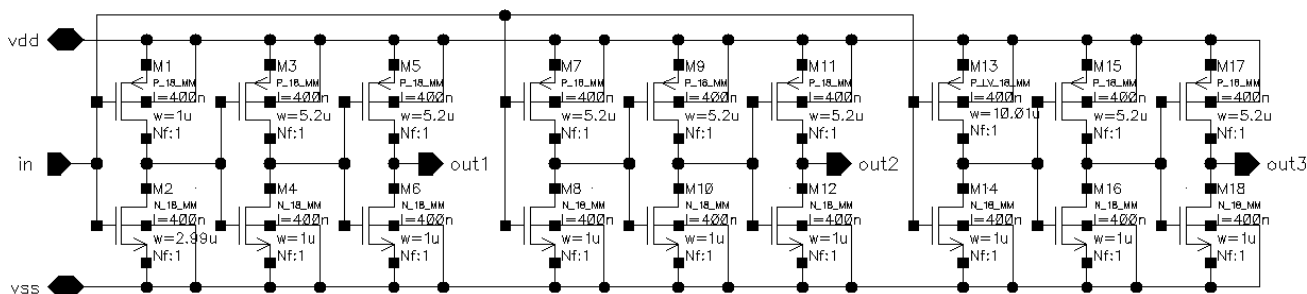


Рис. 1. Схема входной цепи двухразрядного параллельного АЦП согласно материалу работ [3, 8]

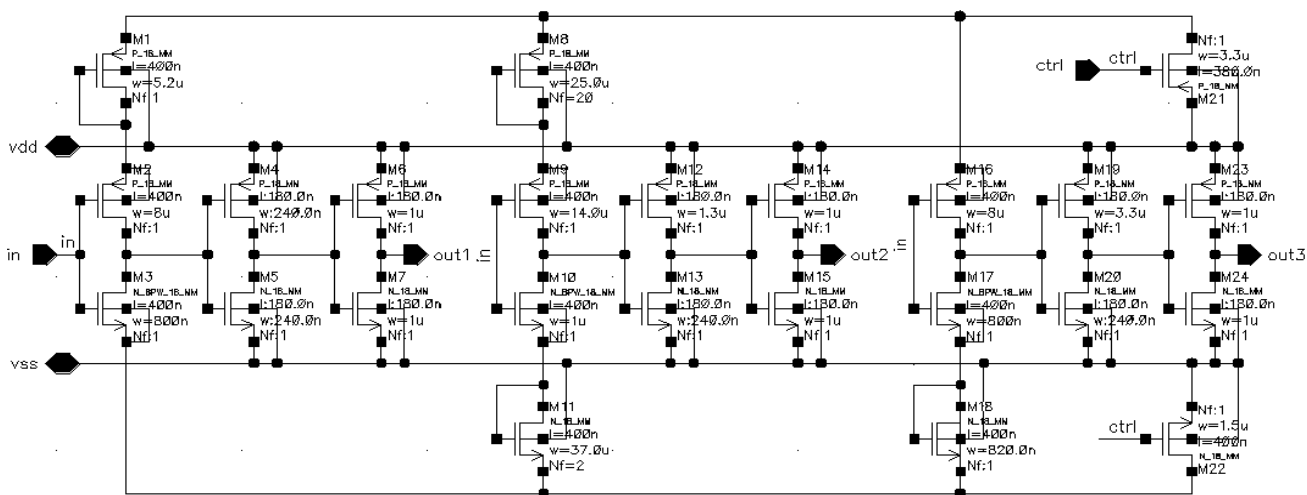


Рис. 2. Схема предлагаемой входной цепи двухразрядного параллельного АЦП

Таблица 1

Результаты моделирования входной цепи параллельного АЦП [3], [8]

	$U_{пер}$, мВ				
	tt	ss	ff	snfp	fnsp
+27°C	-300	-281	-319	-277	-321
	0	6	-3	28	-27
	300	273	328	342	257
-40°C	-274	-254	-293	-253	-343
	-17	-11	-20	10	-42
	271	244	299	312	229
+85°C	-321	-301	-339	-297	-294
	15	21	13	45	-13
	329	301	358	372	285

Таблица 2

Результаты моделирования предлагаемой входной цепи параллельного АЦП

	$U_{пер}$, мВ				
	tt	ss	ff	snfp	fnsp
+27°C	-303	-296	-305	-297	-306
	-2	8	-6	11	-13
	297	310	292	297	294
-40°C	-309	-302	-314	-308	-286
	-3	4	-8	18	-18
	296	306	303	286	314
+85°C	-293	-286	-295	-294	-300
	6	15	-1	-1	-2
	304	314	297	295	297

Изменение температуры и разброс параметров транзисторов в схеме рис. 2 приводят к меньшим, чем в первом случае, отклонениям порогов переключения. На основании табл. 2 можно сделать заключение, что значения порогов переключения изменяются в диапазонах: -300 ± 14 мВ, 0 ± 18 мВ и 300 ± 14 мВ. Смещение порогов от номинала не превосходит ± 18 мВ. Предполагая реализацию конвейерного АЦП по критерию половины младшего значащего разряда, можно сделать вывод, что реализуемы три стадии конвейера и эффективная разрядность составит 5 бит.

Для случая +27°C и tt параметров моделей характеристики компараторов схемы рис. 2 показаны на рис. 3, результаты моделирования во временной области – на рис. 4. Максимальное время задержки переключения компараторов не превышает 1,4 нс.

→ /out1 ✕ /out2 → /out3 – /in

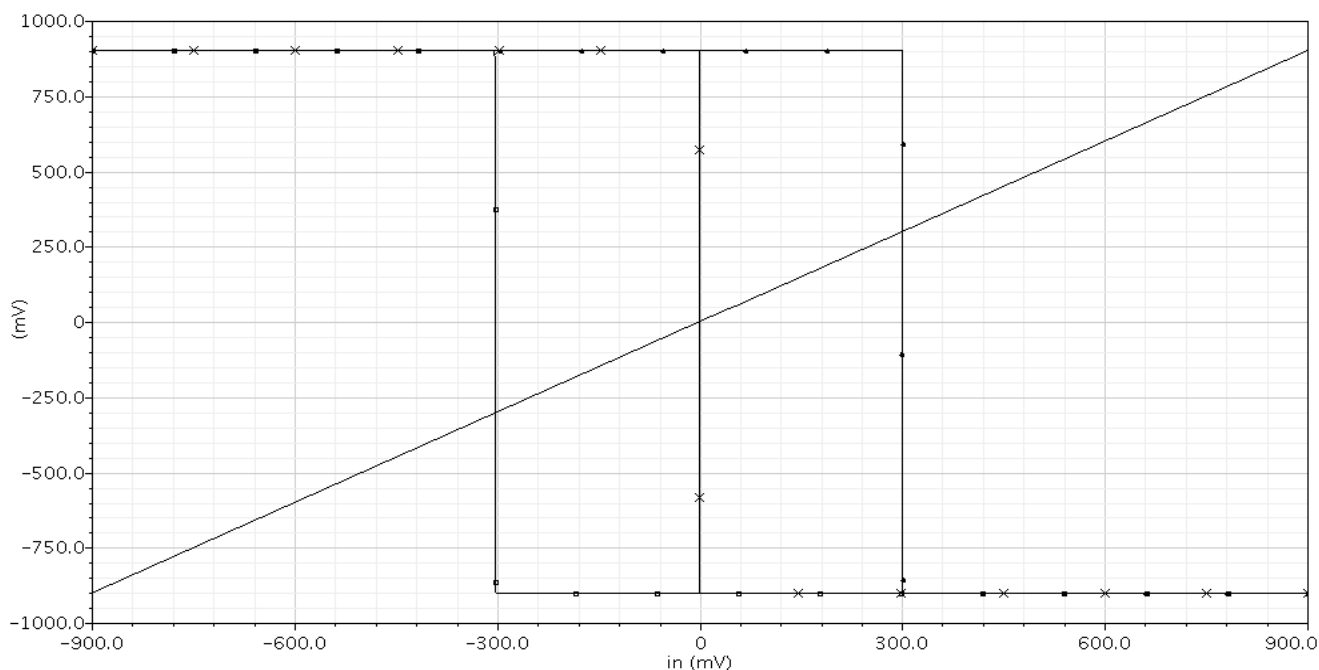


Рис. 3. Характеристики компараторов предлагаемой входной цепи параллельного АЦП

III. РЕАЛИЗАЦИЯ ШИФРАТОРА И ЭЛЕМЕНТОВ СИНХРОНИЗАЦИИ

Известны различные способы построения шифратора (точнее, кодопреобразователя термометрического кода с выходов компараторов в прямой двоичный код) для параллельного АЦП [9]-[12]. Обеспечение специальных мер для коррекции ошибок в термометрическом коде за счет использования схем сумматоров [10], массива элементов памяти [9], [10] требует дополнительных аппаратных затрат, что приводит к увеличению как площади схемы на кристалле, так и потребляемой мощности. Кроме того, коррекция ошибок в термометрическом коде вследствие различного времени переключения компараторов не приводит к увеличению быстродействия схемы, поскольку для реализации конвейерного АЦП в любом случае необходимо введение элементов синхронизации.

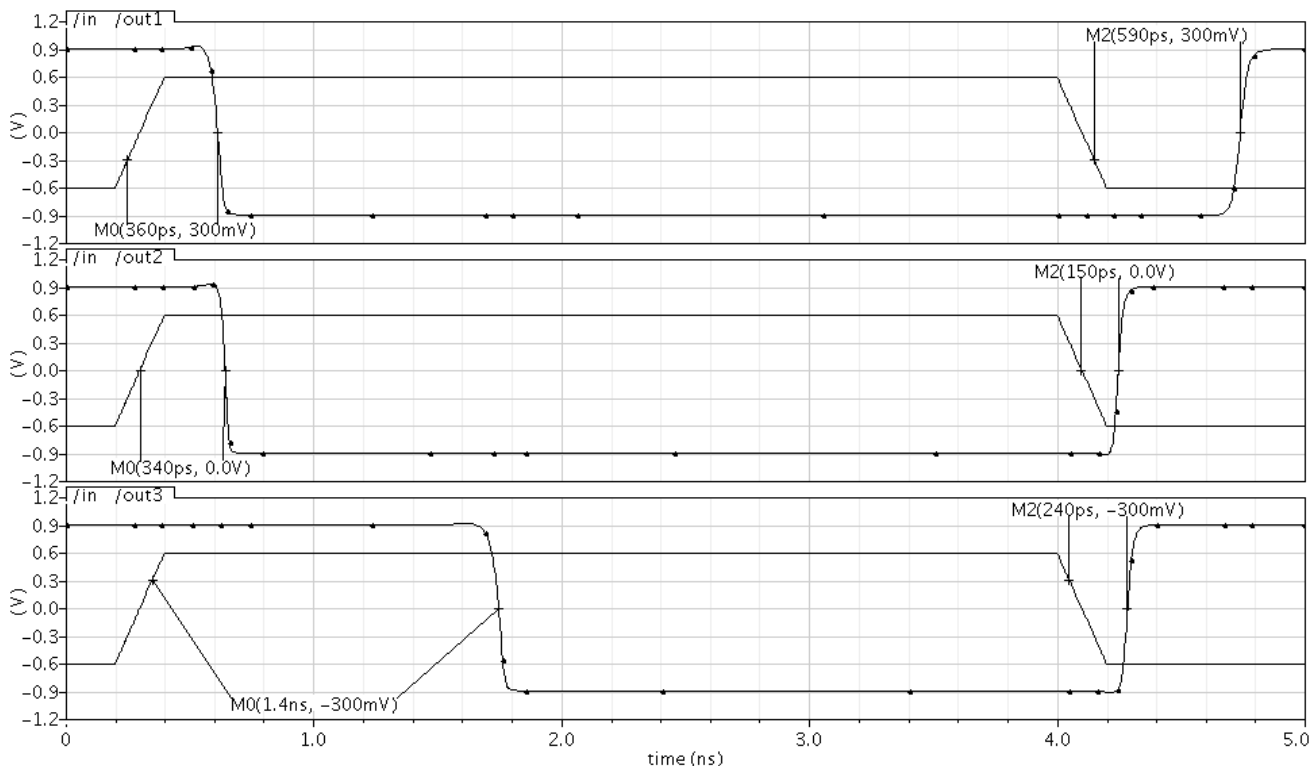


Рис. 4. Результаты моделирования предлагаемой входной цепи параллельного АЦП во временной области

На основании изложенного наиболее оправданным является использование схем приоритетной шифрации. При этом уменьшения площади схемы на кристалле и снижения потребляемой мощности удастся достигнуть за счет предлагаемой схемы приоритетной шифрации на основе мультиплексов [10]-[12]. Дополнительное уменьшение как площади схемы на кристалле, так и потребляемой мощности, обеспечивается применением схем с проходными МОП-транзисторами [11], [13].

В предлагаемой схеме приоритетного шифратора для двухразрядного АЦП рис. 5 на входы in1, in2 и in3 подаются сигналы с выходов компараторов схемы рис. 2 out1, out2 и out3, соответственно. Сигнал с выхода компаратора с напряжением переключения 0 В out2=in2 всегда является приоритетным и требует лишь инвертирования для получения старшего выходного разряда шифратора out_c1. Формирование сигнала младшего выходного разряда шифратора out_c0 осуществляется с помощью инвертирующего мультиплекса с управляющим сигналом in2, реализующего логическую функцию $out_c0 = in1 \cdot in2 + in2 \cdot in3$.

Для случая +27°C и t_t параметров моделей МОП-транзисторов результаты моделирования схемы шифратора во временной области приведены на рис. 6. Максимальное время задержки переключения шифратора составляет 105 пс.

Построение конвейерного АЦП требует использования элементов синхронизации, которые целесообразно реализовать на основе D-триггеров. Схемное решение двухступенчатого D-триггера на основе про-

ходных МОП-транзисторов с n -каналом и КМОП-инверторов показано на рис. 7 [14]. Входные сигналы данных и синхронизации подаются на узлы, обозначенные D и C, соответственно, выходной сигнал снимается с узла Q. Для случая +27°C и t_t параметров моделей МОП-транзисторов результаты моделирования схемы D-триггера во временной области приведены на рис. 8. Максимальное время задержки переключения D-триггера по фронту импульса сигнала синхронизации составляет 91 пс.

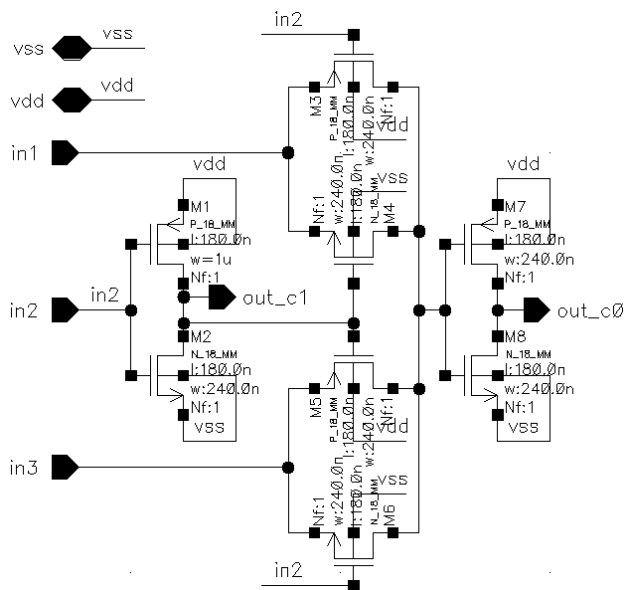


Рис. 5. Шифратор двухразрядного параллельного АЦП

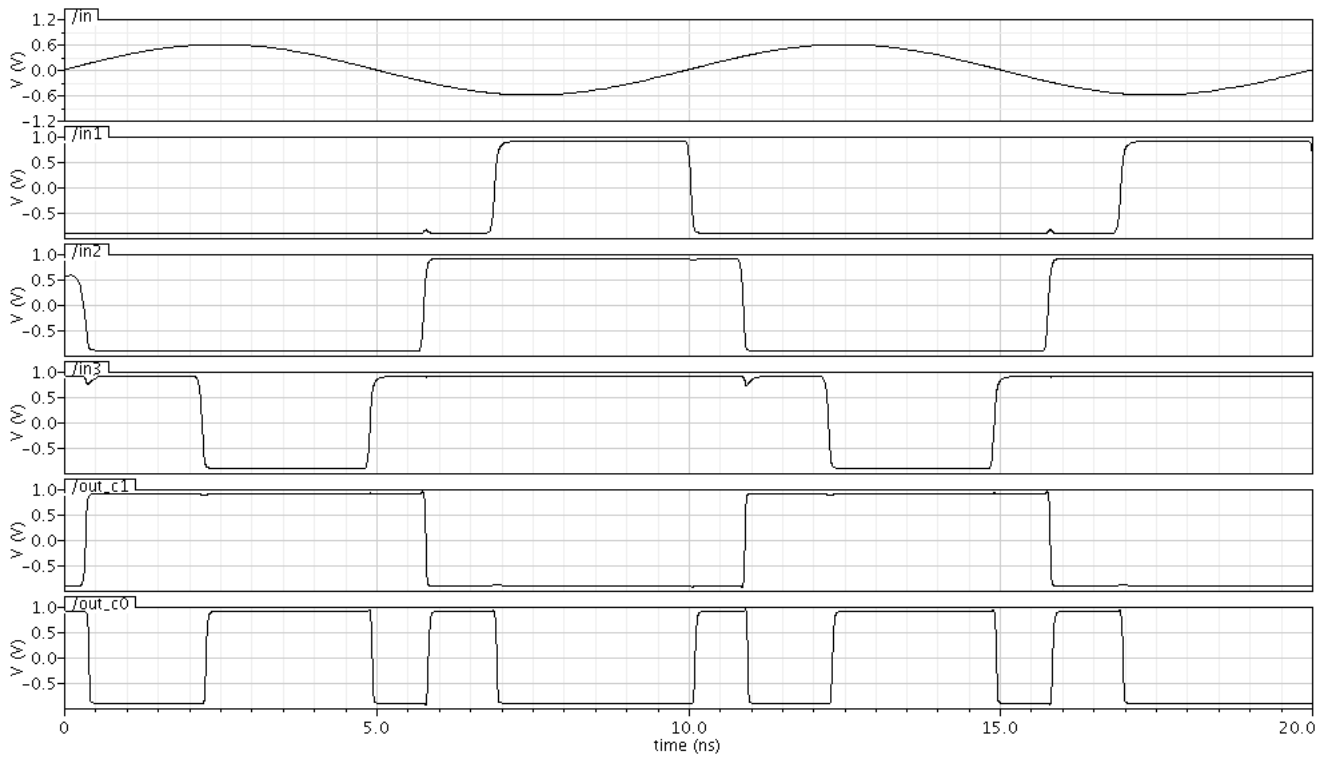


Рис. 6. Результаты моделирования схемы шифратора двухразрядного параллельного АЦП во временной области

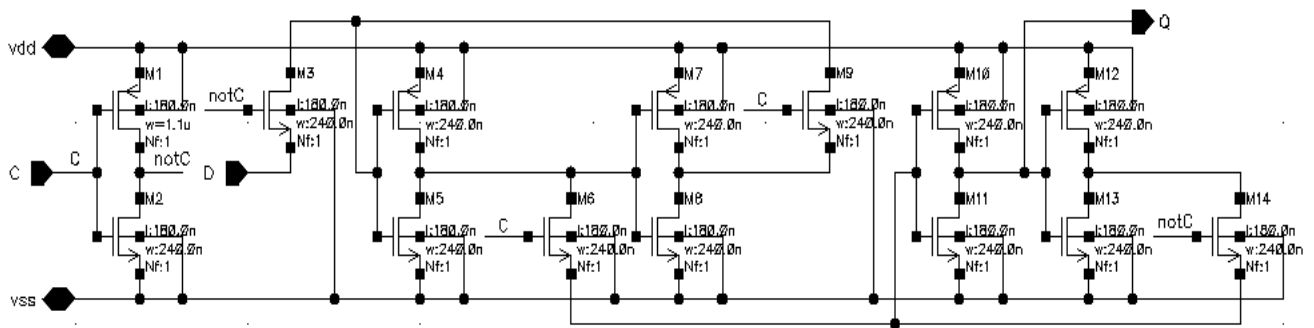


Рис. 7. Схема D-триггера

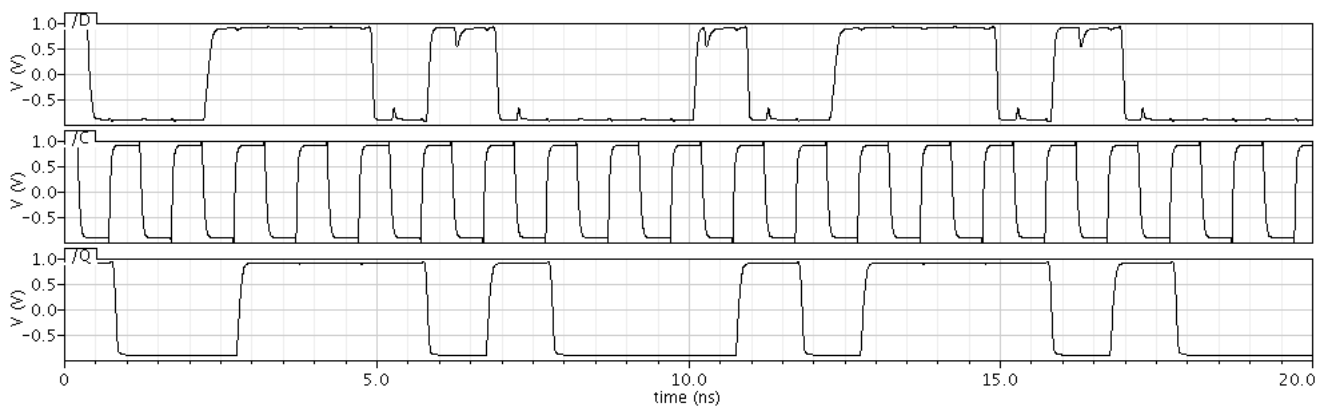


Рис. 8. Результаты моделирования схемы D-триггера

IV. ЗАКЛЮЧЕНИЕ

Рассмотрена реализация двухразрядного параллельного АЦП. Для замены резистивного делителя напряжения и компараторов АЦП предложено схемное решение на основе инвертирующих КМОП-цепей, которое учитывает влияние изменения температуры и разброса параметров транзисторов на пороги переключения компараторов. Представлены схемные решения шифратора и элементов синхронизации на основе D-триггеров. Работоспособность схем подтверждается результатами моделирования с помощью программных средств Virtuoso компании Cadence Design Systems для 180-нм МОП-технологии фирмы UMC.

Разработана топология интегральной схемы двухразрядного параллельного АЦП (рис. 9). Площадь, занимаемая схемой на кристалле, составляет 0,0026 мм². При двуполярном напряжении питания ±0,9 В диапазон изменения входного сигнала составляет ±0,6 В. Пороги переключения компараторов заданы значениями -0,3 В, 0 В и 0,3 В. Моделирование с использованием экстрагированного файла топологии интегральной схемы подтвердило работоспособность АЦП. Суммарный уход порогов переключения компараторов (в том числе при ±5% отклонениях напряжения питания) не превосходит ±18 мВ. Средняя потребляемая мощность при воздействии входного гармонического сигнала с частотой 100 МГц не превышает 55 мкВт.

Для реализации на основе предложенной схемы трехкаскадного конвейерного АЦП на входе первого каскада применяется устройство выборки-хранения, обеспечивающее сохранение уровня входного сигнала на время срабатывания АЦП, входные сигналы для последующих каскадов формируются с использованием схем двухразрядных ЦАП и вычитателей-умножителей. Учитывая отклонения порогов компараторов, можно сделать вывод, что по критерию половины младшего значащего разряда эффективная разрядность АЦП составит 5 бит ($1,2 \text{ В} / 2^5 / 2 = 18,75 \text{ мВ}$).

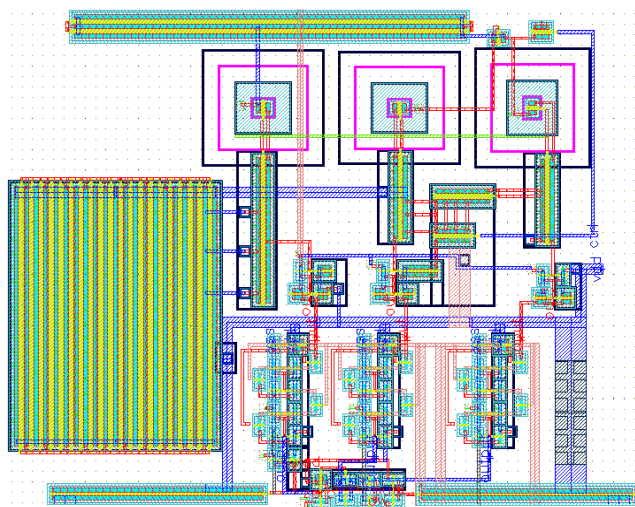


Рис. 9. Топология кристалла интегральной схемы

БЛАГОДАРНОСТИ

В статье изложены результаты исследований, выполненных в рамках реализации ФЦП «Научные и научно-педагогические кадры инновационной России» на 2009 – 2013 годы.

ЛИТЕРАТУРА

- [1] Шведов С. В., Гришков В. Н. Проектирование аналого-цифровых компонентов для «систем в корпусе» // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010. Сб. трудов – М.: ИППМ РАН, 2010. С. 503 – 506.
- [2] Крутинский С. Г., Баранов Р. Г. Аналого-цифровые интерфейсы смешанных систем на кристалле // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2008. Сб. трудов – М.: ИППМ РАН, 2008. С. 354 – 359.
- [3] Nahata S., Kyusun Choi, Jincheol Yoo. A high-speed power and resolution adaptive flash analog-to-digital converter // Proc. IEEE Int. SOC Conf., 2004. P. 33 – 36.
- [4] Mohajerin M., Chen C., Abdel-Raheem E. A new 12-b 40 ms/s, low-power, low-area pipeline ADC for video analog front ends // 2005 IEEE Pacific Rim Conf. on Communications, Computers and Signal Processing, 2005. P. 597 – 600.
- [5] Bogner P. A 28mW 10b 80MS/s pipelined ADC in 0.13µm CMOS // Proc. of the 2004 Int. Symp. on Circuits and Systems, 2004. Vol. 1. P. 1 – 17 – 20.
- [6] Агрич Ю. В., Лифшиц В. Б. Архитектура быстродействующих конвейерных АЦП, оптимизированная под субмикронные технологии // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010. Сб. трудов – М.: ИППМ РАН, 2010. С. 497 – 502.
- [7] Пятак И. М., Морозов Д. В., Филиппко М. М. Схемное решение блока компараторов двухразрядной ячейки конвейерного АЦП // Научно-технические ведомости СПбГПУ. 2011. №5 (133). С. 49 – 52.
- [8] Jincheol Yoo, Daegyu Lee, Kyusun Choi, Tangel A. Future-ready ultrafast 8bit CMOS ADC for system-on-chip applications // Proc. 14th Annual IEEE Int. ASIC/SOC Conference, 2001. P. 455 – 459.
- [9] Yao-Jen Chuang, Hsin-Hung Ou, Bin-Da Liu. A novel bubble tolerant thermometer-to-binary encoder for flash A/D converter // 2005 IEEE VLSI-TSA Int. Symp. on VLSI Design, Automation and Test, 2005. P. 315 – 318.
- [10] Sall E., Vesterbacka M. Thermometer-to-binary decoders for flash analog-to-digital converters // 18th European Conf. on Circuit Theory and Design, 2007. P. 240 – 243.
- [11] A 7b 1GS/s 60mW Folding ADC in 65nm CMOS / Jungho Lee, Michael B. Choi, Ho-Jin Park, Byeong-Ha Park // 2010 Int. SoC Design Conf., 2010. P. 338 – 341.
- [12] A New Approach to Thermometer-to-Binary Encoder of Flash ADCs- Bubble Error Detection Circuit / Bui Van Hieu, Seunghwan Choi, Jongkug Seon, Youngcheol Oh, Chongdae Park, Jaehyoun Park, Hyunwook Kim, Taikyeong Jeong // 2011 IEEE 54th Int. Midwest Symp. Circuits and Systems, 2011. P. 1 – 4.
- [13] Морозов Д. В. Схемотехника современных цифровых схем с низкой потребляемой мощностью // Научно-технические ведомости СПбГПУ. 2008. № 3 (60). С. 111 – 116.
- [14] Baker R. J., Li H. W., Boyce D. E.. CMOS Circuit Design, Layout, and Simulation. // IEEE Press Series on Microelectronic Systems, 1997. P. 902.