

Масштабируемый мультипроцессор для цифровой обработки сигналов

Н.В. Данильченко, С.Н. Макеев

ФГУП НИИЭТ, dnv@niiet.ru

Аннотация — В статье описан экспериментальный проект СБИС мультипроцессора для цифровой обработки сигналов. СБИС MP25 представляет собой симметричный мультипроцессор с архитектурой ОВС. СБИС MP25 содержит девять 16-ти разрядных процессоров цифровой обработки сигналов с Гарвардской архитектурой, которые функционально совместимы с DSP-процессором TMS320C25 (Texas Instruments). Процессоры соединены между собой программируемыми коммутаторами. Входы и выходы коммутаторов выведены на внешние выводы СБИС для обеспечения физической масштабируемости системы. Структура мультипроцессора СБИС MP25 представляет собой двумерную решетку с размерностью 3×3.

Ключевые слова — масштабируемый мультипроцессор, цифровая обработка сигналов, параллельная программа.

I. ВВЕДЕНИЕ

Современные системы передачи данных, как проводные, так и беспроводные, требуют все большей производительности вычислительных средств для цифровой обработки сигналов, передаваемых по каналам связи. В [1] сделан вывод о том, что развитие современных вычислительных устройств для цифровой обработки сигналов (ЦОС) идет в направлении мультипроцессорных архитектур и приведен пример некоторых архитектурных решений от фирм Texas Instruments (TI) [2], FreeScale [3], PicoChip [4] и Tilerla [5].

Этому есть несколько причин. Мультипроцессорные СБИС, реализованные на кристалле, при той же вычислительной мощности, что и однопроцессорные системы, имеют меньшую тактовую частоту, что позволяет снизить энергопотребление, а также, что немаловажно для конечного пользователя, предъявлять менее жесткие требования к аппаратуре внешнего окружения.

Основными сдерживающими факторами широкого применения мультипроцессоров для ЦОС является трудоемкость программирования и отладки параллельных программ, а также зависимость эффективности вычислений на мультипроцессоре от доли последовательной составляющей, которая существенно зависит от решаемой задачи.

В 1967 году Джин Амдал определил непреодолимое ограничение на рост производительности мультипроцессора при распараллеливании вычислений [6]. Он показал, что ускорение вычислений, которое может быть получено на мультипроцессоре, состоящем из p процессоров, по сравнению с вычислениями на одном процессоре, зависит от доли последовательной составляющей при выполнении параллельной программы и что ускорение S_p на p процессорах не превысит величины, определяемой по формуле (1).

$$S_p = 1 / (\alpha + (1 - \alpha) / p), \quad (1)$$

где S_p – ускорение вычисления на p процессорах по сравнению с вычислением на одном процессоре;

α – доля последовательной составляющей параллельного вычисления;

p – число процессоров, участвующих в параллельном вычислении.

В табл. 1 приведено ускорение для различных значений α и p .

Таблица 1

Ускорение вычислений на мультипроцессоре

α / p	10	100	1000
0%	10	100	1000
0,01%	9,99	99,02	909,17
0,1%	9,91	90,99	500,25
1%	9,17	50,25	90,99
10%	5,263	9,174	9,910
25%	3,077	3,883	3,988
40%	2,174	2,463	2,496

Из таблицы видно, что если время выполнения последовательной части параллельной программы составляет $\alpha = 0,01\%$ от времени выполнения параллельной части параллельной программы, что составляет 1 последовательную инструкцию на 10000 параллельно выполняемых инструкций, то ускорение S_p будет близко к числу процессоров. Однако уже при $\alpha = 1\%$, а это 1 последовательная инструкция на 100 параллельно выполняемых инструкций, ускорение вычислений для 1000 процессоров не превысит 91.

Таким образом, при всех прочих равных условиях (один и тот же алгоритм вычислений и его реализация,

быстродействие процессорного элемента и т.п.) эффективность параллельных вычислений будет определяться величиной доли последовательной составляющей. Уменьшение α может достигаться двумя путями. Первый путь – оптимизация алгоритма и оптимизация самой программы с целью уменьшения скалярной части программы, второй – уменьшение накладных расходов на межпроцессорное взаимодействие, т.е. совершенствование архитектуры и структуры мультипроцессорной системы. Отсюда видно, что решение проблемы эффективности мультипроцессорной системы, если не брать во внимание оптимизацию алгоритма и программы, фактически сводится к решению проблемы эффективной коммуникации и синхронизации между процессами.

Одной из перспективных архитектур для построения мультипроцессоров ЦОС является, на наш взгляд, архитектура Однородных Вычислительных Систем (ОВС) [7]. Эта архитектура позволяет получить высокую эффективность межпроцессорных взаимодействий и тем самым снизить долю последовательной составляющей, а также упростить программирование мультипроцессора.

ОВС представляет собой мультипроцессор, состоящий из Элементарных Машин (ЭМ). Структура системы связи ОВС может быть от одномерной (топология-кольцо) до многомерной (топология - многомерный куб). Элементарные Машины соединяются между собой Коммутаторами. Каждая ЭМ содержит Процессор, ОЗУ/ПЗУ и Коммутатор. Коммутатор программируется из Процессора ЭМ. Коммутатор выполняет прием/передачу данных по выбранным каналам, а также синхронизацию параллельно выполняемого вычислительного процесса. Он должен иметь, по крайней мере, три канала обмена данными и синхронизации. Один канал – это канал для связи с процессором ЭМ и не менее двух каналов для связи с аналогичными ЭМ в мультипроцессоре. Коммутатор должен выполнять три основные, так называемые Системные Операции – Настройку, Передачу/Прием данных по выбранному каналу и Синхронизацию.

Архитектура ОВС была реализована и апробирована на задачах обработки данных, а также на ряде вычислительных задач [8]. Для задач ЦОС ОВС не применялась.

В данной статье описан экспериментальный проект СБИС мультипроцессора MP25 для ЦОС с архитектурой ОВС. Мультипроцессор СБИС MP25 является синхронным. Это означает, что все Системные Команды выполняются процессорными элементами синхронно. СБИС MP25 дает возможность масштабировать и создавать мультипроцессорные системы с числом ЭМ до 18432. СБИС MP25 спроектирована по технологическим нормам 0,18 мкм на библиотеке FARA-DAY [9]. В качестве процессорного элемента ЭМ использовался IP-блок s32025tx с простой архитектурой от CAST, Inc [10], который функционально совместим с DSP-процессором TMS320C25 фирмы TI.

Для сравнения производительности СБИС MP25 и DSP-процессора TMS320C6414 (TI) [11], выполненного по технологическим нормам 0,13 мкм, на задаче цифровой фильтрации с помощью фильтра с конечной импульсной характеристикой (КИХ) со 128 отводами параметры СБИС MP25 были аппроксимированы для технологических норм 0,13 мкм.

II. СТРУКТУРА СБИС MP25

СБИС MP25 состоит из 9 ЭМ. Каждая ЭМ включает Процессор (PR), Память программ (PM), Память данных (DM) и Коммутатор (SW).

СБИС MP25 имеет 12 внешних системных каналов, позволяющих подключать аналогичные СБИС. Кроме системных каналов СБИС MP25 имеет 8 последовательных портов (SPI) и 9 портов общего назначения (GP). Последовательные порты предназначены для подключения АЦП/ЦАП. Порты общего назначения предназначены для обмена информацией с другими внешними источниками.

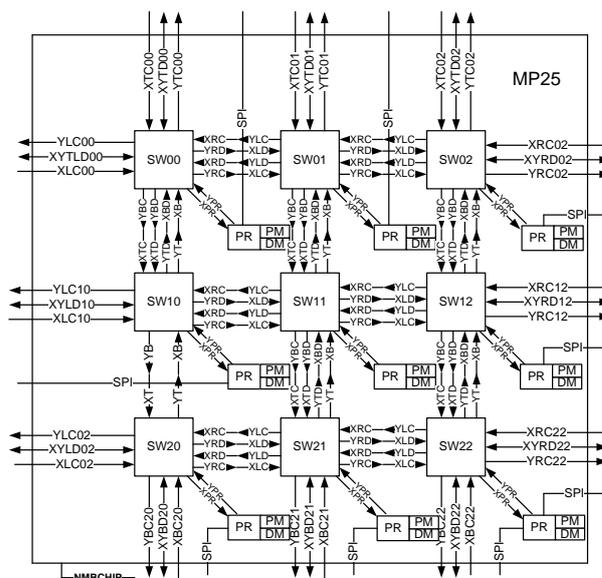


Рис. 1. Структура СБИС MP25

Обозначения на рис. 1:

- PR – процессор;
- PM – память инструкций RAM объемом 16Kx16;
- DM – память данных RAM объемом 16Kx16;
- SW – коммутатор;
- NMVBCHIP – номер микросхемы СБИС ОВС в системе.

Назначение символов в наименовании сигналов:
 X – вход, Y – выход, XY – вход/выход, L – влево, T – вверх, R – вправо, B – вниз, C – управляющие сигналы, D – данные.

SPI – Последовательный интерфейс для соединения с ЦАП/АЦП).

GP – Двухканальный порт общего назначения.

Основные характеристики СБИС MP25 приведены в табл. 2.

Таблица 2

Характеристики СБИС MP25

№	Параметр	Описание
1	Число процессорных узлов	9
2	Топология мультипроцессора	2-х мерная
3	Масштабируемость	Есть
4	Межпроцессорное взаимодействие	Коммутация каналов
5	Производительность, MIPS	до 1350
6	Тактовая частота, МГц	150
7	Потребляемая мощность ядра микросхемы, мВт	≤ 250
8	Общее число сигнальных выводов	500
9	Выводов питания/ земли	102
10	Технология, мкм	0,18
11	Корпус	CPGA602

В табл. 3 приведены основные технические характеристики элементарной машины СБИС MP25.

Таблица 3

Основные технические характеристики элементарной машины (ЭМ)

№	Характеристика	Значение
1	Процессорный элемент	c320C25tx
2	Объем памяти программ, Кбайт	32
3	Объем памяти данных, Кбайт	32
4	Коммутатор	1
5	Число направлений коммутатора	4
6	Разрядность шины данных коммутатора	16
7	Тактовая частота, МГц	150

В табл. 4 приведены основные технические характеристики IP блока c320C25tx.

Таблица 4

Основные технические характеристики процессорного IP блока c320C25tx

№	Характеристика	Значение
1	Архитектура	TMS320C25 (TI)
2	Разрядность, бит	16
3	Форма записи числа	Фиксированная точка
4	Глубина конвейера	3 уровня
5	Инструкции	Однотактовые
6	Тактовая частота при топологических нормах 0,18 мкм	152,9 МГц
7	Умножитель	16 x 16 (32х разрядное произведение)
8	MAC инструкция	Однотактовая

Мультипроцессорная СБИС MP25 поддерживает масштабируемость. На рис. 2 в качестве примера при-

веден мультипроцессор, построенный на базе 4-х СБИС MP25.

Основные технические характеристики мультипроцессора, построенного на базе 4-х СБИС MP25, приведены в табл. 5.

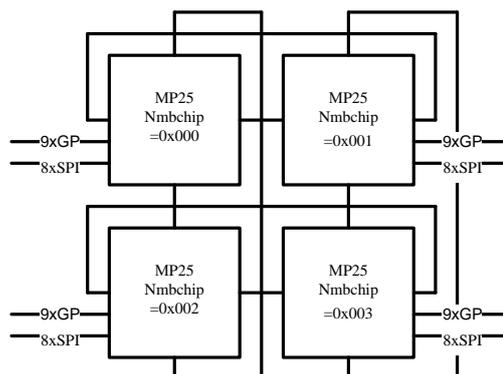


Рис. 2. Структура мультипроцессора из 4-х СБИС MP25

Таблица 5

Технические характеристики мультипроцессора на базе 4-х СБИС MP25

№	Характеристика	Значение
1	Число СБИС MP25 в системе, шт.	4
2	Число Элементарных Машин, шт.	36
3	Пиковая производительность, MIPS	до 5400
4	Число последовательных портов (SPI)	32
5	Число портов общего назначения (GP)	36

В табл. 6 приведено сравнение характеристик DSP-процессора TMS320C6414 (TI) и СБИС MP25 на задаче КИХ фильтрации со 128 отводами.

Таблица 6

Сравнение характеристик мультипроцессора СБИС MP25 и TMS320C6414 (TI)

1	Параметр	TMS320C6414 (TI)	MP25
2	Частота, МГц	500	210
3	Ток потребления, мА	550	325
4	КИХ фильтр 128 отводов, МГц	2	1,6
5	Технология, мкм	0,13	0,13*

* - характеристики СБИС MP25 аппроксимированы для технологических норм 0,13 мкм.

III. АРХИТЕКТУРА КОММУТАТОРА

Одним из основных элементов СБИС МР25, который определяет производительность мультипроцессора, является Коммутатор.

Коммутатор Элементарной Машины СБИС МР25 содержит шесть программно-адресуемых регистров. В табл. 7 приведено функциональное назначение каждого из регистров.

Таблица 7

Регистры Коммутатора

Мнемоника/ Адрес	Наименование и функциональное назначение
RCVR/0xffffa	Регистр приема данных из системного канала
SNDR/0xffffa	Регистр передачи данных в системный канал
SSWR/0xffffb	Регистр настройки коммутатора
CSCR/0xffffc	Регистр управления системными условиями
SNMR/0xffffd	Регистр номера машины в системе
SWSR/0xffffe	Регистр слова состояния системы
SPLR/0xfffff	Регистр передачи данных при конвейерном обмене

Регистры RCVR/SNDR предназначены для приема/передачи данных из системного канала.

Системный канал включает шину данных, управляющие сигналы и сигналы системных условий.

Регистр настройки SSWR предназначен для выбора источника данных для канала приемника. Источником и приемником данных могут быть каналы L, T, R, B или PR.

Регистр CSCR предназначен для выбора каналов, которые формируют Обобщенное Системное Условие.

Регистр SNMR предназначен для идентификации номера ЭМ в системе. Он содержит поле номера ЭМ в СБИС МР25 и поле номера СБИС МР25 в системе из нескольких СБИС. Номер СБИС МР25 в системе задается внешними выводами Nmbchip.

Регистр SWSR предназначен для отображения Системного Условия по каждому из направлений и Обобщенного Системного Условия.

Регистр SPLR предназначен для реализации конвейерного обмена в системе.

IV. СИСТЕМНЫЕ ИНСТРУКЦИИ

В табл. 8 приведено описание системных инструкций. Системные инструкции реализованы в виде макросов на языке Assembler.

Таблица 8

Системные инструкции, реализованные для мультипроцессорной СБИС МР25

№	Мнемоника	Описание
1	SRCV <i>nem, dst</i>	Прием из канала (Receive from Channel). ЭМ с номером <i>nem</i> принимает данные из канала и записывает их по адресу <i>dst</i> .
2	STRN <i>nem, src</i>	Передача данных в канал (Transmit to Channel) ЭМ с номером <i>nem</i> передает данные в выбранный канал/ы из адреса <i>src</i> .
3	SSSW <i>nem, swyl, swyt, swyr, swyb, swup</i>	Настройка коммутатора (Set Switch) Инструкция устанавливает соответствующие значения в регистре настройки коммутатора ЭМ с номером <i>nem</i> . Значение <i>swyl</i> по каналу Left, значение <i>swyt</i> по каналу Top, значение <i>swyr</i> по каналу Right, значение <i>swyb</i> по каналу Bottom, значение <i>swup</i> по каналу PR.
4	SCND <i>nem, encndl, encndt, encndr, encndb, encndp, andor, AR, dma</i>	Настройка формирования обобщенного системного условия. Значения <i>encndl, encndt, encndr, encndb, encndp, andor</i> записываются в соответствующие биты регистра SWSR для ЭМ с номером <i>nem</i> . Если <i>encndX=1</i> , (<i>X=, l, t, r, b, p</i>), то соответствующее направление участвует в формировании обобщенного условия.
5	CNDP <i>cndp, AR, dma</i>	Установка системного условия в ЭМ. Значение <i>cndp</i> записывается в бит CNDP регистра SWSR
6	UCBR <i>PC</i>	Безусловный переход (Unconditional Branch) Все ЭМ безусловно переходят по адресу <i>PC</i>
7	CBR <i>dma, TPC, FPC</i>	Условный переход (Conditional Branch) Все ЭМ переходят по адресу <i>TPC</i> , если системное условие «истинно» или переходят по адресу <i>FPC</i> , если системное условие «ложно».
8	SPEX <i>srcch, src, dstch, dst</i>	Конвейерный обмен (Pipelined Exchange) ЭМ передает данные из <i>src</i> по направлению <i>srcch</i> и принимает данные по направлению <i>dstch</i> в <i>dst</i>
9	SEXE <i>PC, AR, dma</i>	Выполнение (Execution). Передает управление по адресу <i>PC</i>

№	Мнемоника	Описание
10	SNOP	Нет системной операции. Выполняется только синхронизация с системой
11	STEX <i>nem, src, dst, cntr, AR, dma</i>	Трансляционный Обмен. (Translational Exchange) ЭМ с номером <i>nem</i> , передает данные из <i>src</i> . ЭМ не с номером <i>nem</i> , принимают данные в <i>dst</i> .
12	SDEX <i>nem_i, src, nem_j, ..., nem_k, dst, cntr</i>	Дифференцированный Обмен (Differentiated Exchange) ЭМ с номером <i>nem</i> , передает данные из <i>src</i> . ЭМ с номерами <i>nem_i, ..., nem_k</i> принимают данные в <i>dst</i> .
13	SCEX <i>nem_i, dst, nem_j, ..., nem_k, src, cntr</i>	Коллекторный Обмен (Collector Exchange) ЭМ с номерами <i>nem_i, ..., nem_k</i> передает данные из <i>src</i> в <i>dst</i> ЭМ с номером <i>nem_i</i>
14	SIEX <i>nem, dst, nem_i, src, cntr</i>	Индивидуальный Обмен (Individual Exchange) ЭМ с номером <i>nem</i> передает данные из <i>src</i> в ЭМ с номером <i>idst</i> в <i>dst</i> .

V. ПРОГРАММИРОВАНИЕ МУЛЬТИПРОЦЕССОРА MP25

Программирование СБИС MP25 осуществляется в среде проектирования для DSP-процессора TMS320C25 (TI) на языках Assembler и C с использованием функций, реализующих системные инструкции. Наиболее эффективный способ распараллеливания для мультипроцессора с архитектурой ОВС – это крупноблочное распараллеливание.

В работах [12]-[14] было показано, что задачи цифровой обработки сигналов могут быть сведены к мат-

ричным вычислениям (умножение матрицы на вектор, умножение матриц, обращение матриц и т.п.). Именно поэтому для оценки ускорения вычислений на мультипроцессорной СБИС MP25 на задачах ЦОС было осуществлено программирование задачи умножения матрицы размером 90×90 элементов на вектор размером 90 элементов для различных способов разбиения матрицы – блочного и ленточного, по строкам и столбцам.

В табл. 9 приведена сравнительная характеристика решения задачи умножения матрицы на вектор при различных способах разбиения матрицы.

Таблица 9

Сравнительная характеристика вычислений при различных способах разбиения матрицы

Характеристика	Вычисление на MP25			Вычисление на одном процессоре
	Ленточное разбиение (по строкам)	Ленточное разбиение (по столбцам)	Блочное разбиение	
Количество настроек	12	21	17	0
Количество передач при вычислении	160	240	210	0
Количество MAC инструкций	900	900	900	8100
Количество ADD инструкций	0	8	3	0
Ускорение	7,55	6,93	7,17	

Для сравнения производительности мультипроцессорной СБИС MP25 и DSP-процессора TMS320C6414 была запрограммирована задача КИХ-фильтра со 128 отводами. В табл. 6 приведен результат сравнения. Из таблицы видно, что СБИС MP25 имеет худшие характеристики по частоте фильтрации (1,6 МГц против 2 МГц), но лучшие характеристики по тактовой частоте (210 МГц против 500 МГц) и току потребления (325 мА против 500 мА). Для иллюстрации программирования мультипроцессора MP25 приведена системная программа, реализующая КИХ-фильтр со 128 отводами (фрагменты программы, выполняющие непосредственные вычисления, не приведены):

// Определение символов

```
EM00 .set 0h
EM01 .set 1h
EM02 .set 2h
EM10 .set 10h
EM11 .set 11h
EM12 .set 12h
```

```
EM20 .set 20h
EM21 .set 21h
EM22 .set 22h
XP .set 0h
XL .set 1h
XT .set 2h
XR .set 3h
XB .set 4h
DisCh .set 7h
EnCnd .set 1h
DisCnd .set 0h
// nem – номер элементарной машины ЭМ
nem .set EM00
// Первоначальная настройка канала данных
.if (nem == EM00)
SSSW EM00, DisCh, DisCh, XP, XP, DisCh
.elseif (nem == EM01)
SSSW EM01, DisCh, DisCh, XL, DisCh, XL
.elseif (nem == EM02)
SSSW EM02, DisCh, DisCh, XL, DisCh, XL
```

```

.elseif (nem == EM10)
  SSSW EM10, DisCh, DisCh, XT, XT, XT
.elseif (nem == EM11)
  SSSW EM11, DisCh, DisCh, XL, DisCh, XL
.elseif (nem == EM12)
  SSSW EM12, DisCh, DisCh, XL, DisCh, XL
.elseif (nem == EM20)
  SSSW EM20, DisCh, DisCh, XT, DisCh, XT
.elseif (nem == EM21)
  SSSW EM21, DisCh, DisCh, XL, DisCh, XL
.elseif (nem == EM22)
  SSSW EM22, DisCh, DisCh, XL, DisCh, XL
.endif
// Настройка обобщенного системного условия
// по логической функции И
.if (nem == EM00)
  SCND EM00, DisCnd, DisCnd, EnCnd, EnCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM01)
  SCND EM01, EnCnd, DisCnd, EnCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM02)
  SCND EM02, EnCnd, DisCnd, DisCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM10)
  SCND EM10, DisCnd, EnCnd, EnCnd, EnCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM11)
  SCND EM11, EnCnd, DisCnd, EnCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM12)
  SCND EM12, EnCnd, DisCnd, DisCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM20)
  SCND EM20, DisCnd, EnCnd, EnCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM21)
  SCND EM21, EnCnd, DisCnd, EnCnd, DisCnd,
    EnCnd, AND, AR, dma
.elseif (nem == EM22)
  SCND EM22, EnCnd, DisCnd, DisCnd, DisCnd,
    EnCnd, AND, AR, dma
.endif
// Передача N коэффициентов h(n) ЭМ00 всем ЭМ
STEX EM00, src1, dst1, N, AR, dma
// Передача (N - 1) первых отсчетов x(n) ЭМ00
// всем ЭМ с помощью трансляционного обмена
STEX EM00, src2, dst2, N - 1, AR, dma
// Передача очередного отсчета x(i) ЭМ00 всем ЭМ
CONV: STEX EM00, src3, dst3, 1, AR, dma
// Вычисление промежуточных значений
//  $y(i) = \sum h(i) \times x(n - i), i = 0, 1, ..8$ 
F1: SEXE PC, AR, dma
  CNDP cndp, AR, dma
  CBR dma, T1, F1
// Передача промежуточных значений y(i) в ЭМ00
T1: SCEX EM00, dst4, EM01, src01, .., EM22, src22, 8
// Вычисление выходного значения
//  $Y(n) = \sum y(i), i = 0, 1, ..8$ 
SEXE PC, AR, dma
  CNDP cndp, AR, dma

```

CBR dma, END, CONV
END:

ЗАКЛЮЧЕНИЕ

Оценка производительности мультипроцессорной СБИС MP25 с архитектурой ОВС на задачах умножения матрицы на вектор и решения задачи КИХ фильтрации показывает, что архитектура ОВС перспективна для решения задач цифровой обработки сигналов. Хорошая масштабируемость архитектуры ОВС дает возможность создавать СБИС на различных технологических нормах без изменения ее архитектуры, получая при этом рост производительности. Например, при реализации СБИС MP25 с технологическими нормами 65 нм можно разместить на кристалле 64 ЭМ и получить пиковую производительность до 14400 MIPS без изменения модели вычислений, что очень важно. Для повышения эффективности межпроцессорных взаимодействий необходимо изменение архитектуры процессорного элемента и введение специальных инструкций, поддерживающих выполнение системных операций.

ЛИТЕРАТУРА

- [1] Lina J. Karam, Ismail AlKamal, Alan Gatherer, Gene A. Frantz, David V. Anderson, and Brian L. Evans. Trends in Multicore DSP Platforms // IEEE SIGNAL PROCESSING MAGAZINE [38]. – NOVEMBER 2009.
- [2] TNETV3020 carrier infrastructure platform [Электронный ресурс]. URL: <http://ti.com/lit/ml/spat174a/spat174a.pdf> (дата обращения: 17.10.2011).
- [3] MSC8156 product brief [Электронный ресурс]. URL: http://freescale.com/files/dsp/doc/prod_brief/MSC8156PB.pdf?fsrch=1&sr=1 (дата обращения: 17.10.2011).
- [4] PC205 product brief [Электронный ресурс]. URL: <http://www.picochip.com> (дата обращения: 17.10.2011).
- [5] Tile64 processor product brief [Электронный ресурс]. URL: <http://www.tilera.com/products/processors/TILE64> (дата обращения: 20.10.2011).
- [6] Amdahl G. Validity of the single-processor approach to achieving large-scale computing capabilities // Proc. 1967 AFIPS Conf., AFIPS Press. - 1967. - V. 30. - P. 483.
- [7] Евреинов Э.В., Косарев Ю.Г. Однородные универсальные вычислительные системы высокой производительности. - Новосибирск: Наука. - 1966.
- [8] Евреинов Э.В., Хорошевский В.Г. Однородные вычислительные системы. – Новосибирск: Наука, 1978. - 320 с.
- [9] Faraday Technology Corporation [Электронный ресурс]. URL: <http://www.faraday-tech.com> (дата обращения: 24.10.2011).
- [10] C32025 16-bit Digital Signal Processor (DSP) Core [Электронный ресурс]. URL: <http://www.cast-inc.com/ip-cores/dsps/c32025tx> (дата обращения: 27.10.2011).
- [11] TMS320C6414 [Электронный ресурс]. URL: <http://www.ti.com/product/tms320c6414> (дата обращения: 12.11.2011).
- [12] Snyder L. Configurable, Highly Parallel (CHiP) Approach to Signal Processing Applications // Proc. Tech. Symp. East 82, SPIE. - 1982.
- [13] Snyder L. Introduction to the Configurable, Highly Parallel Computer // Jan. 1982. Computer 75(1):47-56.
- [14] Snyder L. Overview of the CHiP Computer in J.P. Gray, ed., VLSI 81. Academic Press, New York. – 1981. - P. 237.