

Метод снижения температурной зависимости временных задержек цифровых интегральных схем

В.Ш. Меликян¹, Э.Г. Бабаян¹, А.Г. Арутюнян², Н.В. Меликян¹, Г.Е. Заргарян¹

¹ЗАО “СИНОПСИС АРМЕНИЯ”, vazgenm@synopsys.com

²Государственный инженерный университет Армении, harash@seua.am

Аннотация — Исследованы явления обратной температурной зависимости временных задержек компонентов и интегральных схем в целом. Приведены расчеты оптимальных величин напряжений питания для отдельных стандартных цифровых ячеек. Предложен метод снижения влияния изменений температуры кристалла на быстродействие интегральной схемы путем повышения напряжения питания за счет незначительного увеличения потребляемой мощности. Представлено обоснование определения оптимального значения напряжения питания интегральной схемы на основе модельных экспериментов.

Ключевые слова — температура, цифровая интегральная схема, пороговое напряжение, быстродействие.

I. ВВЕДЕНИЕ

Известно, что при технологиях изготовления интегральных схем (ИС) 90 нм и ниже увеличение энергопотребления схем и рост плотности рассеиваемой мощности приводят к существенному повышению локальных температур кристалла и температурного градиента. Последние, в свою очередь, влияют на все основные характеристики ИС. В частности, рост температуры внутри ИС, вызывает увеличение задержек межсоединений.

Повышение локальных температур и температурного градиента ИС, в свою очередь, является последствием главного фактора развития интегральных технологий – масштабирования [1]. Однако дифференцированное масштабирование различных параметров и характеристик ИС создает новые проблемы при проектировании схем, изготавливаемых по технологиям 90 нм и ниже. В частности, это относится к масштабированию напряжения питания (U_n) и порогового напряжения ($U_{пор}$) интегрального МОП транзистора (рис. 1)[2,3].

Масштабирование U_n , прежде всего, ограничено требованиями надежности. Сокращение размеров полупроводниковых приборов приводит к уменьшению паразитных емкостей. Тем самым повышается быстродействие КМОП ИС. Масштабирование $U_{пор}$ (рис. 1) также направлено на увеличение быстродействия ИС. Однако уменьшение $U_{пор}$ интегрального МОП транзистора ограничено токами утечки и харак-

теризуется более медленными темпами масштабирования по сравнению с U_n .

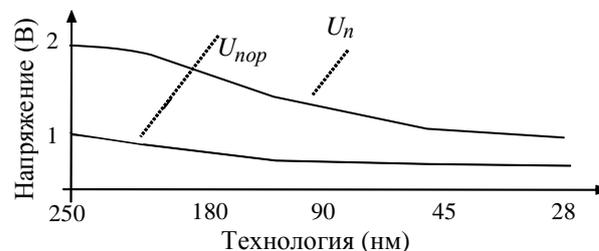


Рис. 1. Масштабирование напряжения питания и порогового напряжения интегрального МОП транзистора

С учетом изложенных факторов, по мере внедрения новых технологий изготовления ИС, разница между U_n и $U_{пор}$ со временем сокращается, и, как следствие, увеличивается составляющая величины изменения тока стока (I_c) интегрального МОП транзистора в общем значении изменения I_c в результате всех дестабилизирующих факторов. Изменения соотношений характеристик интегральных МОП транзисторов описанного типа часто приводят также к обратной температурной зависимости (ОТЗ) временных параметров МОП транзисторов от температуры (T), т.е. к сокращению временных задержек ИС при увеличении T [4,5].

II. ОБРАТНАЯ ТЕМПЕРАТУРНАЯ ЗАВИСИМОСТЬ

Задержка распространения интегральной КМОП цифровой ячейки ($T_{з.р.}$) обычно моделируется следующим образом [6]:

$$T_{з.р.} \sim \frac{C_n U_n}{I_c} = \frac{C_n U_n}{\mu(T)(U_n - U_{пор}(T))^\alpha}, \quad (1)$$

где C_n – емкость нагрузки; I_c – ток стока транзистора во включенном режиме; U_n – напряжение питания; $U_{пор}$ – пороговое напряжение; μ – подвижность носителей заряда; α – коэффициент насыщения. В наиболее существенной зависимости от T находятся два важных параметра интегрального МОП транзистора – $U_{пор}$ и μ , величины которых уменьшаются с увеличением T . Однако из (1) следует, что $U_{пор}$ и μ имеют разнонаправленное воздействие на I_c . В зависимости от соотношения значений $U_{пор}$ и μ при конкретной температуре значение I_c зависит от доминирующего

параметра. При больших значениях напряжения питания разница $U_n - U_{пор}$ менее чувствительна к изменению $U_{пор}$ при изменении T . В этом случае зависимость I_c от подвижности носителей заряда становится более существенной. При небольших значениях напряжения питания разница $U_n - U_{пор}$ становится более чувствительной к изменениям $U_{пор}$. Следовательно, при больших значениях U_n задержки схемы увеличиваются с повышением T . Описанное явление называют обратной температурной зависимостью [7], а напряжение, при котором зависимость от T качественно меняет свой характер, – напряжением нулевого температурного коэффициента $U_{нтк}$.

III. ПОДТВЕРЖДЕНИЕ НАЛИЧИЯ ОТЗ

Результаты моделирования интегральных МОП транзисторов, для технологий 90 нм (рис. 2а) и 28 нм (рис. 2б), подтверждают наличие ОТЗ.

При технологии 90 нм (рис. 2а, $U_n = 1,2В$) вследствие относительно большой разницы $U_n - U_{пор}$ при номинальном U_n изменение μ доминирует в I_c интегрального МОП транзистора при температурных флуктуациях. Из-за этого с ростом T значение I_c снижается. Причиной является уменьшение подвижности носителей заряда. В случае же технологии 28 нм (рис. 2б, $U_n = 1,05В$) I_c увеличивается с ростом T , приводя к уменьшению временных задержек КМОП схем. Естественно, наличие ОТЗ для отдельного интегрального МОП транзистора приводит к такому же явлению в случае схем, построенных на их основе. В частности, это относится к стандартным цифровым ячейкам.

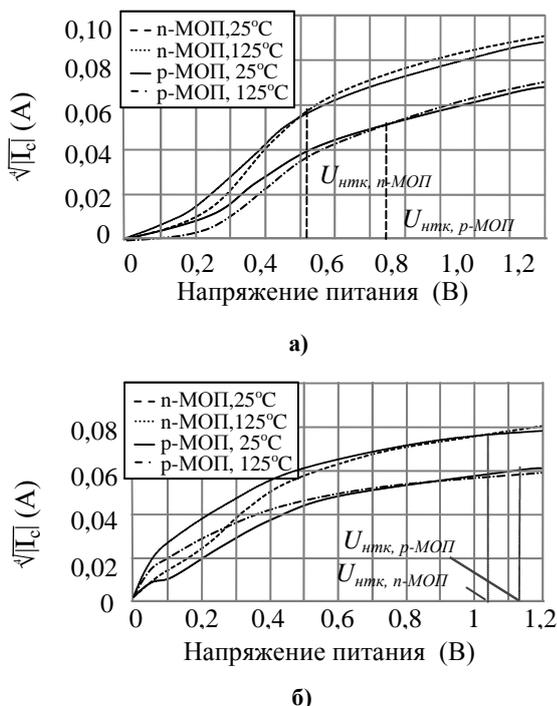


Рис. 2. Зависимость изменения тока стока интегрального МОП транзистора от напряжения питания при технологиях: а – 90 нм (ширина канала 90нм), б – 28 нм (ширина канала 30нм)

IV. ОТЗ СТАНДАРТНЫХ ЦИФРОВЫХ ЯЧЕЕК

Для подтверждения наличия ОТЗ стандартных цифровых ячеек были исследованы библиотеки SAED EDK [8], для технологий 90 и 28 нм. Библиотеки стандартных цифровых ячеек, включенные в состав SAED EDK, для технологий 90 и 28 нм имеют одинаковый состав элементов и схемотехнические решения. Такое свойство библиотеки позволило провести эксперименты по сравнению воздействия температурных изменений на величины задержек цифровых ячеек. В частности, в табл. 1 и 2 приведены результаты исследования влияния изменения T на задержки распространения сигналов. В таблицах приведены усредненные значения задержек: при переключении цифровой ячейки от состояния “0” в “1” и наоборот.

Таблица 1

Задержки цифровых ячеек при технологии 90 нм

Схема	Функция	Температура		Изменение (%)
		25°C	125°C	
INVX1	Инвертор	100	137,2	+27,1
BUFFX8	Повторитель	189	199,1	+5,1
NBUFFX8	Повторитель	246	263,1	+6,5
NAND2X2	И-НЕ	126	176,2	+28,5
AND2X2	И	214	243,1	+12,0
NORX2	ИЛИ	129	132,5	+2,6
XNORX2	Искл. ИЛИ	151	200,4	+24,7
FADDX1	Полу. Сумм.	194	221,7	+12,5
HADDX1	Полн. сумм.	220	268,2	+18,0
MUX21X1	Мультиплекс.	223	251	+11,2
DEC24X2	Декодер	179	183,5	+2,5

Таблица 2

Задержки цифровых ячеек при технологии 28 нм

Схема	Функция	Температура		Изменение (%)
		25°C	125°C	
INVX1	Инвертор	32,2	30,4	-5,6
BUFFX8	Повторитель	46,5	42,8	-8,0
NBUFFX8	Повторитель	30,6	30,3	-1,0
NAND2X2	И-НЕ	53,8	52,9	-1,7
AND2X2	И	47,2	46,8	-0,8
NORX2	ИЛИ	57,1	55,6	-2,6
XNORX2	Искл. ИЛИ	65,6	64,3	-2,0
FADDX1	Полу. Сумм.	81,7	79,2	-3,1
HADDX1	Полн. сумм.	77,1	75,1	-2,6
MUX21X1	Мультиплекс.	70,1	69,4	-1,0
DEC24X2	Декодер	55,3	55,1	-0,4

Из результатов моделирования для технологии 90 нм (табл. 1) следует, что при изменении температуры от 25 до 125°C быстродействие схем в среднем уменьшается на 13%. Качественно другая картина – в случае технологии 28 нм (табл. 2): при таком же изменении температуры наблюдается уменьшение задержек распространения выбранных схем в среднем на 2,5%. Результаты, представленные в табл. 1 и 2,

подтверждают наличие ОТЗ в случае стандартных цифровых ячеек. В случае технологии 90 нм $U_n-U_{пор}$ имеет большое значение, и доминирует влияние температуры на μ , а в случае технологии 28 нм $U_n-U_{пор}$ имеет несравнимо меньшее значение, и превалирует влияние T на $U_{пор}$.

V. ОПТИМИЗАЦИЯ НАПРЯЖЕНИЯ ПИТАНИЯ ИС

Полученные результаты свидетельствуют о возможности нового подхода к проектированию ИС с учетом вышеописанных явлений. Такой способ проектирования ИС может быть основан на нахождении напряжения $U_{итк}$, при котором изменения значений $U_n-U_{пор}$ и μ при изменении температуры компенсируются. Интегральный МОП транзистор, функционирующий при таком оптимальном $U_n-U_{пор}$, имеет постоянный, температурно-независимый ток стока (рис. 2а и б).

При 90 нанометровой технологии компенсация может быть достигнута понижением U_n . Расчеты показывают, что U_n в этом случае должно быть на 30...35% ниже номинального значения (табл. 3).

В случае же 28 нанометровой технологии, с целью уменьшения воздействия изменений значения $U_n-U_{пор}$, необходимо повысить U_n на 10...20% (табл. 4).

Таблица 3

Оптимальные U_n при технологии 90 нм

Схема	Оптимальное напряжение (В)	Температура		Изменение (%)
		25°C	125°C	
INVX1	0,81	32,9	36,1	+8,86
BUFFX8	0,78	273,2	314,2	+13,05
NBUFFX8	0,81	97,4	105,9	+8,03
NAND2X2	0,81	70,6	76,7	+7,95
AND2X2	0,81	136,6	148,0	+7,70
NORX2	0,81	87,7	95,5	+8,17
XNORX2	0,82	210,3	226,7	+7,23
FADDX1	0,82	185,5	199,4	+6,97
HADDX1	0,82	222,5	239,5	+7,10
MUX21X1	0,82	152,3	163,7	+6,96
DEC24X2	0,82	131,4	141,5	+7,14

Таблица 4

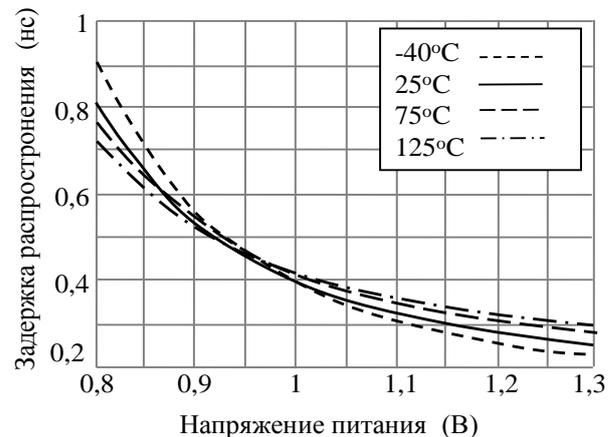
Оптимальные U_n при технологии 28 нм

Схема	Оптимальное напряжение (В)	Температура		Изменение (%)
		25°C	125°C	
INVX1	1,21	22,8	21	-7,89
BUFFX8	1,24	33,8	29,1	-13,91
NBUFFX8	1,28	21,0	19,2	-8,57
NAND2X2	1,23	37,4	32,3	-13,64
AND2X2	1,25	31,5	27,1	-13,97
NORX2	1,17	37,7	34,1	-9,55
XNORX2	1,11	41,9	38,1	-9,07
FADDX1	1,15	43,6	39,5	-9,40
HADDX1	1,11	36,1	33,1	-8,31
MUX21X1	1,12	44,5	40,6	-8,76
DEC24X2	1,11	33,1	32,2	-2,72

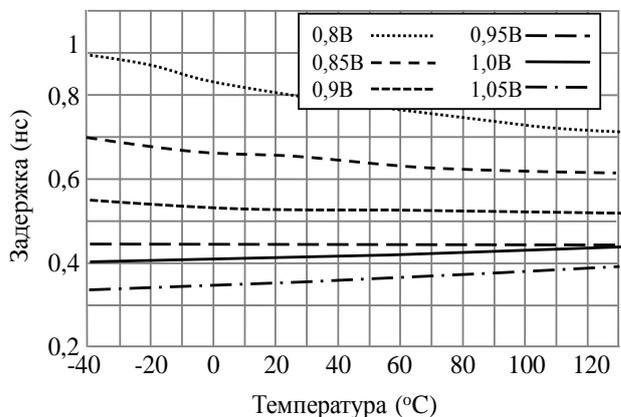
Также важно отметить, что в обеих рассматриваемых технологиях напряжение U_n , при котором возможно достижение независимости задержек ячейки от температуры, заметно меняется в зависимости от типа схемы. Естественно, в составе ИС невозможно обеспечить разные U_n для разных цифровых стандартных ячеек, входящих в состав ИС. Отсюда следует, что при использовании единого U_n для всей ИС только часть схемы будет находиться в температурно-независимом режиме. Однако выбор единого U_n , совпадающего с оптимальным значением для наиболее употребляемых внутри ИС цифровых стандартных ячеек, может существенно снизить температурную зависимость задержек всей ИС.

VI. ПОДТВЕРЖДЕНИЕ ОТЗ ДЛЯ ЦИФРОВОЙ ИС

С целью подтверждения наличия ОТЗ для цифровой ИС было проведено моделирование процессора, содержащего около 40000 стандартных цифровых ячеек, спроектированных для технологии 28 нм. Моделирование проводилось с использованием программного инструментария схемотехнического моделирования HSPICE [9]. Исследовались задержки кри-



а)



б)

Рис. 3. Зависимость задержки распространения критического пути ИС от:
а – напряжения питания, б – температуры

тических путей процессора при перепаде температуры от -40 до 125°C и изменений U_n . Полученные результаты (рис. 3а) подтверждают наличие ОТЗ также в случае ИС в целом.

По результатам моделирования величина $U_{нтк}$ получается равной $0,95\text{В}$. При высоком напряжении питания $U_n \geq U_{нтк}$ схема проявляет положительную зависимость задержек критических путей от температуры. Следовательно, наихудшим условием в таком случае является температура 125°C . При $U_n < U_{нтк}$ проявляется ОТЗ, и наихудшим условием, с точки зрения временных параметров, становится температура -40°C . Следует заметить, что при моделировании учтены также изменения временных параметров металлических межсоединений от T .

Зависимость задержек от температуры при разных U_n показана на рис. 3б. При $U_n \geq U_{нтк}$ на всех кривых заметно монотонное увеличение, а при $U_n < U_{нтк}$ ($0,9 \dots 1,05\text{В}$) те же зависимости принимают обратный характер.

Полученные результаты показывают наличие ОТЗ в рассмотренной цифровой ИС при низких U_n , тем самым изменяя принятое представление о наихудших и наилучших условиях работы схемы.

Однако результаты исследований свидетельствуют также о потерях в случае оптимизации U_n с целью снижения температурной зависимости временных задержек ИС. Уменьшение температурной зависимости достигается за счет увеличения потребляемой мощности. Об этом свидетельствуют данные, приведенные в табл. 5.

Из величин отклонений задержек элементов ИС от их средних значений при изменении температуры в случаях питания ИС напряжением с номинальным и

Таблица 5

Отклонения величин задержек элементов ИС от температуры для технологии 28 нм

Схема	Номинальное напряжение питания (В)		Оптимальное напряжение питания (В)	
	Изменение задержек (%)	НМ (нВт)	Изменение задержек (%)	НМ (нВт)
INVX1	-7,9	1	-2,66	1,1
BUFFX8	-12,1	1,0	-4,25	1,7
NBUFFX8	-8,6	1,2	-1,87	1,4
NAND2X2	-10,6	1,1	-4,1	1,9
AND2X2	-9,3	1,0	-4,34	1,6
NORX2	-9,6	1,3	-1,39	2,0
XNORX2	-5,2	1,4	-2,5	2,1
FADDX1	-9,4	1,3	-1,23	2,2
HADDX1	-2,5	1,5	-5,02	1,9
MUX21X1	-2,6	1,4	-0,17	2,2
DEC24X2	-4,8	1,4	-3,96	1,9

средним оптимальным значением для технологии 28 нм следует, что средний процент изменений задержек составляет 5% при питании ИС оптимальным напряжением, что значительно ниже изменения 12% при номинальном напряжении. Однако, по величинам нормализованной потребляемой мощности (НМ) видно, что при этом потребление мощности значительно увеличивается. Тем самым, данный подход позволяет заметно уменьшить влияние температурных флуктуаций на быстродействие схем только за счет увеличения потребляемой мощности.

VII. Выводы

Показано наличие обратной температурной зависимости временных параметров ИС и их компонентов от температуры. Предложен метод снижения влияния температурных изменений на быстродействие ИС путем повышения напряжения питания, что достигается за счет увеличения потребляемой мощности. Эффективность предложенного метода обоснована полученными результатами моделирования.

БЛАГОДАРНОСТИ

Статья подготовлена при совместном финансировании Национального комитета науки Армении и Белорусского республиканского фонда фундаментальных исследований в рамках проекта “11РБ-002”.

ЛИТЕРАТУРА

- [1] Itoh K., Horiguchi M. Low-voltage scaling limitations for nano-scale CMOS LSIs // Solid-State Electronics. Elsevier, 2009. P. 402—410.
- [2] Zhang L., Dick R.P. Scheduled voltage scaling for increasing lifetime in the presence of NBTI // Asia and South Pacific Design Automation Conference (ASP-DAC), 2009. P. 492—497.
- [3] Filanovsky I.M., Bai B., Moore B. A CMOS voltage reference using compensation of mobility and threshold voltage temperature effects // 52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'09), 2009. P. 29—32.
- [4] Drego N., Chandrakasan A., Boning D. Lack of spatial correlation in mosfet threshold voltage variation and implications for voltage scaling // IEEE Transactions on Semiconductor Manufacturing, 2009. P. 245—255.
- [5] Wu S.H., Tetelbaum A., Wang L.C. How Does Inverse Temperature Dependence Affect Timing Sign-Off // Emerging Technologies and Circuits, Springer, 2010. P. 179—189.
- [6] Andricciola P., Tuinhout H.P. The temperature dependence of mismatch in deep-submicrometer bulk MOSFETs // IEEE Electron Device Letters, 2009. P. 690—692.
- [7] Li X., Tong J., Mao J. Temperature-dependent device behavior in advanced CMOS technologies // International Symposium on Signals Systems and Electronics (ISSSE), 2010. P. 1—4.
- [8] Synopsys' open educational design kit: capabilities, deployment and future / Goldman R., Bartleson K., Wood T., Kranen K., Cao C., Melikyan V., Markosyan G. // IEEE International Conference on Microelectronic Systems Education, 2009. P. 20—24.
- [9] HSPICE User Guide, Synopsys, 2011. 765 p.