

Анализ эффективности комплексного использования схемотехнических методов снижения энергопотребления сложно-функциональных блоков цифровых СБИС

А.Ю. Лобанова

Национальный Исследовательский Университет «МИЭТ», komeli@mail.ru

Аннотация — В статье рассмотрены методы уменьшения рассеиваемой динамической мощности: *clock gating*, *gate level optimization*, *operand isolation*. Определены наиболее оптимальные комбинации методов для блока контроллера порта внешней памяти с учетом занимаемой площади и быстродействия на проектных нормах 250нм, 130нм, 90нм.

Ключевые слова — методы уменьшения рассеиваемой мощности, *clock gating*, *gate level optimization*, *operand isolation*, микропроцессор.

I. ВВЕДЕНИЕ

Уменьшение проектных норм при разработке интегральных микросхем приводит к значительному повышению рассеиваемой мощности. Это происходит из-за возрастания рабочей частоты, снижения порогового напряжения, увеличения плотности элементов на кристалле из-за усложнения схемотехнической составляющей устройств.

Рассеиваемая мощность состоит из двух составляющих: динамической и статической мощности. Динамическая мощность – это мощность, которая рассеивается при зарядке и разрядке емкостей при переключении схемы [1]:

$$P = p_t \times f_{CLK} \times C_L \times V_{DD}^2 \quad (1),$$

где p_t - вероятность переключения, f_{CLK} - рабочая частота, C_L - емкость нагрузки, V_{DD} - напряжение питания. Динамическую мощность можно разделить на следующие составляющие:

- 1) мощность переключения;
- 2) внутренняя мощность элемента;
- 3) мощность, связанная с протеканием сквозного тока.

Статической называют мощность, рассеиваемую в состоянии покоя схемы. Эта мощность рассеивается несколькими путями. Для МОП транзистора рассеиваемая статическая мощность является результатом следующих явлений [2]-[3]:

- 1) подпороговых утечек, которые вызваны током утечки от стока к истоку;
- 2) тока утечки через затвор в подложку;
- 3) тока обратно смещенного р-п перехода;

- 4) тока стока, индуцированного затвором.

Разработчики интегральных микросхем используют следующие методы уменьшения рассеиваемой мощности: стробирование тактового сигнала (*clock gating*), прохождение данных по условию (*operand isolation*), метод оптимизации набора элементов и их подключения (*gate level optimization*), введение различного напряжения питания для некоторых блоков схемы (*multi-Vdd*), отключение части схемы от источника питания в режиме ожидания (*power gating*), использование элементов с различными пороговыми напряжениями (*multi-Vth*) и другие.

В этой работе описаны только несколько методов уменьшения рассеиваемой мощности: *clock gating*, *operand isolation*, *gate level optimization*.

Целью исследования является определение оптимального метода или комбинации методов уменьшения рассеиваемой динамической мощности для сложно-функциональных блоков цифровых СБИС на примере контроллера порта внешней памяти MPORT микропроцессора ГУП НПЦ «ЭЛВИС» 1892КП1Я (МСК_02) на проектных нормах 250нм, 130нм, 90нм. Блок MPORT содержит около 12 тыс. элементов, из них 5035 триггеров.

Критериями для выбора метода являются следующие параметры блока: быстродействие и занимаемая площадь.

II. МЕТОДЫ УМЕНЬШЕНИЯ РАССЕИВАЕМОЙ МОЩНОСТИ

A. Стробирование тактового сигнала (*Clock Gating*)

Значительная часть динамической мощности рассеивается в цепи синхросигнала. Самый распространенный способ уменьшить эту мощность - это отключить сигнал синхронизации у триггера в том случае, когда нет разрешения на запись. Этот метод называется *clock gating*. Он основан на введении элементов, пропускающих синхросигнал по условию, вместо мультиплексоров, пропускающих данные по условию, как показано на рис. 1. Это уменьшает количество переключений схемы, а, следовательно, и динамическую рассеиваемую мощность [4].

Кроме того, введение элементов clock gating позволяет в некоторых случаях уменьшить занимаемую блоком площадь. Это происходит потому, что один элемент clock gating может заменить несколько мультиплексоров, что дает выигрыш по площади.

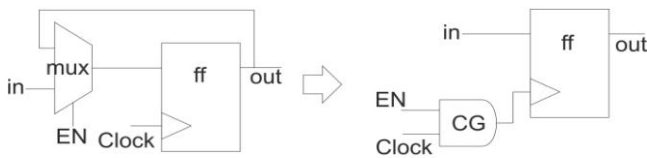
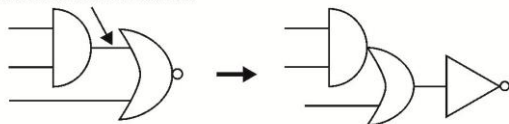


Рис. 1. Введение элемента clock gating

В. Метод оптимизации набора элементов и их подключения (Gate Level Optimization)

Метод gate level optimization основан на оптимизации набора элементов и их подключения. На рис. 2 показаны два варианта такой оптимизации. На верхней части рисунка выход элемента AND имеет особенно высокую переключательную активность. Так как за ним следует элемент NOR, появляется возможность реорганизовать два элемента в один AND-OR и инвертор. Таким образом, узел с высокой переключательной активностью становится внутренним для элемента. В данном случае он нагружен меньшей емкостью, что уменьшает динамическую мощность [5].

соединение с высокой переключательной активностью



соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с низкой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

соединение с высокой переключательной активностью

Рис. 2. Примеры применения метода gate level optimization

В нижней части рисунка элемент AND изначально поставлен так, что соединение с частым переключением подводится ко входу с высокой мощностью, а соединение с низкой переключательной активностью ко входу с низкой мощностью. Для элементов с несколькими входами может быть значительным различие во входной емкости, а отсюда - в мощности для различных входов. Реорганизация подключения входов таким образом, чтобы соединение с высокой активностью подключалось ко входу с

пониженной мощностью, уменьшает динамическую мощность.

Другие примеры этого метода включают в себя изменение размеров элементов и введение буферов.

С. Метод введения изоляционных элементов (Operand Isolation)

В проекте, имеющем большое количество вычислительных трактов, сложные комбинационные схемы могут влиять на потребление большей части мощности. Если на выходе схемы нет условия, по которому этот выход выдается, то метод operand isolation может уменьшить динамическую мощность с помощью добавления изоляционной логики (AND или OR) в соответствии с контрольным сигналом для сохранения постоянных значений на входах. Поэтому в схеме не иницируются ненужные переключения, что вызывает уменьшение рассеиваемой мощности.

III. ОПТИМИЗАЦИЯ РАССЕИВАЕМОЙ ДИНАМИЧЕСКОЙ МОЩНОСТИ С УЧЕТОМ ОГРАНИЧЕНИЙ ПО БЫСТРОДЕЙСТВИЮ И ЗАНИМАЕМОЙ ПЛОЩАДИ

Одновременное применение полного набора методов, как это сделано во многих работах [6]-[7], не гарантирует получение оптимального результата по рассеиваемой мощности при установленных ограничениях по значениям быстродействия и занимаемой площади.

Для блока MPORT из 3 рассматриваемых методов полным перебором можно получить 8 следующих комбинаций:

- 1) Базовый проект.
- 2) Clock gating.
- 3) Operand isolation.
- 4) Gate level optimization.
- 5) Clock gating и operand isolation.
- 6) Clock gating и gate level optimization.
- 7) Operand isolation и gate level optimization.
- 8) Clock gating, gate level optimization, operand isolation.

Значения мощности, площади и быстродействия определялись после логического синтеза блока для каждой комбинации методов с использованием средств проектирования Power Compiler, Design Compiler, Prime Power от компании Synopsys. Логический синтез для блока MPORT проводился на проектных нормах 250нм, 130нм, 90нм. Быстродействие определялось по значению задержки на критическом пути блока.

В работе не рассматривалось уменьшение статической рассеиваемой мощности, так как этот вид мощности для блока MPORT на указанных проектных нормах составляет незначительную долю (до 0,01) от рассеиваемой мощности.

Для определения оптимальной комбинации вышеуказанных методов для блока MPORT были установлены следующие виды ограничений:

I вид ограничений:

1) При оптимизации мощности не должно быть ухудшено быстродействие блока.

2) Занимаемая площадь блока после применения методов не должна быть увеличена.

II вид ограничений:

1) При оптимизации мощности задержка на критическом пути не должна превышать периода синхросигнала для блока. Это значение было установлено равным 4нс для проектных норм 250нм, 2,5нс – для 130нм, 1,8нс - для 90нм.

2) Занимаемая площадь блока после применения методов не должна быть увеличена.

IV. РЕЗУЛЬТАТЫ ЛОГИЧЕСКОГО СИНТЕЗА

A. Проектные нормы 250нм (напряжение питания $V_{dd}=2.5V$)

Для блока MPORT на проектных нормах 250нм для ограничений I и II вида оптимальной является комбинация методов clock gating и gate level optimization, как видно из табл. 1. Используемые в таблице обозначения: метод CG – clock gating, OI – operand isolation, GLO – gate level optimization.

В результате применения методов быстродействие не было ухудшено. Занимаемая блоком площадь также не увеличена по сравнению с неоптимизированным вариантом. При этом снижение рассеиваемой мощности составляет 14,4 %.

Таблица 1

Динамическая мощность, задержка на критическом пути, занимаемая площадь блока MPORT, выполненного по проектным нормам 250нм

Методы уменьшения мощности	Мощность, мВт	Задержка на критическом пути, нс	Занимаемая площадь, мм ²
Без оптимизации	272	3,99	2,850
CG	242	3,54	2,482
OI	266	3,98	2,899
GLO	272	3,96	2,868
CG+OI	244	3,75	2,527
CG+GLO	233	3,68	2,466
OI+GLO	253	3,97	2,845
CG+OI+GLO	234	3,81	2,498

B. Проектные нормы 130нм ($V_{dd}=1.2V$)

После применения методов уменьшения рассеиваемой мощности к блоку MPORT на проектных нормах 130нм были получены параметры схемы, указанные в табл.2. Наиболее оптимальным является применение всех указанных методов, так как динамическая мощность в этом случае минимальна. Уменьшение в сравнении с неоптимизированным вариантом составило 27%. Значения быстродействия и

занимаемой площади соответствуют установленным ограничениям I и II вида.

Таблица 2

Динамическая мощность, задержка на критическом пути, занимаемая площадь блока MPORT, выполненного по проектным нормам 130нм

Методы уменьшения мощности	Мощность, мВт	Задержка на критическом пути, нс	Занимаемая площадь, мм ²
Без оптимизации	39,3	2,49	0,254
CG	30,8	2,00	0,204
OI	39,1	2,50	0,259
GLO	35,0	1,90	0,263
CG+OI	30,7	2,23	0,201
CG+GLO	28,9	1,93	0,208
OI+GLO	34,9	2,49	0,264
CG+OI+GLO	28,7	1,93	0,208

C. Проектные нормы 90нм ($V_{dd}=1V$)

Для проектных норм 90нм результаты представлены в табл. 3. Полученные данные по быстродействию и занимаемой площади соответствуют установленным ограничениям I вида только для варианта с применением метода clock gating. При этом снижение рассеиваемой динамической мощности составило 25,9%.

Для ограничений II вида снижение рассеиваемой динамической мощности составило 31,2%, что соответствует комбинации всех применяемых методов.

Таблица 3

Динамическая мощность, задержка на критическом пути, занимаемая площадь блока MPORT, выполненного по проектным нормам 90нм

Методы уменьшения мощности	Мощность, мВт	Задержка на критическом пути, нс	Занимаемая площадь, мм ²
Без оптимизации	22,8	1,74	0,119
CG	16,9	1,74	0,098
OI	22,7	1,79	0,121
GLO	22,8	1,75	0,120
CG+OI	16,8	1,79	0,099
CG+GLO	15,8	1,80	0,099
OI+GLO	14,4	1,79	0,145
CG+OI+GLO	15,7	1,80	0,102

D. Анализ полученных результатов для блока контроллера порта внешней памяти

В результате проведенных исследований было определено, что для блока MPORT на проектных нормах 250нм для установленных ограничений I и II вида оптимальной комбинацией является комбинация методов clock gating и gate level optimization.

Уменьшение динамической рассеиваемой мощности составляет 14,4%.

При проведении аналогичного исследования для проектных норм 130нм применение всех рассматриваемых методов одновременно дает уменьшение рассеиваемой динамической мощности до 27% с учетом ограничений двух видов.

Снижение значения рассеиваемой динамической мощности MPORT для проектных норм 90нм составило 25,9% для ограничений I вида с применением метода clock gating.

Для ограничений II вида значение рассеиваемой динамической мощности уменьшено на 31,2% с помощью комбинации всех рассматриваемых методов.

Значения рассеиваемой динамической мощности без оптимизации и наименьшие значения для ограничений I и II вида для проектных норм 250нм, 130нм, 90нм для блока MPORT показаны на рис. 3.

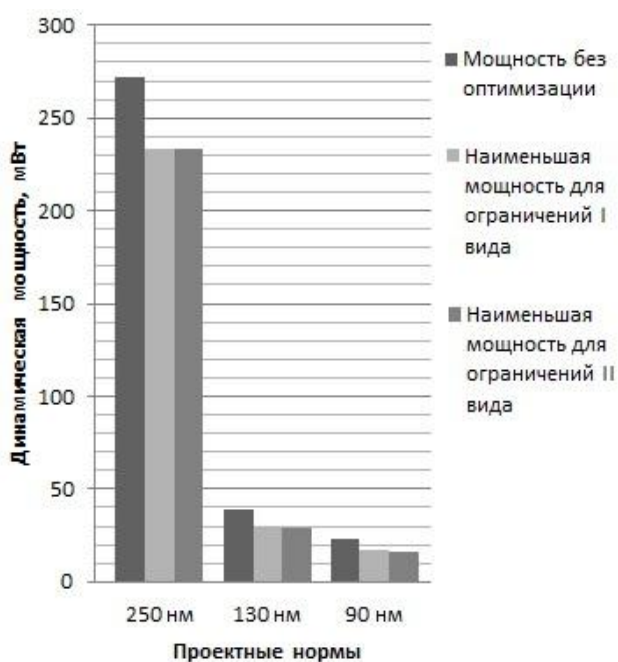


Рис. 3. Зависимость динамической мощности без оптимизации и наименьшей мощности для ограничений I и II вида блока MPORT от проектных норм

Анализ полученных значений площади выявил ее уменьшение на всех проектных нормах с применением метода clock gating. Всего было введено 134 элемента clock gating на 4528 триггеров.

На рис. 4 представлена зависимость удельной динамической мощности блока MPORT от проектных норм. Из него видно, что с понижением проектных норм удельная мощность возрастает, поэтому применение методов уменьшения рассеиваемой мощности становится необходимым условием для проектирования на современных технологических нормах.

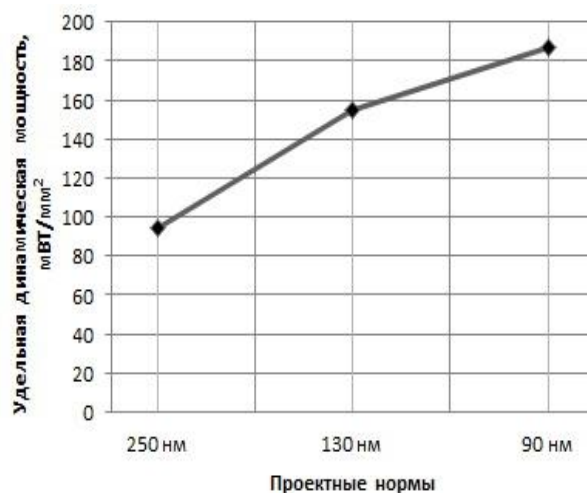


Рис. 4. Зависимость удельной динамической мощности блока MPORT от проектных норм

V. ЗАКЛЮЧЕНИЕ

Полученные результаты доказывают, что одновременное применение всех возможных методов не всегда является эффективным с точки зрения уменьшения мощности и установленных ограничений по остальным параметрам. Поэтому для получения наилучшего результата по значениям мощности, быстродействия и занимаемой площади для современных микропроцессоров следует выбирать оптимальную комбинацию методов.

ЛИТЕРАТУРА

- [1] Chandrakasan A., Sheng S., Brodersen R. Low-Power CMOS Digital Design // IEEE Journal of Solid-State Circuits. 1992. V. 27. № 4. P. 473–484.
- [2] Pigue C. Low-Power CMOS circuits: Technology, Logic Design and CAD Tools // CRC Press. 2005.
- [3] Narendra S., Chandrakasan A. Leakage in nanometer CMOS technologies // Springer. 2006.
- [4] Qureshi S., Sanjeev K. Power and performance optimization using multi-voltage, multi-threshold and clock gating for low-end microprocessors // TENCON 2009- 2009 IEEE Region 10 Conference. 2009.
- [5] Keating M., Flynn D., Atiken R., Gibbons A., Shi K. Low Power Methodology Manual for System-on-Chip Design // Springer. 2007.
- [6] Hung W., Xie Y., Vijavkrishnan, Kandemir M., Irwin M., Tsai Y. Total Power Optimization through Simultaneously Multiple-Vdd, Multiple-Vth Assignment and Device Sizing with Stack Forcing // Proceeding of the 2004 international symposium on Lowpower electronics and design. 2004.
- [7] Augsburger S., Nicolice B. Combining Dual-Supply, Dual-Threshold and Transistor Sizing for Power Reduction // Proceeding of the 2002 IEEE International Conference on Computer Design: VLSI in Computers and Processors (ICCD'02). 2002.