

# Восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования

М.С. Енученко, Д.В. Морозов, М.М. Пилипко

ФГБОУ ВПО «Санкт-Петербургский государственный политехнический университет»,

[mixeme@yandex.ru](mailto:mixeme@yandex.ru), [dvmorozov@inbox.ru](mailto:dvmorozov@inbox.ru), [m\\_m\\_pilipko@rambler.ru](mailto:m_m_pilipko@rambler.ru)

**Аннотация** — Представлен восьмиразрядный сегментный цифро-аналоговый преобразователь с повышенной скоростью преобразования. Рассмотрены коммутируемый источник тока и термометрический дешифратор. Приведены результаты измерений тестовой микросхемы, изготовленной по 180 нм КМОП-технологии.

**Ключевые слова** — сегментный ЦАП, параллельный ЦАП, термометрический код, КМОП-технология.

## I. ВВЕДЕНИЕ

Неотъемлемой частью систем телекоммуникаций и управления являются цифро-аналоговые преобразователи (ЦАП) [1]-[3]. Распространение получили параллельные ЦАП на источниках тока, обладающие высокой разрешающей способностью и высоким быстродействием. Наиболее простой реализацией параллельного ЦАП является бинарная архитектура, где источники тока имеют вес, равный степеням числа два. Однако в таких ЦАП для обеспечения монотонности характеристики преобразования с приемлемой дифференциальной нелинейностью отклонение значения тока источника старшего разряда не должно превышать половины тока младшего разряда. Поэтому к точности исполнения взвешивающих элементов возникают специальные требования. Альтернативным подходом является использование так называемой унарной архитектуры ЦАП, где используются источники тока одинакового веса. Управление осуществляется термометрическим кодом. Данная архитектура снижает требования к точности исполнения элементов и гарантирует монотонность характеристики преобразования. Однако в унарных ЦАП преобразование входного прямого двоичного кода в термометрический код снижает быстродействие и требует дополнительной потребляемой мощности.

Компромиссным решением между бинарной и унарной архитектурами является сегментная архитектура ЦАП [4]. В работе [5] рассмотрены принципы построения бинарной, унарной и сегментной архитектур, проведено сравнение и выделена сегментная архитектура, как представляющая наибольший практический интерес. Как правило, соотношение бинарной и унарной архитектур в составе сегментной выбирается

приблизительно одинаковым по числу разрядов [4], [6]. В данной работе для восьмиразрядного ЦАП использовалось по 4 разряда в унарном и бинарном сегментах. Представлены результаты разработки и измерений кристалла восьмиразрядного сегментного ЦАП на источниках тока с повышенной скоростью преобразования, изготовленного по 180 нм КМОП-технологии компании UMC. Обсуждаются базовый элемент источника тока, термометрический дешифратор, приведены результаты моделирования.

## II. РАЗРАБОТКА ВОСЬМИРАЗЯДНОГО СЕГМЕНТНОГО ЦАП

### A. Базовый элемент

Разработанный ЦАП состоит из базовых элементов, выполняющих функцию коммутируемого источника тока. Базовый элемент (рис. 1) содержит два n-канальных транзистора, подложки которых подключены к шине нулевого потенциала.  $U_D$  – напряжение разряда двоичного кода,  $U_{см}$  – напряжение смещения,  $I_{вых}$  – выходной ток элемента. Транзистор M1 выступает в роли источника тока, а M2 – ключа.

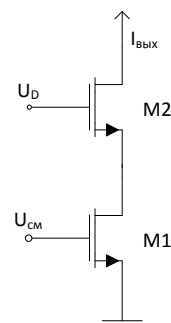


Рис. 1. Схема базового элемента

Коммутируемые источники тока бинарного и унарного сегментов реализуются параллельным соединением необходимого числа базовых элементов в соответствии с требуемым весом. Для увеличения быстродействия и минимизации площади транзисторы базового элемента выбираются близкими к минимальным, что позволяет уменьшить значения паразитных ёмкостей.

### В. Термометрический дешифратор

При построении четырёхразрядного термометрического дешифратора унарного сегмента использовалось параллельное формирование выходных функций. Причём из соображений минимизации площади для дублирующихся операций не использовались дополнительные логические элементы. Реализация включала стандартные двух- и трёхходовые логические элементы КМОП-логики.

Параллельное формирование выходных функций дешифратора позволило добиться сокращения среднего времени преобразования в 1,3 раза по сравнению с каскадной реализацией на основе дешифраторов меньшей разрядности. Дополнительно, с учётом исключения избыточных элементов, выполняющих повторяющиеся логические функции, было достигнуто сокращение числа транзисторов в 1,4 раза. Аналогично случаю базового элемента транзисторы выбраны минимального размера.

### С. Структура ЦАП

Структура ЦАП представлена на рис. 2. Четыре младших разряда  $D_3-D_0$  обрабатываются бинарным сегментом, четыре старших  $D_7-D_4$  – унарным сегментом. Токи сегментов –  $I_{бин}$  и  $I_{ун}$  – суммируются для формирования выходного тока ЦАП –  $I_{вых}$ .



Рис. 2. Структура восьмиразрядного сегментного ЦАП

Бинарный и унарный сегменты ЦАП изображены на рис. 3 и рис. 4, соответственно. На рис. 4 числами 1, 2, 3, ..., 15 обозначены номера коммутируемых источников тока, управляемых соответствующими выходами дешифратора  $Y_{15}-Y_1$ .

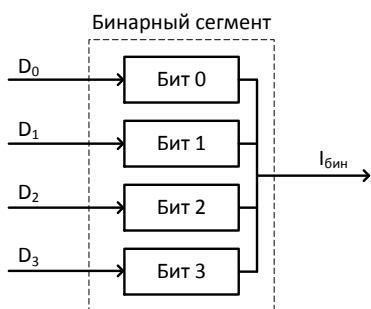


Рис. 3. Структура четырёхразрядного бинарного сегмента

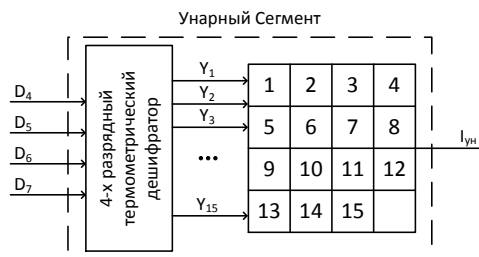


Рис. 4. Структура четырёхразрядного унарного сегмента

### Д. Топология

Дешифратор был разбит на два блока: «Блок А» и «Блок Б» [7]. Структура топологии ЦАП показана на рис. 5. Расположение коммутируемых источников унарного сегмента выбрано так, чтобы скомпенсировать возможные градиенты изменения свойств кристалла как по горизонтальной оси, так и по вертикальной. Топология ЦАП в САПР Cadence показана на рис. 6.

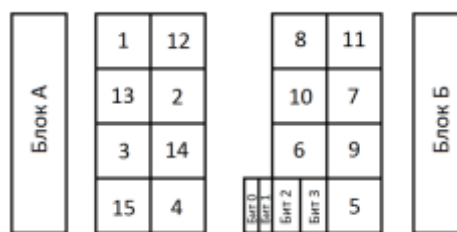


Рис. 5. Структура топологии ЦАП

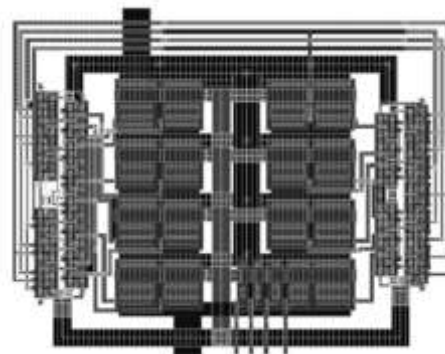
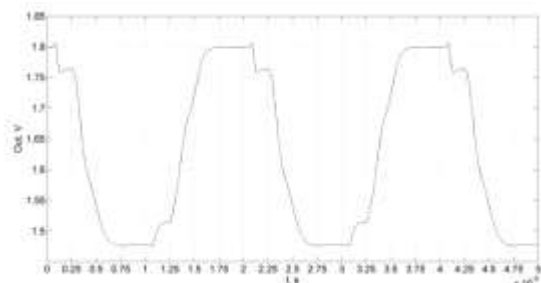


Рис. 6. Топология ЦАП в САПР Cadence

## III. МОДЕЛИРОВАНИЕ

Результаты моделирования основных параметров ЦАП с учётом топологии кристалла, кольца электростатической защиты и контактных площадок представлены в табл. 1. Большинство параметров после добавления в топологию кольца электростатической защиты изменились не более, чем на 5%. Однако наблюдался значительный рост интегральной нелинейности (около 20%) и рост времени преобразования (в 20 раз). Ухудшение интегральной нелинейности связано с паразитным сопротивлением проводников, соединяющих контактную площадку для подачи потенциала земли и земляную шину устройства. Снижение быстродействия связано как с длиной проводников,

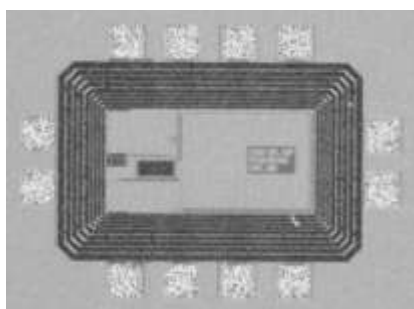
соединяющих контактные площадки цифровых входов и входы ЦАП, так и с дополнительными буферными и защитными схемами, встроенными в цифровые компоненты электростатической защиты, а также большой входной ёмкостью компонентов защиты (около 2 пФ). Наиболее длительное переключение, определяющее быстродействие разработанного устройства, – переключение на полную шкалу. Осциллограмма выходного сигнала ЦАП, полученного при моделировании переключения на полную шкалу с частотой смены кода 1 ГГц, показана на рис. 7.



**Рис. 7. Результат моделирования выходного сигнала с учётом топологии ЦАП без кольца электростатической защиты**

#### IV. ИЗМЕРЕНИЯ

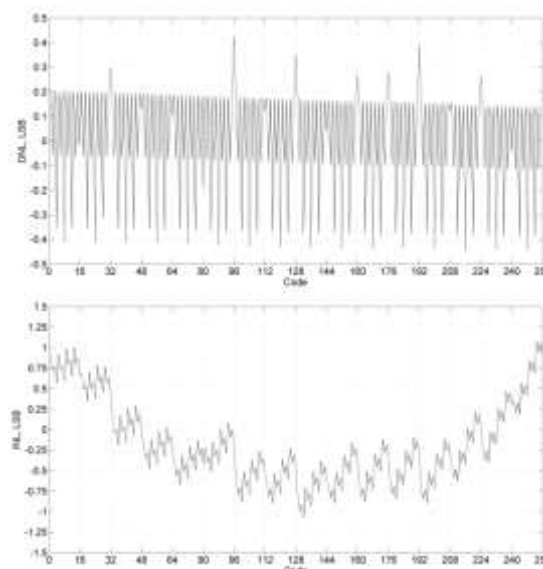
Для проведения измерений была изготовлена тестовая плата, на которую был разварен кристалл с микросхемой ЦАП. Микрофотография микросхемы с кольцом электростатической защиты и контактными площадками представлена на рис. 8. Результаты приведённых измерений также представлены в табл. 1. Графики дифференциальной и интегральной нелинейностей представлены на рис. 9. Спектр выходного гармонического сигнала с частотой  $\approx 200$  кГц при частоте смены входного кода 12,5 МГц представлен на рис. 10. Из этого спектра видно, что SFDR тестовой платы с микросхемой ЦАП составил 35 дБ.



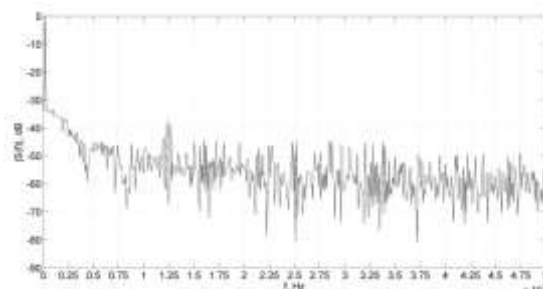
**Рис. 8. Микрофотография микросхемы ЦАП**

Основной вклад паразитных параметров платы по отношению ко входу микросхемы приходится на паразитную ёмкость проводящих дорожек. Погонная паразитная ёмкость дорожек разработанной тестовой платы составила 0,4 пФ/см. А общая ёмкость дорожки 1 пФ. Данная ёмкость, являясь дополнительной по отношению ко входной ёмкости микросхемы, составляющей 2 пФ, приводит к снижению скорости

преобразования тестовой платы с микросхемой ЦАП дополнительно в 1,5 раза.



**Рис. 9. Измеренная дифференциальная и интегральная нелинейности**



**Рис. 10. Спектр выходного сигнала частотой  $\approx 200$  кГц**

Так как выход микросхемы токовый, то по отношению к выходу наибольшее влияние оказывает индуктивность разварочной проволоки и дорожки печатной платы. Индуктивность проволоки составляет около 5 нГн. Погонная индуктивность дорожки 1,1 нГн/см, а общая – 2,5 нГн. Таким образом, суммарная паразитная индуктивность составляет примерно 7,5 нГн и приводит к снижению скорости преобразования ЦАП ещё в 1,7 раза.

Общее снижение быстродействия приблизительно оценивается в 2,6 раза. Таким образом, если исключить паразитное влияние тестовой платы, то быстродействие микросхемы ЦАП можно оценить в 52 Мвыборки/с, что имеет расхождение с результатами моделирования микросхемы ЦАП с кольцом электростатической защиты не более 5%. На основании этого можно считать, что и результаты проведённого моделирования для ЦАП без кольца электростатической защиты также имеют расхождение с практикой, не превышающее 5%. То есть скорость преобразования разработанного ЦАП при использовании в составе какой-либо заказной микросхемы будет близка к 1000 Мвыборок/с.

## V. ЗАКЛЮЧЕНИЕ

При сравнении полученных результатов с другими работами (табл. 2) можно наблюдать увеличение быстродействия в 2 раза. Стоит отметить, что выбор размеров транзисторов базового элемента, близких к

минимальным, привёл к росту величины дифференциальной нелинейности в 3,6 раза из-за проблем с точностью исполнения элементов. Однако, несмотря на такой рост, данная величина не превысила значения 0,5 МЗР.

Таблица 1

Результаты моделирования и измерений предложенного решения ЦАП

Параметр	Моделирование		Измерения
	ЦАП без кольца	ЦАП с кольцом	
Максимальная DNL, МЗР	0,13	0,13	0,47
Максимальная INL, МЗР	0,85	1,05	1,09
Размах выходного напряжения, мВ	323	321	307
Скорость преобразования, Мвыборок/с	1000	50	20
Потребляемая мощность, мВт	5,7	5,6	7,2

Таблица 2

Сравнение с другими работами

Работа	[8]	[9]	[10]	Данная работа
Год	2011	2008	2007	2013
Разрядность	8	8	10	8
Сегменты	6 ун. + 2 бин.	5 ун. + 3 бин.	5 ун. + 5 бин.	4 ун. + 4 бин.
Скорость преобразования, Мвыборок/с	200	500	100	1000
INL, LSB	0,27	0,33	0,40	1,09
DNL, LSB	0,08	0,14	0,40	0,47
Напряжение питания, В	5,0	1,8	1,0	1,8
Процесс, нм	500	180	180	180
Потребляемая мощность, мВт	117	–	32	7,2

## БЛАГОДАРНОСТИ

Авторы выражают благодарность отделу интегральных устройств и систем (Integrated Circuits and Systems) института интегральных устройств Фраунгофера (Fraunhofer Institute for Integrated Circuits), Германия, за помощь в изготовлении партии тестовых кристаллов микросхем и печатных плат.

## ЛИТЕРАТУРА

- [1] Осипов Д.Л. Модель ЦАП на основе матрицы конденсаторов с разделителем в составе АЦП последовательных приближений // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2012. С. 382-387.
- [2] Рогаткин Ю.Б. Сложно-функциональный блок цифро-аналогового преобразователя с автокалибровкой // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2012. С. 374-377.
- [3] Грицуненко С.С., Бибердорф Э.А. Оптимизация разрядности ЦАП для OFDMA-модуляции // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2010. Сборник трудов / под общ. ред. академика А.Л.Стемпковского. М.:ИППМ РАН, 2010. С. 472-477.
- [4] Radiom S., Sheikholeslami B., Aminzadeh H., Lotfi R. Folded-current-steering DAC: an approach to low-voltage high-speed high-resolution D/A converters // IEEE

- International Symposium on Circuits and Systems. 2006. P. 4783-4786.
- [5] Морозов Д.В., Енученко М.С. Цифро-аналоговые преобразователи с унарной и сегментной архитектурами // Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление. 2013. №1 (164). С. 81-86.
- [6] Virtanen K., Maunu J., Poikonen J., Paasio A. A 12-bit Current-Steering DAC with Calibration by Combination Selection // IEEE International Symposium on Circuits and Systems (ISCAS). 2007. P. 1469-1472.
- [7] Енученко М.С., Морозов Д.В. Топология термометрического дешифратора для 8-ми разрядного ЦАП // Сб. материалов межвузовской научной конференции «XLI Неделя науки СПбГПУ». СПб.: СПбГПУ, 2012. Ч. IX. С. 29-31.
- [8] Binjie Zhu, Ziqi Song, Dongxu Yang, Yafei Ye, Fule Li A 8-bit 200MSmple/s CMOS DAC // IEEE International Conference on Anti-Counterfeiting, Security and Identification (ASID). 2011. P. 198-200.
- [9] Sarkar S., Ravi sankar Prasad, Kumar Dey S., Belde V., Banerjee S. An 8-bit 1.8 V 500 MS/s CMOS DAC with a novel four-stage current steering architecture // IEEE International Symposium on Circuits and Systems. 2008. P. 149-152.
- [10] Hokmabadi S.M., Zabihian S.A., Lotfi R. Body-Driven Enhanced-Impedance Current Source: An Approach to the Implementation of Low-Voltage Current-Steering D/A Converters // 14th IEEE International Conference on Electronics, Circuits and Systems. 2007. P. 1147-1150.