

# Моделирование нестационарных характеристик КМОП 28-нм ячеек памяти DICE с учетом эффектов воздействия одиночных ядерных частиц

В.Я. Стенин

Национальный исследовательский ядерный университет “МИФИ”,

НИИ системных исследований РАН, vystenin@mephi.ru

**Аннотация** — Транзисторы КМОП ячейки памяти DICE можно разделить на две группы так, что сбой ее в обоих логических состояниях не происходит, если воздействие одиночной ядерной частицы оказывается на транзисторы только одной группы. Эти группы должны быть разделены на кристалле. При воздействии только на одну из групп транзисторов ячейка DICE переходит в нестационарное состояние, которое может закончиться сбоем ее состояния только в том случае, если будет оказано одновременное действие частицы на вторую группу больше порогового уровня. Проведен анализ характеристик КМОП ячейки памяти DICE с проектной нормой 28 нм в нестационарных состояниях при воздействии ядерной частицы на транзисторы только одной или обеих групп.

**Ключевые слова** — ячейка памяти DICE, моделирование, одиночная ядерная частица, разделение заряда, нестационарная характеристика.

## I. ВВЕДЕНИЕ

КМОП ячейка памяти DICE (Dual Interlocked Storage Cell) [1] является лучшим схемотехническим вариантом статических ячеек памяти, устойчивых к воздействию одиночных ядерных частиц. Снижение проектных норм КМОП СБИС до 28 нм [2] и [3] при простом масштабировании топологии ячеек памяти сопровождалось повышением частоты сбоев (soft error rate - SER) в ОЗУ на основе ячеек DICE с традиционной топологией, что объясняется увеличением зарядов на узлах ячейки памяти с меньшими расстояниями между узлами. Традиционные топологии ячеек DICE не позволяют снизить частоту сбоев в ОЗУ на основе ячеек DICE при воздействии одиночных частиц.

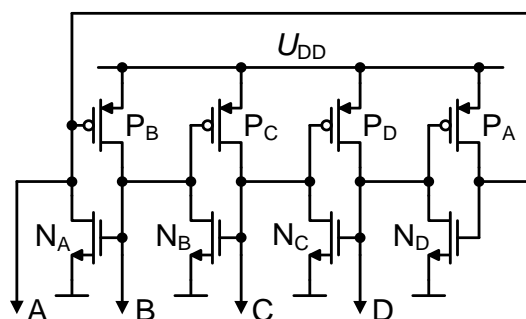
Предложен и обоснован метод [4] и [5] повышения сбоеустойчивости ячеек DICE, заключающийся в том, что транзисторы триггера ячейки DICE должны быть разделены на две группы по четыре транзистора таким образом, что воздействие отдельно на каждую из этих групп не приводит к сбою логического состояния триггера.

Реализовать повышенную помехоустойчивость такой ячейки можно, пространственно разнося на кристалле эти две группы транзисторов. Остается

неисследованным поведение ячейки DICE при воздействии одиночной частицы на транзисторы только одной из двух групп транзисторов и каков порог переключения ячейки при одновременном воздействии и на транзисторы второй группы.

## II. ХАРАКТЕРИСТИКИ ЯЧЕЙКИ DICE ПРИ РАЗДЕЛЕНИИ ЕЕ ТРАНЗИСТОРОВ НА ДВЕ ГРУППЫ

На рис. 1 приведена схема ячейки DICE, представленная парами  $N$  и  $P$ МОП транзисторов, находящихся одновременно в одинаковом состоянии: либо открытым, либо запертым. Это пары  $N_A P_B$ ,  $N_B P_C$ ,  $N_C P_D$ ,  $N_D P_A$ .



**Рис. 1.** Схема ячейки памяти DICE в виде кольца из пар  $N$  и  $P$ МОП транзисторов, одновременно находящихся в одинаковом состоянии – запертым или открытым

Запертые пары, например,  $N_A P_B$  и  $N_C P_D$  чередуются с открытыми парами  $N_B P_C$  и  $N_D P_A$  в кольце узлов ABCD. Две пары  $N$  и  $P$ МОП транзисторов, соединенные с узлом и друг с другом одним из своих выводов, образуют группу из четырех транзисторов около этого узла из ABCD [4], [5]. Первую группу образуют пары транзисторов  $N_A P_B$ ,  $N_B P_C$ , вторую -  $N_C P_D$ ,  $N_D P_A$ .

В стационарном состоянии ячейки DICE одна из пар  $N$  и  $P$ МОП транзисторов в группе транзисторов, например,  $N_A P_B$  находится в запертом состоянии, а вторая пара  $N_B P_C$  – в открытом. Находясь в любом из двух логических состояний ячейка DICE после воздействия одиночной частицы на запертые транзисторы одной из групп переходит в нестационарное состояние, из которого возвращается

без сбоя [4], [5] в исходное состояние после окончания воздействия на нее, если нет одновременного воздействия на запертые транзисторы и второй группы. В случае одновременного воздействия и на запертые транзисторы второй группы возможен сбой состояния ячейки памяти.

### III. МЕТОДИКА МОДЕЛИРОВАНИЯ

Модель, принятая для анализа процесса переключения ячейки памяти DICE при воздействии одиночной ядерной частицы, учитывает разделение заряда (charge sharing) между двумя группами транзисторов за счет диффузии неравновесных носителей зарядов, возникших на треке частицы. Полагается, что на одну группу транзисторов, например,  $N_A P_B N_B P_C$ , действует значительная часть заряда (соответствующая прохождению трека частицы в непосредственной близости от этой группы транзисторов), а на вторую группу -  $N_C P_D N_D P_A$  действует заряд, переносимый за счет диффузии носителей заряда, возникших на треке частицы.

При воздействии одиночных частиц со значительными потерями энергии и возникновением больших зарядов  $Q_{\text{ВЫВ1}}$ , выводимых из объема полупроводника обратно смещенными *pn* переходами запертых транзисторов, происходит ограничение амплитуды импульса напряжения помехи на этом узле, которая не может превышать диапазон напряжения питания [6]. Длительность вывода заряда в узле первой группы транзисторов  $t_{\text{ВЫВ1}}(Q_{\text{ВЫВ1}})$  зависит от значения заряда  $Q_{\text{ВЫВ1}}$  и тока открытого транзистора. При этом основным для оценки возможности сбоя ячейки DICE является длительность вывода заряда в узле первой группы транзисторов.

Процесс диффузионного разделения заряда, образованного частицей, и его воздействие на запертые транзисторы второй группы транзисторов ячейки DICE моделировались импульсом тока, имитирующим вывод заряда на узел второй группы из объема полупроводника [7]:

$$I_2(t) = [Q_{\text{И2}}/(\tau_{\text{СП}} - \tau_{\text{Н}})] \times [\exp(-t/\tau_{\text{СП}}) - \exp(-t/\tau_{\text{Н}})],$$

где  $Q_{\text{И2}}$  – интегральное значение заряда в импульсе тока, воздействующего на вторую группу транзисторов ячейки;  $\tau_{\text{Н}}$  и  $\tau_{\text{СП}}$  – постоянные времени нарастания и спада импульса;  $Q_{\text{И2}} = I_{\text{М}} \times \tau_{\text{СП}} / \lambda_{\text{Н}}$ ;  $\lambda_{\text{Н}} = (\tau_{\text{Н}}/\tau_{\text{СП}})^a$ ;  $a = \tau_{\text{Н}}/(\tau_{\text{СП}} - \tau_{\text{Н}})$ ;  $I_{\text{М}}$  – амплитудное значение импульса тока.

Постоянная времени спада  $\tau_{\text{СП}}$  определяется постоянной времени диффузии неравновесных носителей  $\tau_{\text{D}}$  [7] от области трека частицы до собирающей заряд области второй группы транзисторов ячейки:  $\tau_{\text{СП}} = \tau_{\text{D}} = 4r^2/(\pi^2 D_{\text{н,р}})$ , где  $D_{\text{н,р}}$  – коэффициент амбиполярной диффузии носителей заряда;  $r$  – расстояние от трека до области собирающего заряд обратно смещенного *pn* перехода сток-подложка транзистора из второй группы транзисторов. Постоянная времени нарастания при моделировании связана с постоянной спада

соотношением  $\tau_{\text{Н}} = \tau_{\text{СП}}/9$ , взятым по результатам [7] приближенных оценок процесса диффузии заряда при воздействии частицы.

Электрическое моделирование проводилось в симуляторе Spectre CADENCE для структур, спроектированных для изготовления по коммерческой объёмной КМОП технологии TSMC 28 нм. Определялись характеристики при напряжении питания элементов 0.9 В и температурах +25°C и +150°C. Основные результаты приведены для ячеек на МОП транзисторах с длиной канала 30 нм при ширине каналов  $P$  и  $N$ МОП транзисторов  $W_P = W_N = 120$  нм. Для учета конструктивных емкостных связей к каждому узлу при моделировании добавлена емкость  $C_{\text{УЗЛА,ДОП}} = 0.5$  фФ.

### IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ ХАРАКТЕРИСТИК ЯЧЕЙКИ В НЕСТАЦИОНАРНОМ СОСТОЯНИИ

Время нахождения ячейки в нестационарном состоянии при воздействии частицы на обе группы транзисторов можно охарактеризовать двумя зависимостями: 1) зависимостью времени вывода заряда в первой группе транзисторов  $t_{\text{ВЫВ1}}(Q_{\text{ВЫВ1}})$  и 2) зависимостью времени задержки переключения (сбоя) ячейки в виде  $t_{\text{ЗД,ПЕР}}(I_{\text{М}}, \tau_{\text{СП}})$  или  $t_{\text{ЗД,ПЕР}}(I_{\text{М}}, Q_{\text{И2}})$  от параметров импульса тока, воздействующего на вторую группу транзисторов. Триггер ячейки DICE из нестационарного состояния переходит в инверсное исходному состоянию ABCD1010 или ABCD0101 лишь в том случае, если воздействие на транзистор(ы) первой группы продолжает сохраняться в момент  $t_{\text{ЗД,ПЕР}}$ , то есть  $t_{\text{ВЫВ1}}(Q_{\text{ВЫВ1}}) \geq t_{\text{ЗД,ПЕР}}(I_{\text{М}}, Q_{\text{И2}})$ . Только в этом случае возможен сбой состояния ячейки.

Условно нестационарные состояния обозначаются заглавной буквой узла группы транзисторов, на которые в момент перехода в нестационарное состояние оказано наибольшее воздействие зарядом, а также цифровой комбинацией значений логических уровней в данном нестационарном состоянии на узлах ячейки DICE в последовательности узлов ABCD, например, B0110 или AB0110. Воздействие импульса тока на запертый транзистор узла второй группы транзисторов ячейки обозначается отдельно строчной буквой этого узла, например, Vd0110 или AVc0110.

Типичные случаи динамических характеристик ячейки - это, во-первых, характеристики при воздействии на два запертых транзистора - один из одной группы и один из второй группы, и, во-вторых, характеристики при одновременном воздействии на два запертых транзистора из одной группы и один (или два) из второй. Напомним, что в каждой из двух групп не может быть более двух запертых транзисторов.

#### A. Нестационарное состояние ячейки Bc0110 с воздействием на транзистор $N_C$ второй группы

Исходным для этого случая является стационарное состояние ABCD1010. Эффект воздействия на один транзистор  $P_B$  из первой группы транзисторов

переводит ячейку в нестационарное состояние Вс0110 за счет инверсии состояния узла В, который, в свою очередь, в связанной паре транзисторов  $N_A, P_B$  изменяет состояние узла А с 0 на 1. Таким образом, изменяются состояния обоих запертых транзисторов. Одновременно на транзистор  $N_C$  из второй группы транзисторов (узел С) действует импульс тока. На рис. 2 приведено семейство динамических характеристик – зависимостей длительности времени задержки переключения  $t_{зд.пер}$  от амплитуды импульса тока  $I_M$ , воздействующего на транзистор  $N_C$  (узел С) ячейки DICE в нестационарном состоянии Вс0110.

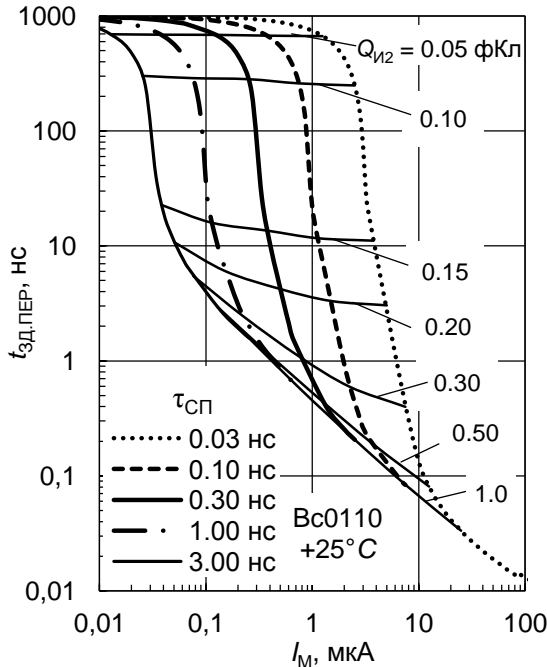


Рис. 2. Длительность времени задержки переключения ячейки DICE в нестационарном состоянии Вс0110 при воздействии импульса тока на транзистор  $N_C$  (узел С); температура  $+25^\circ\text{C}$

Воздействие на запертый транзистор  $N_C$  (на узел С) оказывается критическим только в том случае, если в это же время сохраняется воздействие на первую группу  $t_{выв1}(Q_{выв1}) \geq t_{зд.пер}(I_M, Q_{И2})$ . В этом случае из нестационарного состояния Вс0110 ячейка переходит в инверсное состояние 0101, то есть происходит сбой состояния ячейки. На рис. 2 показаны линии постоянных значений интегральных зарядов  $Q_{И2}$ , собираемых от импульсов тока с разными параметрами второй группой транзисторов.

### В. Нестационарное состояние ячейки АВс0110 с воздействием на транзистор $N_C$ второй группы

Исходным является стационарное состояние АВсD1010. Воздействие на два запертых транзистора первой группы  $N_A P_B$  переводит ячейку в нестационарное состояние АВс0110 за счет инверсии логических состояний узлов А и В. Одновременно на транзистор  $N_C$  второй группы действует импульс тока. На рис. 3 приведено семейство динамических

характеристик  $t_{зд.пер}(I_M, \tau_{СП})$  в зависимости от амплитуды импульса тока  $I_M$ , воздействующего на запертый транзистор второй группы  $N_C$  (узел С).

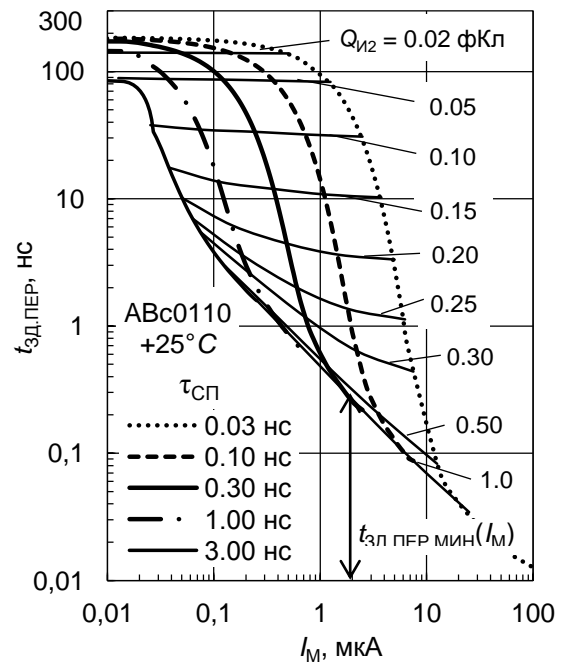


Рис. 3. Длительность времени задержки переключения ячейки DICE в нестационарном состоянии АВс0110 при воздействии импульса тока на транзистор  $N_C$  (узел С); температура  $+25^\circ\text{C}$

### С. Минимальное время задержки переключения (сбоя) ячейки DICE

Минимальное время задержки переключения (см. обозначение на рис. 3) в зависимости от амплитуды импульса тока  $I_{ф.М}$  (по графикам на рис. 2 и рис. 3) можно аппроксимировать выражением

$$t_{зд.пер.мин}(I_M) = k_{зд.мин}/I_M, \quad (1)$$

где  $k_{зд.мин} = (I_M/100 \text{ мкА})^B$  – коэффициент, связывающий минимальное время задержки переключения с амплитудой импульса тока;  $B = 0.25(1 - \lg 2) \approx 0.174$  – показатель степени аппроксимирующей функции.

Учитывая функциональную связь постоянной времени спада  $\tau_{СП}$ , интегрального значения заряда  $Q_{И}$  и амплитудного значения импульса тока  $I_M$ , аналитическое выражение для оценки коэффициента  $k_{зд.мин}$  можно представить в следующем виде:

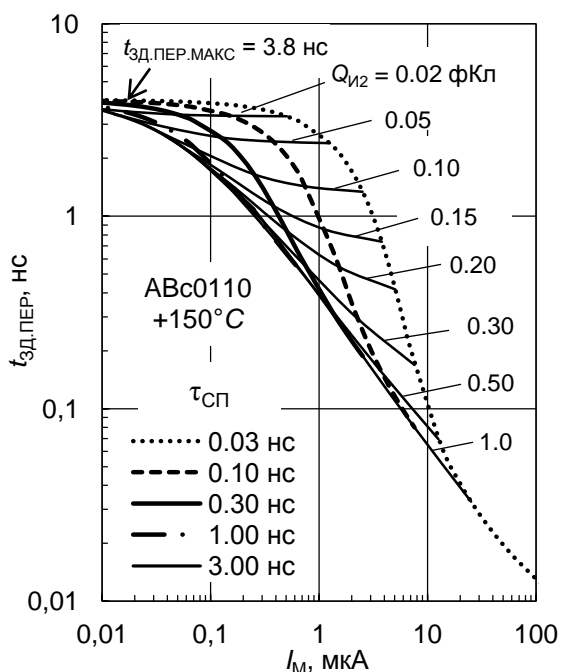
$$k_{зд.мин} = Q_{И} \times \lambda_{И} \times \ln[(1 - \tau_{И}/\tau_{СП})(1 - k_{Q.СБ})]^{-1}.$$

Вычисление коэффициента  $k_{зд.мин}$  связано с неопределенностью оценки значения коэффициента сбоя на момент переключения ячейки при малых временах задержки переключения  $k_{Q.СБ} = Q_{СБ.КР}/Q_{И}$  и, соответственно, собранного от импульса тока критического заряда  $Q_{СБ.КР}$ , приводящего к переключению состояния ячейки. Значения  $k_{зд.мин}$  по формуле (1) изменяются от  $k_{зд.мин} = 0.30 \text{ нс/мкА}$  при  $I_M = 0.1 \text{ мкА}$  до  $k_{зд.мин} = 0.81 \text{ нс/мкА}$  при  $I_M = 30 \text{ мкА}$

со средним значением  $k_{ЗД,МИН,СР} = 0.555$  нс/мкА. Расчеты показывают, что среднее значение коэффициента  $k_{ЗД,МИН,СР} = 0.555$  нс/мкА вполне удовлетворительно описывает зависимости  $t_{ЗД,ПЕР,МИН}(I_{Ф,М})$  на графиках рис. 2 и рис. 3 для значений  $Q_{И}$  в диапазоне от  $Q_{И} = 0.5$  фКл (при  $k_{Q,СБ} = 0.80$ ) до  $Q_{И} = 1.0$  фКл (при  $k_{Q,СБ} = 0.57$ ), что соответствует  $Q_{СБ,КР} = 0.40-0.57$  фКл.

#### V. ТЕМПЕРАТУРНЫЕ ЗАВИСИМОСТИ ХАРАКТЕРИСТИК ЯЧЕЙКИ DICE В НЕСТАЦИОНАРНОМ СОСТОЯНИИ

На рис. 4 приведено семейство зависимостей времени задержки переключения  $t_{ЗД,ПЕР}(I_M, \tau_{СП})$  от амплитуды импульса  $I_M$ , воздействующего на узел С ячейки в нестационарном состоянии АВс0110 при температуре  $t = +150^\circ\text{C}$ .



**Рис. 4.** Длительность времени задержки переключения ячейки DICE в нестационарном состоянии АВс0110 при воздействии импульса тока на транзистор  $N_C$  (узел С); температура  $+150^\circ\text{C}$

При увеличении температуры возрастает темп тепловой генерации носителей заряда, увеличиваются подпороговые токи запертых транзисторов, что снижает максимальное время задержки переключения с 175 нс при температуре  $t = +25^\circ\text{C}$  (см. рис. 3) до 3,8 нс при температуре  $t = +150^\circ\text{C}$  (см. рис. 4). Зависимости  $t_{ЗД,ПЕР}(I_M, \tau_{СП})$  остаются относительно неизменными в диапазоне времени задержки от 40 пс до 1 нс при изменении амплитуд импульса тока с 0,5 мкА до 100 мкА.

#### VI. ЗАКЛЮЧЕНИЕ

В нестационарном состоянии ячейки DICE импульс тока передает свой заряд узлу двух транзисторов второй группы, находящихся в запертом состоянии. Этот заряд смещает напряжение узла так,

что в зависимости от полярности приращения напряжения открывается либо PМОП транзистор следующего узла в кольце ABCD, либо NМОП транзистор предыдущего узла. От величины заряда, внесенного импульсом тока, и, соответственно, от смещения потенциала узла зависит ток стока открытого транзистора “смежного” узла и скорость изменения напряжения этого узла, приводящего ячейку к возможности сбоя.

Воздействие “малыми” зарядами на узел приводит к небольшим смещениям напряжения узла и малым токам стока транзистора смежного узла. Поэтому таким воздействиям соответствуют большие значения времени задержки переключения (см. рис. 2 – рис. 4) и сбой состояния ячейки практически исключается.

Для реальных значений энергии одиночных ядерных частиц и линейных потерь энергии [2], [3] значения выводимых током зарядов через узел ячейки  $Q_{ВЫВ1} < 1000$  фКл и длительность вывода заряда током открытого транзистора в ячейке DICE не может превышать единиц наносекунд и, если  $t_{ВЫВ1}(Q_{ВЫВ1}) < t_{ЗД,ПЕР}(I_M, Q_{И2})$ , то сбоя не происходит.

#### ЛИТЕРАТУРА

- [1] Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
- [2] Technology scaling and soft error reliability / Massengill L.W., Bhuvu B.L., Holman W.T., Alles M.L., Loveless T.D. // Proceedings of IEEE International Reliability Physics Symposium. 2012. P.3C.1.1-3C.1.7.
- [3] Ferlet-Cavrois V., Massengill L.W., Gouker P. Single Event Transients in Digital CMOS - A Review // IEEE Transactions on Nuclear Science. 2013. V. 60. № 3. P. 1767–1790.
- [4] Стенин В.Я., Катунин Ю.В., Степанов П.В. Особенности проектирования DICE элементов 65-нм КМОП статических запоминающих устройств с учетом эффекта кратного воздействия отдельных ядерных частиц // Вестник НИЯУ МИФИ. 2013. Т. 2. № 3. С. 363–370.
- [5] Катунин Ю.В., Стенин В.Я., Степанов П.В. Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника. 2014. Т. 43. № 2. С. 146–159.
- [6] Dodd P.E., Massengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [7] Fulkerson D.E. A physics-based engineering methodology for calculating soft error rates of bulk CMOS and SiGe heterojunction bipolar transistor integrated circuits // IEEE Transactions on Nuclear Science. 2010. V. 57. № 1. P. 348–357.