

# Проектирование базовых элементов памяти на основе ячеек DICE для сбоеустойчивых КМОП 28 нм ОЗУ

В.Я. Стенин<sup>1,2</sup>, П.В. Степанов<sup>1,2</sup>

<sup>1</sup>НИИ системных исследований РАН

<sup>2</sup>Национальный исследовательский ядерный университет “МИФИ”, [vystenin@mephi.ru](mailto:vystenin@mephi.ru); [pvstepanov.mephi@yandex.ru](mailto:pvstepanov.mephi@yandex.ru)

**Аннотация** — Проведены моделирование, проектирование и анализ параметров топологических вариантов базовых элементов памяти с разным взаимным расположением двух групп транзисторов КМОП 28 нм ячеек памяти DICE с целью повышения устойчивости к воздействиям одиночных ядерных частиц. Увеличены расстояния между чувствительными парами транзисторов базовых элементов памяти, что снижает чувствительность ячеек памяти DICE к сбою состояний из-за разделения между транзисторами заряда с трека частицы.

**Ключевые слова** — ячейка памяти, ОЗУ, моделирование, одиночная ядерная частица, разделение заряда, топология.

## I. ВВЕДЕНИЕ

Воздействие на КМОП СБИС одиночной ядерной частицы приводит к образованию вдоль её трека неравновесных носителей заряда, которые диффундируют к МОП транзисторам логических элементов, где выводятся в виде импульсов тока через стоковые *pn* переходы запертых транзисторов, вызывая импульсы напряжения (помехи), которые при определенных условиях вызывают сбой исходного состояния ячеек памяти.

Установлено экспериментально [1]-[3], что частота возникновения сбоев КМОП триггеров (soft error rate - SER) с повышенной устойчивостью к воздействию одиночных ядерных частиц (за счет введения в схемы дополнительных транзисторов и связей) может быть оценена, зная топологию, по минимальным расстояниям между чувствительными к воздействию узлами схемы. Экспериментальные данные [2] подтверждают, что, несмотря на особенности топологии вариантов таких КМОП триггеров и статических ячеек памяти, дополнительное увеличение расстояния между чувствительными узлами приводит практически к одинаковому снижению частоты возникновения сбоев от одиночных ядерных частиц. Увеличение расстояния между парно чувствительными узлами триггера ослабляет вклад диффузионного переноса носителей заряда, возникающих под воздействием частиц, в формирование импульсов помех на этих узлах, что повышает помехоустойчивость ячеек памяти на основе триггеров DICE.

## II. УЧЕТ ОСОБЕННОСТЕЙ ХАРАКТЕРИСТИК ЯЧЕЕК ПАМЯТИ DICE ПРИ ПРОЕКТИРОВАНИИ ТОПОЛОГИИ

На рис. 1 приведена схема ячейки памяти DICE. Ранее нами было обосновано, что повышение помехоустойчивости ячеек памяти DICE к воздействию одиночных ядерных частиц можно обеспечить, если триггеры ячеек выполнить в виде двух групп транзисторов [4], [5], которые следует разнести пространственно на кристалле. Эскизы вариантов топологического разделения триггера ячейки на две группы транзисторов приведены на рис. 2 и рис. 3. Эти группы транзисторов могут быть, в свою очередь, сгруппированы в базовые элементы памяти в виде матриц, образованных чередующимися группами транзисторов для увеличения расстояния между группами.

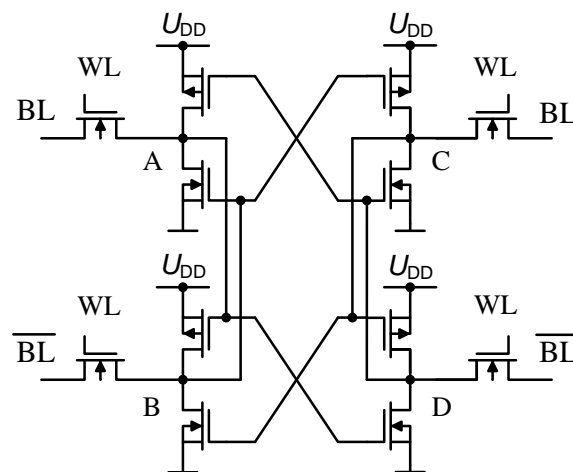


Рис. 1. Схема ячейки памяти DICE

Каждая из двух групп ячейки памяти DICE содержит два NМОП и два PМОП транзистора триггера ячейки, причем в одном логическом состоянии ячейки заперта одна пара N и PМОП транзисторов в каждой группе, а в другом состоянии заперта другая пара N и PМОП транзисторов. Внутри одной группы воздействие частицы на пару транзисторов в запертом состоянии не приводит к сбою триггера ячейки. К сбою состояния ячейки памяти может привести лишь одновременное воздействие на запертые транзисторы из двух разных групп транзисторов ячейки DICE [4], [5],

поэтому эти группы транзисторов должны быть разнесены пространственно.

### III. БАЗОВЫЕ ЭЛЕМЕНТЫ ПАМЯТИ ДЛЯ БЛОКОВ НАКОПИТЕЛЕЙ ОЗУ ПО ТЕХНОЛОГИИ КМОП 28 НМ

Блоки накопителей ОЗУ в нашем случае состоят из базовых элементов памяти, цель разработки которых - обеспечение максимального расстояния между чувствительными областями двух групп транзисторов каждой из ячеек DICE при минимизации площади блоков накопителей.

Представлены три варианта базовых элементов памяти по проектной норме КМОП 28 нм для блоков накопителей с разрядностью  $32 \times 64$ . С целью снижения площади, занимаемой кольцами, минимизировано количество *n*-карманов за счет выполнения в *n*-карманах большего количества РМОП транзисторов.

#### A. Варианты взаимного расположения двух групп транзисторов ячейки DICE в базовых элементах памяти

Триггер ячейки памяти DICE состоит из двух групп по четыре транзистора. На рис. 2 приведен эскиз топологии триггера ячейки памяти DICE при параллельном расположении двух групп транзисторов ячейки, а на рис. 3 приведен эскиз топологии триггера ячейки памяти DICE при последовательном расположении двух групп транзисторов ячейки.

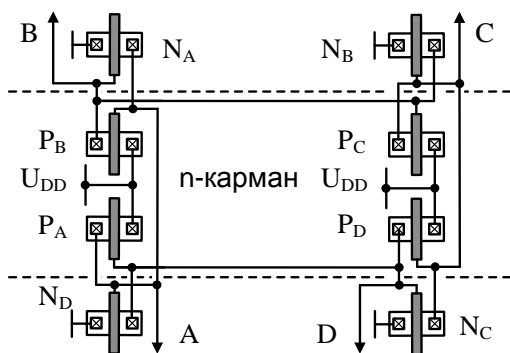


Рис. 2. Эскиз топологии триггера ячейки памяти DICE при параллельном расположении групп транзисторов

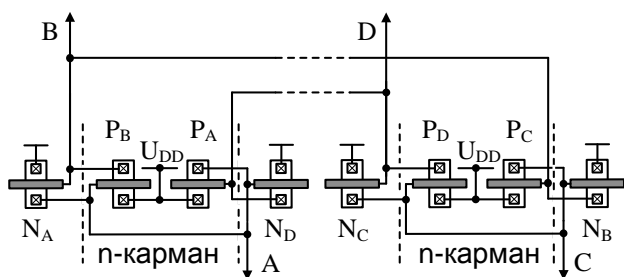


Рис. 3. Эскиз топологии триггера ячейки DICE при последовательном расположении групп транзисторов

Базовый элемент памяти образуется из одинаковых повторяющихся групп транзисторов. Группы

транзисторов могут повторяться как в горизонтальном, так и вертикальном направлениях, образуя матрицу из одинаковых групп транзисторов с одинаковыми связями между транзисторами. Каждая ячейка DICE может быть образована двухпроводным соединением двух групп транзисторов, расположенных либо по горизонтали, либо по вертикали матрицы базового элемента памяти.

Требование КМОП 28 нм технологии к периодичности линий поликремния приводит к дискретности ширины базового элемента памяти. Для исключения потерь площади при стыковке базовых элементов их ширина должна быть кратна половине периода линий поликремния, что составляет 65 нм при длине канала транзистора 30 нм. Основной вклад в площадь блоков накопителей вносит металлизация линий соединения.

Разрядность базового элемента памяти  $m_A \times m_D$  определяется количеством его адресных линий  $m_A$  и линий данных  $m_D$  для связи с шинами блока накопителей. Конкретные значения  $m_A$  и  $m_D$  базовых элементов памяти соответствуют минимуму площади металлизации этих базовых элементов.

#### B. Базовый элемент памяти 1 с разрядностью $8 \times 1$

16 столбцов матрицы базового элемента памяти 1 с разрядностью  $8 \times 1$  (см. рис. 4) повторяются в горизонтальном направлении, что позволяет увеличить расстояние между двумя группами ячеек памяти (каждой из восьми), используя чередования столбцов восьми ячеек памяти. Относительное расположение двух групп транзисторов одной ячейки в матрице на рис. 4 соответствует расположению групп на рис. 2. На рис. 4 приведено расположение транзисторов в столбцах матрицы только для одной ячейки DICE, чтобы подчеркнуть расстояние между двумя группами транзисторов одной ячейки. В целом 8 первых столбцов - это 8 первых групп транзисторов восьми ячеек памяти, затем 8 столбцов из вторых восьми групп транзисторов. Две группы транзисторов одной ячейки памяти соединены между собой только двумя проводами. На 8 ячеек памяти 16 линий связи.

$N_A$										$N_B$							
$P_B$										$P_C$							
$P_A$										$P_D$							
$N_D$										$N_C$							

Рис. 4. Расположение N и РМОП транзисторов двух групп транзисторов (в двух столбцах) одной ячейки памяти DICE в матрице базового элемента с разрядностью  $8 \times 1$

На рис. 5 приведен эскиз топологии базового элемента памяти 1, где использовано обозначение столбцов двумя цифрами, первая из которых обозначает номер ячейки, а вторая - номер группы транзисторов данной ячейки. Расстояния между чувствительными парами *pn* переходов сток-подложка транзисторов, находящихся при обратном смещении в одном из логических состояний ячейки DICE, отмечены на рис. 5

обозначениями  $D_{AC}$ ,  $D_{AD}$ ,  $D_{BD}$ ,  $D_{BC}$ ,  $D_{AB}$ . В другом логическом состоянии такие же расстояния между стоками пар запертых транзисторов.

Таблица 1

Параметры базовых элементов памяти и блоков накопителей ОЗУ 32×64 бит

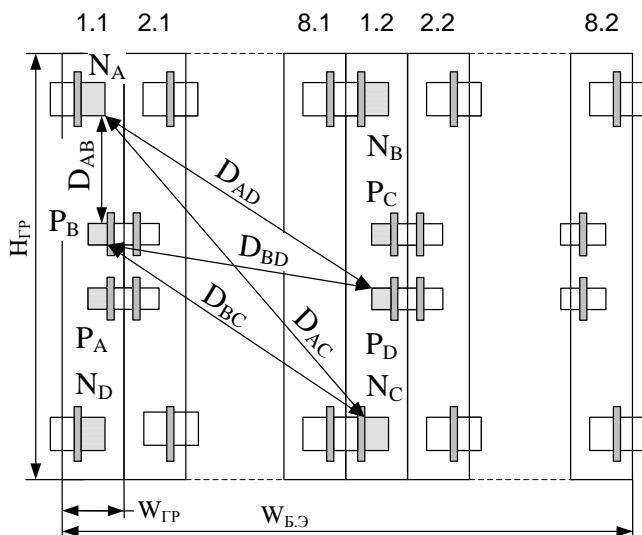


Рис. 5. Эскиз топологии триггеров в базовом элементе памяти 1 из восьми ячеек памяти DICE

В базовом элементе 1 ширина одной группы транзисторов (столбца)  $W_{гр} = 0.26$  мкм. Площадь металлизации в базовом элементе 1 превышает суммарную площадь собственно столбцов восьми ячеек памяти, соответственно для размещения всех линий металлизации ширина базового элемента 1 увеличена на ширину столбца. При ширине каналов  $N$  и  $P$ МОП транзисторов 350 нм и 160 нм площадь блока накопителей разрядностью 32×64 составляет 3075 мкм<sup>2</sup>.

В табл. 1 приведены параметры базовых элементов памяти и вариантов блоков накопителей ОЗУ 32×64 бит. Эти параметры включают:  $W_N$  – ширина канала  $N$ МОП транзисторов;  $W_P$  – ширина канала  $P$ МОП транзисторов;  $H_{гр}$  и  $W_{гр}$  – высота и ширина группы транзисторов ячейки памяти;  $H_{б.э}$  и  $W_{б.э}$  – высота и ширина базового элемента памяти;  $S_{бл.нак}$  – площадь блока накопителей;  $H_{бл.нак}$  и  $W_{бл.нак}$  – высота и ширина блока накопителей;  $t_{здр}$  – время задержки распространения сигнала ячеек памяти в блоке;  $t_{1,0}$  – время перехода выхода данных блока из состояния логической 1 в состояние логического 0;  $P_{потр}$  (запись) и  $P_{потр}$  (чтение) – средние значения мощности потребления блоком накопителей в режимах записи и чтения. Данные получены моделированием с использованием моделей  $top\_tt$  транзисторов  $nch\_tas$  и  $pch\_tas$  при температуре 25°C и напряжении питания 0.9 В. Длина канала транзисторов 30 нм. В табл. 1  $D_{AB}$  – расстояние между  $N$  и  $P$ МОП транзисторами внутри одной группы, совместное воздействие на которые не приводит к сбою ячейки;  $D_{AC}$ ,  $D_{AD}$ ,  $D_{BD}$ ,  $D_{BC}$  – расстояния между запертыми транзисторами двух групп, совместное воздействие на которые может приводить к сбою ячейки памяти DICE.

Базовый элемент	1	2	3
Блок накопителей	1	2	3
$W_N$ , нм	350	170/350	340
$W_P$ , нм	160	115/160	230
Размеры группы $H_{гр} \times W_{гр}$ , мкм <sup>2</sup>	2.63×	2.06×	2.06×
	0.26	0.325	0.52
Количество ячеек в базовом элементе	8	8	4
Разрядность базового элемента $m_A \times m_D$	8×1	2×4	1×4
$H_{б.э} \times W_{б.э}$ , мкм <sup>2</sup>	2.63×4.42	4.12×2.6/ 5.05×2.6	8.24×1.3
$D_{AB}$ , мкм	0.59	0.59	0.59
$D_{AC}$ , мкм	2.79	1.89/2.16	3.95
$D_{AD}$ , мкм	2.44	2.66/3.10	4.71
$D_{BC}$ , мкм	2.44	<b>1.18/1.40</b>	<b>3.24</b>
$D_{BD}$ , мкм	<b>2.27</b>	1.94/2.35	4
$S_{бл.нак}$ , мкм <sup>2</sup>	3075	2769/3380	5518
$H_{бл.нак} \times W_{бл.нак}$ , мкм <sup>2</sup>	168.32×	65.92×42.4/ 80.32×42.41	131.84×
	18.27		41.86
$t_{здр}$ , пс	80	130/93	100
$t_{1,0}$ , пс	123	260/160	155
$P_{потр}$ (запись), мкВт	214	201/288	523
$P_{потр}$ (чтение), мкВт	75	15/26	41
Матрица транзисторов	Рис. 4	Рис. 6	Рис. 7

С. Базовый элемент памяти 2 с разрядностью 2×4

Ячейка памяти DICE в базовом элементе памяти 2 состоит из двух групп транзисторов, расположенных в вертикальном направлении относительно друг друга в последовательности как на рис. 3. Базовый элемент памяти 2 (см. рис. 6) имеет разрядность 2×4.

$N_A$	$N_A$	$N_A$	$N_A$	$N_A$	$N_A$	$N_A$	$N_A$
$P_B$	$P_B$	$P_B$	$P_B$	$P_B$	$P_B$	$P_B$	$P_B$
$P_A$	$P_A$	$P_A$	$P_A$	$P_A$	$P_A$	$P_A$	$P_A$
$N_D$	$N_D$	$N_D$	$N_D$	$N_D$	$N_D$	$N_D$	$N_D$
$N_C$	$N_C$	$N_C$	$N_C$	$N_C$	$N_C$	$N_C$	$N_C$
$P_D$	$P_D$	$P_D$	$P_D$	$P_D$	$P_D$	$P_D$	$P_D$
$P_C$	$P_C$	$P_C$	$P_C$	$P_C$	$P_C$	$P_C$	$P_C$
$N_B$	$N_B$	$N_B$	$N_B$	$N_B$	$N_B$	$N_B$	$N_B$

Рис. 6. Матрица  $N$  и  $P$ МОП транзисторов восьми ячеек памяти DICE по одной ячейке памяти в каждом столбце базового элемента с разрядностью 2×4

На рис. 6 приведен вариант расположения восьми ячеек памяти. Транзисторы одной ячейки DICE занимают один большой столбец матрицы так, что верхняя часть столбца матрицы на рис. 6 – это первая группа транзисторов ячейки памяти (4 транзистора), нижняя часть столбца – это вторая группа транзисторов этой же ячейки памяти (4 транзистора). Две группы транзисторов одной ячейки памяти соединены между собой двумя проводниками.

В табл. 1 приведены данные для двух вариантов блока накопителей на основе таких базовых элементов 2 на транзисторах с разной шириной канала. Площадь первого варианта - 2769 мкм<sup>2</sup>. Плотность упаковки транзисторов немногим меньше плотности упаковки транзисторов блока накопителей 1. У варианта блока накопителей 2 с увеличенными значениями ширины каналов *N* и РМОП транзисторов 350 нм и 160 нм (см. табл. 1) площадь блока накопителей 3380 мкм<sup>2</sup>, что на 10% больше, чем у блока 1.

*D. Базовый элемент памяти 3 с разрядностью 1×4*

На рис. 7 приведен вариант расположения четырех ячеек памяти в базовом элементе 3 (с чередованием групп ячеек DICE в столбцах матрицы базового элемента). Расположение групп транзисторов соответствует последовательности групп на рис. 3. Один столбец занимают *N* и РМОП транзисторы двух ячеек DICE так, что верхняя половина столбца матрицы на рис. 7 - это две первые группы транзисторов (по 4 транзистора) первой (выделено жирным шрифтом) и второй ячеек, нижняя половина столбца матрицы - две вторые группы транзисторов (по 4 транзистора) последовательно первой и второй ячеек. Первая и вторая группы транзисторов ячеек памяти соединены между собой двумя шинами. На один столбец из двух ячеек памяти DICE получается 4 линии связи.

<b>N<sub>A</sub></b>	<b>N<sub>A</sub></b>
<b>P<sub>B</sub></b>	<b>P<sub>B</sub></b>
<b>P<sub>A</sub></b>	<b>P<sub>A</sub></b>
<b>N<sub>D</sub></b>	<b>N<sub>D</sub></b>
<i>N<sub>A</sub></i>	<i>N<sub>A</sub></i>
<i>P<sub>B</sub></i>	<i>P<sub>B</sub></i>
<i>P<sub>A</sub></i>	<i>P<sub>A</sub></i>
<i>N<sub>D</sub></i>	<i>N<sub>D</sub></i>
<b>N<sub>C</sub></b>	<b>N<sub>C</sub></b>
<b>P<sub>D</sub></b>	<b>P<sub>D</sub></b>
<b>P<sub>C</sub></b>	<b>P<sub>C</sub></b>
<b>N<sub>B</sub></b>	<b>N<sub>B</sub></b>
<i>N<sub>C</sub></i>	<i>N<sub>C</sub></i>
<i>P<sub>D</sub></i>	<i>P<sub>D</sub></i>
<i>P<sub>C</sub></i>	<i>P<sub>C</sub></i>
<i>N<sub>B</sub></i>	<i>N<sub>B</sub></i>

**Рис. 7. Матрица *N* и РМОП транзисторов четырех ячеек памяти DICE по две ячейки в каждом столбце базового элемента с разрядностью 1×4**

В базовом элементе памяти 3 (см. рис. 7) использовано вертикальное чередование групп транзисторов двух ячеек памяти в матрице столбцов, что привело к увеличению количества линий связи по сравнению с вариантом элемента 2 и увеличению площади металлизации. Для размещения линий металлизации ширина столбца увеличена и составляет 0.52 мкм, что в два раза больше ширины столбца базового элемента 1.

Ширина каналов *N* и РМОП транзисторов базового элемента памяти 3 составляет 340 нм и 230 нм. Для размещения линий питания и земли в третьем слое металлизации ширина базового элемента памяти увеличена на два периода сетки линий поликремния

260 нм и составляет 1.3 мкм. Блок накопителей 3 занимает площадь 5518 мкм<sup>2</sup>, плотность упаковки транзисторов блока 2 меньше плотности упаковки блоков 1 и 2 в 1.7 раза.

**VI. ЗАКЛЮЧЕНИЕ**

Предложены варианты топологического расположения транзисторов в ячейках памяти DICE с двумя группами транзисторов, разнесенных пространственно. Минимальные расстояния между чувствительными областями двух групп каждой из ячеек памяти DICE в трех вариантах базовых элементов памяти для блоков накопителей статических ОЗУ (см. табл. 1) составляют 2.27 мкм (базовый элемент 1), 1.18 мкм или 1.4 мкм (базовый элемент 2) и 3.24 мкм (базовый элемент 3).

Полученные расстояния между парами транзисторов, чувствительных к воздействию одиночных ядерных частиц, в разработанных базовых элементах памяти можно сопоставить с результатами экспериментальных исследований [1], [2] связи частоты сбоев (SER) ячеек памяти в ОЗУ и D триггеров с проектными нормами КМОП 28-65 нм при воздействии одиночных ядерных частиц (по нейтронам и протонам). Расстояние 1 мкм между чувствительными узлами ячеек памяти и триггеров типа DICE обеспечивает снижение скорости сбоев (SER) в 100 раз [1] по отношению к случаю, когда это расстояние равно 100...400 нм, которое типично в настоящее время для КМОП DICE 28 - 30 нм. Увеличение расстояния между чувствительными узлами до 3 мкм дает дополнительно снижение частоты сбоев в 10 раз.

**ЛИТЕРАТУРА**

- [1] Multi-cell upset probabilities of 45 nm high-k +metal gate SRAM devices in terrestrial and space environments / Seifert N., Gill B., Foley K., Relangi P. // Proceedings of IEEE International Reliability Physics Symposium. 2008. P. 181-186.
- [2] Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS / Gaspard N., Jagannathan S., Diggins Z., McCurdy M., Lovelless T.D., Bhuvu B.L., Massengill L.W., Holman W.T., Oates T.S., Fang Y-P., Wen S.-J., Wong R., Lilja K., Bounasser M. // Proceedings of IEEE International Reliability Physics Symposium. 2013. P. SE.6.1- SE.6.5.
- [3] Dependence of cell distance and well-contact density of MCU rates by device simulations and neutron experiments in a 65-nm bulk process / Zhang K., Furuta J., Kobayashi K., Onodera H. // Proceedings of RADECS. 2013. P.1-5.
- [4] Стенин В.Я., Катунин Ю.В., Степанов П.В. Особенности проектирования DICE элементов 65-нм КМОП статических запоминающих устройств с учетом эффекта кратного воздействия отдельных ядерных частиц // Вестник НИЯУ МИФИ. 2013. Т. 2. № 3. С. 363-370.
- [5] Катунин Ю.В., Стенин В.Я., Степанов П.В. Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника. 2014. Т. 43. № 2. С. 104-117.