

# Схема считывания информации из энергонезависимой памяти

С.С. Карташёв

Национальный исследовательский университет "МИЭТ", skartashev@mikron.ru

**Аннотация** — Представлен вариант реализации схемы считывания информации из энергонезависимой памяти, обеспечивающий высокую надежность считывания. Показан метод считывания, основанный на управлении средним током, протекающим через считываемые ячейки памяти. Продемонстрирован новый метод считывания информации, позволяющий увеличить количество циклов "записи-считывания" до потери памятью работоспособности.

**Ключевые слова** — энергонезависимая память, схема считывания, флеш-память, EEPROM.

## I. ВВЕДЕНИЕ

В настоящее время проектированию энергонезависимой памяти уделяется много внимания [1]. Это связано с рядом достоинств памяти такого типа: быстрое действие, малая площадь на кристалле, надежность. В данной статье речь пойдет о схемах считывания информации из энергонезависимой памяти.

Наиболее распространённым методом считывания информации является способ считывания по сравнению тока, протекающего через считываемую ячейку памяти, с некоторым средним током, являющимся средним арифметическим от токов, протекающих в записанной и стертой ячейках памяти соответственно:

$$I_{\text{СРЕД.}} = \frac{I_{\text{ЗАП.}} + I_{\text{СТЕР.}}}{2} \quad (1)$$

Иными словами, если ток, протекающий через считываемую ячейку памяти больше среднего тока, то это означает, что ячейка записана, и считываем логическую единицу. Если же ток через считываемую ячейку ниже среднего тока, то это означает, что ячейка стерта, и считываем логический ноль. В настоящее время существует два основных способа задания среднего тока. Рассмотрим их подробнее.

Суть первого способа заключается в задании среднего тока напрямую из внешнего источника [2], либо в использовании двух ячеек памяти (одна из которых всегда записана, а другая стерта) в качестве источника опорного тока (среднего тока) на кристалле [3]. Недостатки такого способа очевидны. Если мы задаём ток напрямую, то это увеличивает занимаемую площадь периферии кристалла, поскольку потребуется как минимум ещё одна контактная площадка для задания внешнего тока, который так же может оказаться нестабильным, что ухудшит надежность считывания. Если же мы используем в качестве источника опорного тока

две ячейки, то в этом случае пороговые напряжения рабочих ячеек в строке будут отличаться от пороговых напряжений эталонных ячеек, что приведёт в итоге к неправильному считыванию информации и полной неработоспособности схемы считывания.

Второй способ заключается в использовании источника опорного тока (среднего тока) на основе одной ячейки, называемой эталонной, для всей строки матрицы памяти [4]. На плавающий затвор транзистора хранения заносится максимально возможный заряд, а при считывании информации на затвор транзистора хранения эталонной ячейки подаётся такой же потенциал, как и в считываемом элементе памяти. Для того, чтобы получить средний уровень тока, используется резистор смещения, который уменьшает напряжение между затвором и истоком транзистора хранения, в результате чего уровень тока, протекающего через эталонную ячейку, получается примерно вдвое ниже, чем в считываемом, и занимает среднее положение между уровнями токов в записанной и стертой ячейках, соответственно, при максимальном и минимальном зарядах на плавающих затворах транзисторов хранения. Недостаток такого способа состоит в том, что получение оптимального для надёжного считывания сопротивления резисторов смещения сложно на практике из-за неоднородности физической природы вольт-амперных характеристик резисторов и МОП-транзисторов. Помимо этого в данном способе не учитывается возможность неполного занесения и удаления зарядов плавающих затворов транзисторов элементов памяти при программировании памяти в неблагоприятных условиях, вследствие чего нарушается соотношение (1) считываемых токов с эталонными, на которое также влияют последствия деградации подзатворного туннельного диэлектрика транзисторов матричных элементов памяти после многократных повторений циклов "записи-стирания" [5].

В данной статье рассмотрена попытка реализации схемы считывания информации из энергонезависимой памяти, на основе обоих описанных способов, обладающая рядом новых преимуществ и лишенная указанных недостатков.

## II. ТЕХНИЧЕСКИЕ СРЕДСТВА ИССЛЕДОВАНИЯ И РАЗРАБОТКИ

Для разработки схемы считывания информации из энергонезависимой памяти использовался САПР Cadence Virtuoso Schematic Editor с применением библиотек моделей транзисторов классической КМОП техно-

логии 0,18 мкм, дополненной операциями по формированию плавающего затвора транзисторов хранения. Напряжение питания  $U_n = 1.8$  В.

### III. ОБЪЕКТ ИССЛЕДОВАНИЯ И РАЗРАБОТКИ

Разработанная схема считывания информации представлена на рис. 1. В данной схеме используются ячейки памяти, каждая из которых содержит n-МОП транзистор хранения с плавающим затвором (рис. 1 - транзисторы M6) и транзистор выборки ячейки (рис. 1 - транзисторы M7). Ввод определённого состояния (логического нуля или логической единицы) в элемент памяти производится посредством накопления положительного заряда на плавающем затворе транзистора хранения или удаления положительного заряда с него. В режиме считывания на затворы транзисторов хранения поступает напряжение высокого уровня (1.8 В), способное открыть полноценные каналы у транзисторов хранения только при наличии положительных зарядов на их плавающих затворах, а в отсутствие зарядов транзисторы хранения остаются закрытыми либо имеют каналы с существенно меньшей проводимостью.

Схема работает следующим образом. В режиме хранения информации на вход RD разрешения считывания, на входы  $A_{Y_1} - A_{Y_k}$  выборки столбцов и на входы  $S_1, S_2$  выборки эталонных столбцов поступает напряжение низкого логического уровня, транзисторы M51 и M52 открыты и формируют на выходе устройства и на узле затворов транзисторов M31, M32, M4 высокие логические уровни, на которые матричные и эталонные элементы памяти не оказывают никакого влияния, так как все n-МОП-транзисторы M11 - M1k выборки столбцов и M21, M23 выборки эталонных столбцов закрыты.

При переключении устройства в режим считывания на один из входов  $A_{X_1} - A_{X_n}$  и один из входов  $A_{Y_1} - A_{Y_k}$ , соответствующих строке и столбцу, содержащих выбираемый элемент памяти, подаются высокие логические уровни при сохранении низких уровней на остальных. Ток выбираемого элемента памяти, вытекая из узла информационного выхода D, стремится понизить уровень его напряжения.

На все прямые входы управления  $U_{X_1} - U_{X_n}$  и инверсные  $\overline{U_{X_1}} - \overline{U_{X_n}}$  поступает напряжение высокого логического уровня, которое должно быть ниже уровня активации туннельного эффекта в n-МОП-транзисторах хранения.

Уровень на входе RD разрешения считывания и на входах  $S_1, S_2$  выборки эталонных столбцов тоже повышается до 1.8 В, запирая p-МОП-транзисторы M51, M52 и открывая n-МОП-транзисторы M21 и M22 выборки столбцов эталонных элементов памяти. Эталон-

ные элементы памяти в первом и втором столбцах имеют на плавающих затворах, соответственно, минимальные и максимальные положительные заряды. Два эталонных элемента памяти с высокими логическими уровнями на входах выборки всегда имеют противоположные состояния и токи, протекающие в них, складываются в узле стоков n-МОП-транзисторов M31 и M32, идентичных n-МОП транзистору M4, и вместе образующих токовое зеркало, отражающее сумму токов выбранных эталонных элементов памяти с коэффициентом 1/2. Этот ток, втекая в узел информационного выхода D, стремится поднять уровень его напряжения.

Соотношение втекающего и вытекающего токов узла информационного выхода D зависит от состояния выбранного для считывания элемента памяти. Если он имеет положительный заряд на плавающем затворе транзистора хранения, вытекающий ток преобладает и на информационном выходе D формируется низкий логический уровень, а если этот заряд минимален - высокий, так как в узле выхода D преобладает втекающий ток.

Программирование информационных состояний матрицы элементов памяти в данном устройстве осуществляется построчно. Выбор программируемой строки матрицы производится повышением логического уровня на соответствующем входе  $A_{X_1} - A_{X_k}$  при сохранении низких уровней на остальных. Программирование проходит две стадии.

На первой стадии удаляют имеющиеся положительные заряды с плавающих затворов всех транзисторов хранения элементов памяти строки и соответствующего ей эталонного элемента памяти первого столбца и заносят заряд на плавающий затвор транзистора хранения соответствующего эталонного элемента памяти второго столбца. Для выполнения данного действия на вход RD разрешения считывания, на все входы  $A_{Y_1} - A_{Y_k}$  выборки столбцов и вход  $S_1$  выборки первого столбца эталонных элементов памяти поступают низкие логические уровни, открывающие p-МОП-транзисторы M51, M52 и запирающие n-МОП-транзисторы M11 - M1k и M21. n-МОП-транзистор M22 выборки второго столбца эталонных элементов памяти при этом должен быть открыт - на его затворе через вход  $S_2$  устанавливают высокий логический уровень так же, как на входе  $U_{X_i}$  управления выбранной строки элементов памяти. На входы  $U_{X_1} - U_{X_2}$  управления невыбранных строк матрицы и на все входы  $\overline{U_{X_1}} - \overline{U_{X_n}}$  второго столбца эталонных элементов памяти должно поступать напряжение низкого уровня.

В результате транзисторы хранения элементов памяти выбранной строки матрицы и соответствующего им эталонного элемента памяти

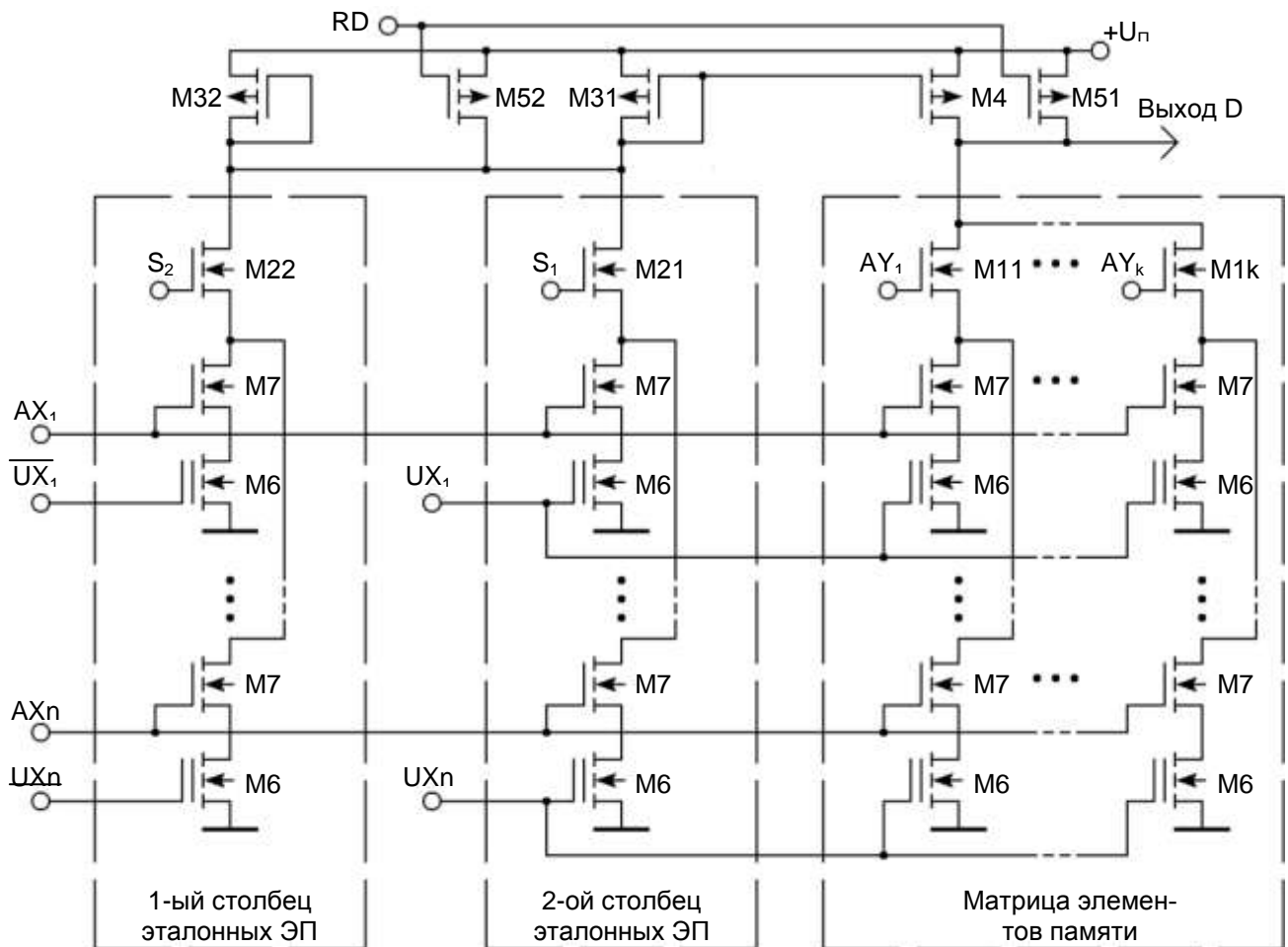


Рис. 1. Схема считывания информации из энергонезависимой памяти

первого столбца окажутся в условиях, приводящих к удалению положительных зарядов с их плавающих затворов, - высокое положительное напряжение на затворах и разрыв стоковых цепей. В то же время транзистор хранения в выбранном эталонном элементе памяти второго столбца накопит положительный заряд на плавающем затворе. На его затворе низкое напряжение, а его сток через открытые каналы МОП-транзисторов M52, M22 и M7 подключен к шине  $+U_{\text{п}}$  положительного напряжения питания. Во всех остальных элементах памяти транзисторы хранения сохраняют свои состояния, так как на их затворах низкие напряжения, а стоки отключены.

Первую стадию программирования можно определить как стирание информации, а состояние элемента памяти, на плавающем затворе которого отсутствует положительный заряд - состоянием логической единицы. Тогда вторая стадия программирования будет заключаться в записи состояния логического нуля в определенных элементах памяти выбранной строки матрицы.

При переходе программирования во вторую стадию на входе RD разрешения считывания остаётся

низкий логический уровень. На входы  $AY_1 - AY_k$  выборки столбцов, соответствующие переводимым в состояние "нуля" элементами памяти, и на вход  $S_1$  выборки первого столбца эталонных элементов памяти подаются высокие логические уровни, а на остальные входы  $AY_1 - AY_k$  и на вход  $S_2$  - низкие. На входе  $UX_1$  управления и инверсном входе  $\overline{UX}_1$  управления, соответственно, устанавливаются низкий и высокий логические уровни.

В таких условиях транзисторы хранения элементов памяти выбранной строки матрицы, стоки которых через открытые каналы МОП-транзисторов M51 и M11 - M1k подключены к шине  $+U_{\text{п}}$  положительного напряжения питания, получают положительные заряды на плавающие затворы. То же происходит и у транзистора хранения в соответствующем эталонном элементе памяти первого столбца, сток которого получает высокое положительное напряжение через открытые каналы МОП-транзисторов M52 и M21. Транзистор хранения соответствующего эталонного элемента памяти второго столбца при этом находится в условиях, приводящих к удалению положительного заряда с плавающего затвора. На его затворе высокое положитель-

ное напряжение, а сток отключен по причине отсутствия канала у МОП-транзистора M22.

Стирание информации в данном устройстве возможно осуществить для всех элементов памяти одновременно. Для этого, в отличие от построчного выполнения, необходимо подать высокие логические уровни на все входы  $AX_1 - AX_n$  выборки строк и все входы  $UX_1 - UX_n$  управления, а на всех инверсных входах  $\overline{UX_1} - \overline{UX_n}$  управления необходимо установить низкие логические уровни.

#### IV. РЕЗУЛЬТАТЫ

В результате комбинирования двух указанных во введении способов получено устройство, лишенное указанных недостатков и обладающее рядом преимуществ.

Во-первых, такое решение экономит площадь, занимаемую на кристалле, благодаря использованию двух эталонных ячеек сразу на всю строку матрицы памяти.

Во-вторых, в данном устройстве решена задача сохранения работоспособности после многократного перепрограммирования состояний элементов памяти. Так как изменение состояний эталонных элементов памяти производится не реже, чем в соответствующих им элементах матрицы, процессы деградации туннельного диэлектрика во взаимодействующих транзисторах проходят параллельно, причем в большей степени у транзисторов эталонных элементов памяти. Если процесс деградации, что наиболее часто, приводит к уменьшению тока в транзисторе, имеющем заряд на плавающем затворе, или увеличению тока в транзисторе без заряда, при большем износе эталонных элементов памяти получение правильных соотношений сравнимых токов более вероятно. Иными словами, при многократном программировании уровни токов стертой и записанной ячеек меняются со временем. Но благодаря тому, что эталонные ячейки также многократно перезаписываются, то деградации ячеек в первом и втором эталонных столбцах будут происходить примерно с одинаковой скоростью, а значит, уровень среднего тока не будет меняться со временем, что обеспечивает его высокую стабильность.

В-третьих, конфигурация электрической схемы устройства и принципы его работы обеспечивают высокую идентичность физических состояний и электрических режимов работы, считываемых и эталонных элементов памяти, соотношения токов в которых определяет выбираемую информацию. У этих элементов памяти при полной идентичности конструкции заряды на плавающих затворах в процессе программирования создаются и удаляются одновременно и в одинаковых условиях. Если в силу каких-либо дестабилизирующих воздействий или неблагоприятных условий эти процессы будут выполнены не полностью, то до какой-то степени устойчивое считывание будет возможно.

И наконец, в качестве ещё одного преимущества стоит отметить возможность использования данной схемы считывания не только в энергонезависимой памяти, но и вообще в любой полупроводниковой памяти, имеющей упорядоченную структуру ячеек памяти, поскольку к таким структурам легко применим общий принцип считывания по сравнению среднего тока с током, протекающим в считываемой ячейке.

Кроме того, в качестве дальнейшего развития схемы считывания можно легко увеличить скорость считывания информации. Обычно в качестве усилителя считывания используют обыкновенный инвертор. Но если требуется более высокая скорость, то в качестве усилителя используют операционный усилитель, на один из входов которого поступает уровень, снимаемый с эталонных ячеек, а на другой вход поступает уровень, снимаемый со считываемой ячейки памяти. Однако при этом теряется незначительная часть площади периферии кристалла, и необходима более сложная топологическая разводка устройства.

На представленную схему считывания был получен патент на полезную модель [6]. Результаты работы были изложены на ежегодно проводимой в НИУ МИЭТ конференции студентов и аспирантов "Микроэлектроника и информатика" в 2013 году [7].

#### V. БЛАГОДАРНОСТИ

Автор выражает признательность коллегам из ОАО "НИИМЭ" (Зеленоград) за помощь в работе и полезные обсуждения.

#### ЛИТЕРАТУРА

- [1] Joe E. Brewer, Manzur Gill Nonvolatile memory technologies with emphasis on flash // IEEE Press Series on Microelectronic Systems. 2008. P. 757-769.
- [2] Пат. 5218570 США, МПК G 11 L 13/00. Sense circuit for reading data stored in nonvolatile memory cells / Luigi Pascucci, Marco Olivo. - № 657083; Заявлено 19.02.1991; Оpubл. 08.06.1993.
- [3] Пат. 4138737 США, МПК G 11 C 21/00. Non-volatile memory with improved readout / David H. McCann. - № 884530; Заявлено 08.03.1978; Оpubл. 06.02.1979.
- [4] Пат. 7349276 В2 США, МПК G 11 C 7/02. Readout circuit and nonvolatile semiconductor memory device / Yasuhiro Tonda. - № 11/303953; Заявлено 19.12.2005; Оpubл. 25.03.2008.
- [5] Зебрев Г.И. Физические основы кремниевой нанoeлектроники. М.: Бином. Лаборатория знаний. 2011. С. 131-142.
- [6] Пат. 132601 РФ, МПК G 11 C 7/02. Схема хранения и считывания информации энергонезависимого запоминающего устройства / Игнатъев С.М., Карташев С.С. - № 2013125006/08; Заявлено 30.05.2013; Оpubл. 20.09.2013.
- [7] Карташев С.С. Исследование и разработка схемы считывания flash-памяти на основе модели плавающего затвора // Микроэлектроника и информатика - 2013. 20-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов: Тезисы докладов. М.: МИЭТ, 2012. С. 91.