

# Восьмиразрядный параллельный АЦП со сниженной дифференциальной нелинейностью

Д.О. Буданов, Д.В. Морозов, М.М. Пилипко

Санкт-Петербургский государственный политехнический университет,

[dmitriy.budanov@gmail.com](mailto:dmitriy.budanov@gmail.com), [dvmorozov@inbox.ru](mailto:dvmorozov@inbox.ru), [m\\_m\\_pilipko@rambler.ru](mailto:m_m_pilipko@rambler.ru)

**Аннотация** — Представлен параллельный АЦП с массивом избыточных компараторов для построения конвейерного АЦП. Проведено моделирование. Изготовлены микросхемы по 180 нм КМОП-технологии. Проведены измерения. Потребляемая мощность 93 мВт, эффективная разрядность 5,8 бит, дифференциальная нелинейность 0,23 бита.

**Ключевые слова** — аналого-цифровой преобразователь, компаратор, термометрический код, шифратор, дифференциальная нелинейность, интегральная нелинейность, эффективная разрядность.

## I. ВВЕДЕНИЕ

Аналого-цифровые преобразователи (АЦП) являются интерфейсной частью устройств, выполняющих цифровую обработку сигналов. Скорость передачи информации в системах телекоммуникаций представляет собой критичный параметр. Наибольшим быстродействием обладают параллельные и конвейерные АЦП. Интерес представляют преобразователи с разрядностью восемь и более бит [1], [2]. По причине неидеальностей элементов АЦП возникают ошибки преобразования, которые приводят к уменьшению эффективной разрядности. При построении конвейерного АЦП зачастую необходима цифровая коррекция порогов срабатывания компараторов параллельного АЦП и обеспечение высоких требований по коэффициенту усиления и полосе усиления операционного усилителя в рамках стадии конвейера. Однако реализацию конвейерного АЦП удастся упростить при использовании параллельного АЦП с уменьшенной дифференциальной нелинейностью. Как показано в работе, этого возможно достичь за счет использования массива избыточных компараторов.

Работа содержит разделы, где представлены схемные и топологические решения структурных блоков АЦП, приведены результаты моделирования для 180 нм КМОП-технологии с учетом топологии кристалла, проведено сравнение и сформулированы основные выводы.

## II. СХЕМНЫЕ РЕШЕНИЯ СТРУКТУРНЫХ БЛОКОВ АЦП

Структура параллельного АЦП представлена на рис. 1. Входной сигнал  $U_{in}$  подается на устройство выборки и хранения (УВХ). Сигнал с выхода УВХ

поступает на вход массива компараторов, который формирует термометрический код, преобразуемый шифратором в прямой двоичный код. Блок D-триггеров обеспечивает синхронизацию.



Рис. 1. Структура АЦП

Дифференциальная нелинейность АЦП, в частности, возникает вследствие отличия от расчетных уровней опорного напряжения компараторов, что обусловлено точностью изготовления элементов схем компараторов [3]. Обзор методов уменьшения дифференциальной нелинейности АЦП [4] показывает целесообразность применения массива избыточных компараторов. Для ограничения потребляемой мощности и уменьшения занимаемой площади кристалла при формировании каждого разряда термометрического кода используется три компаратора и мажорирующий элемент (рис. 2). На выходе мажорирующего элемента будет напряжение высокого уровня, соответствующее логической единице, если на выходах двух и более компараторов присутствует напряжение, соответствующее логической единице. В обратном случае на выходе мажорирующего элемента будет напряжение низкого уровня, соответствующее логическому нулю.

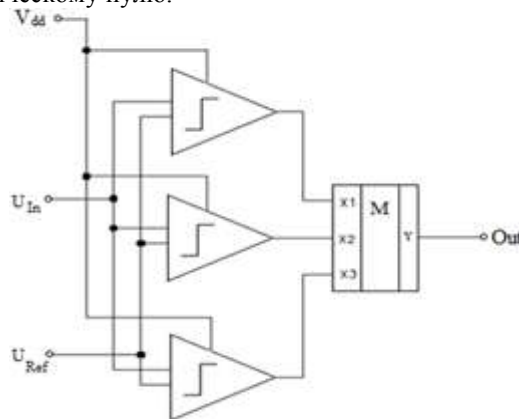


Рис. 2. Блок формирования разряда термометрического кода

Схема компаратора представлена на рис. 3. Входное напряжение поступает на вход In, опорное напряжение – на вход Ref. Напряжение питания подается в узел Vdd. Выход обозначен Out. Особенности данной схемы являются источник тока на основе транзисторов T5 и T6 в режиме насыщения и токовое зеркало на транзисторах T3 и T4 с пониженным напряжением отпираания, что позволило добиться увеличения диапазона входных напряжений дифференциального каскада.

Остальные структурные блоки в составе АЦП (рис. 1) разработаны по критериям сниженной потребляемой мощности и малой площади, занимаемой на кристалле. В частности, схема шифратора была разработана согласно рекомендациям работы [5]. Синхронизация обеспечивается D-триггерами на проходных транзисторах и инверторах (рис. 4). В схеме УВХ используется показанный на рис. 5 ключ с дополнительными транзисторами [6], которые позволяют скомпенсировать воздействие тактовых импульсов (сигнал C, инверсный сигнал  $\bar{C}$ ) на цепь обработки полезного сигнала через паразитные емкости основных ключей (МОП-транзисторов T2 и T5). Роль дополнительных играют транзисторы T1, T4, T3 и T6, сток и исток которых соединены. В таком включении транзисторы представляют емкость, полученную параллельным соединением паразитных емкостей затвор-сток и затвор-исток. При выборе в два раза меньшей ширины и одинаковой длины канала для дополнительных транзисторов по сравнению с основным транзистором и обеспечении подключения управляющих сигналов согласно рис. 5 тактовые импульсы, воздействующие через паразитные емкости основного и дополнительных транзисторов одного типа проводимости, компенсируют друг друга. В качестве емкости УВХ выступает входная емкость массива избыточных компараторов. Поскольку ток в затворных цепях МОП-транзисторов незначителен, то повторитель напряжения в составе УВХ не требуется.

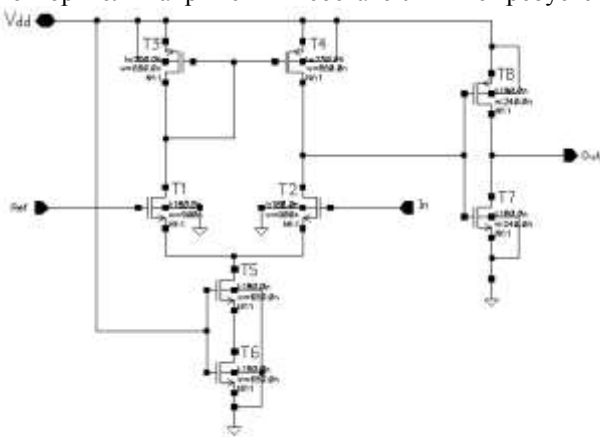


Рис. 3. Компаратор

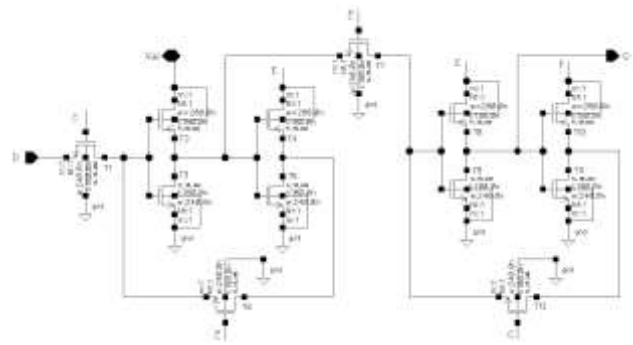


Рис. 4. Схема D-триггера

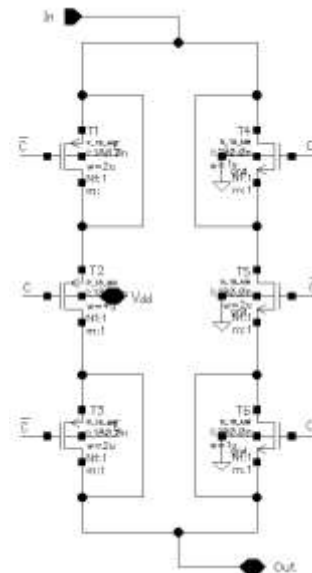


Рис. 5. Ключ с дополнительными транзисторами

Топология кристалла микросхемы восьмиразрядного параллельного АЦП в 180 нм КМОП-технологии UMC 180 nm mixedmode/RF 1P6M представлена на рис. 6.

### III. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ И ИЗМЕРЕНИЙ МИКРОСХЕМЫ АЦП

Моделирование АЦП проводилось с помощью программного обеспечения платформы Virtuoso IC6.15 компании Cadence Design Systems на основе схемы рис. 7. Напряжение питания 1,8 В. Диапазон входных напряжений от 0,5 В до 1,5 В. Выходной код снимается с Y1-Y8. Результаты моделирования временных и мощностных характеристик АЦП представлены в табл. 1 при всех возможных граничных условиях (corners) и при температурах  $-40^{\circ}\text{C}$ ,  $27^{\circ}\text{C}$  и  $85^{\circ}\text{C}$ . Согласно представленным результатам средняя скорость преобразования 300 Мотсчетов/с, в наихудшем случае 175 Мотсчетов/с.

По результатам моделирования согласно [7] были определены эффективная разрядность (ENOB), интегральная (INL) и дифференциальная (DNL) нелинейности АЦП (см. табл. 2, столбец «Модель»):

$$ENOB = N - \log_2 \left( \frac{\text{rms noise}}{\text{ideal rms quant. error}} \right), \quad (1)$$

$$INL = \frac{1}{2^N - 1} \sum_{k=1}^{2^N - 1} \frac{\varepsilon(k)}{U_{\text{полн}}} 100\%, \quad (2)$$

где  $U_{\text{полн}} = 1 \text{ В}$  – диапазон входных напряжений АЦП,  $N=8$  – разрядность АЦП,  $\varepsilon(k)$  – остаточное смещение  $k$ -го уровня опорного напряжения от идеального значения, вычисляемое следующим образом:

$$\varepsilon(k) = \Delta U(k-1) - U_{\text{пор}}(k) + U_1 - U_{\text{см.нуля}}, \quad (3)$$

где  $\Delta U$  – разность между идеальными уровнями опорного напряжения;  $U_{\text{пор}}(k)$  –  $k$ -й уровень опорного напряжения;  $U_1$  – идеальное значение первого (нижнего) уровня опорного напряжения;  $U_{\text{см.нуля}}$  – напряжение смещения нуля характеристики преобразования АЦП.

$$DNL(k) = \frac{\Delta U_{\text{пор}}(k) - \Delta U}{\Delta U}, \quad (4)$$

где  $\Delta U_{\text{пор}}(k)$  – разность между  $k+1$  и  $k$ -м уровнями опорного напряжения.

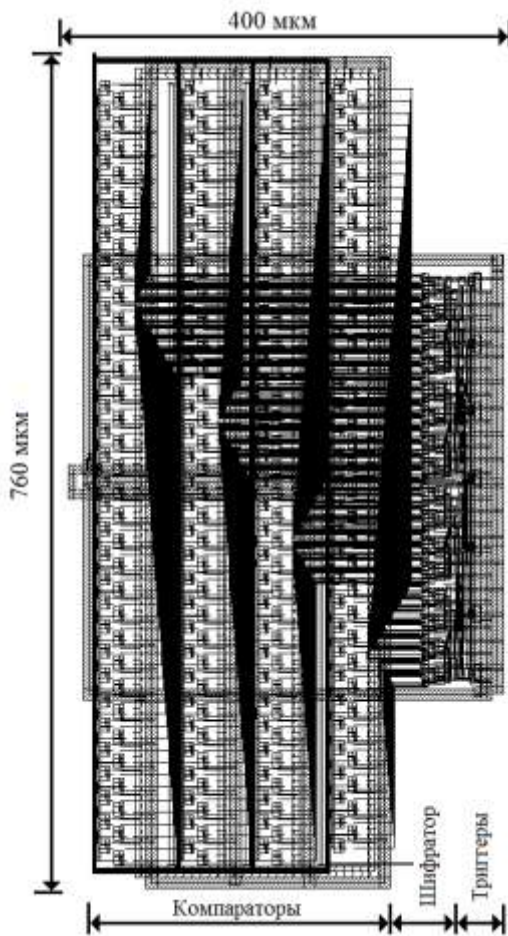


Рис. 6. Топология АЦП

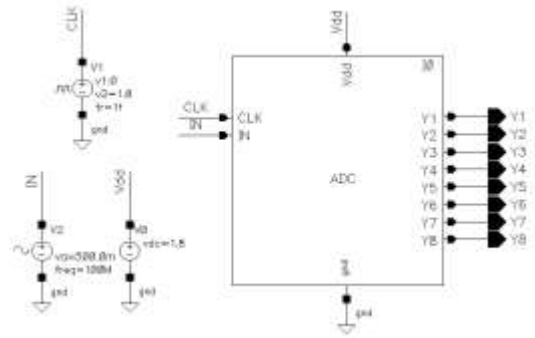


Рис. 7. Схема моделирования

Таблица 1

Временные и мощностные характеристики АЦП

| Условия (corners) | Т, °С | Задержка, нс |       | Фронт, пс | Спад, пс | Потребл. мощность, мВт |
|-------------------|-------|--------------|-------|-----------|----------|------------------------|
|                   |       | фронт        | спад  |           |          |                        |
| tt                | -40   | 2.251        | 3.042 | 204       | 112      | 120.4                  |
|                   | 27    | 2.300        | 2.500 | 210       | 173      | 111.2                  |
|                   | 85    | 2.370        | 2.942 | 246       | 177      | 105.2                  |
| ss                | -40   | 3.627        | 4.770 | 269       | 154      | 92.5                   |
|                   | 27    | 3.813        | 5.709 | 289       | 136      | 84.3                   |
|                   | 85    | 3.678        | 5.341 | 332       | 219      | 79.0                   |
| ff                | -40   | 1.939        | 3.147 | 164       | 194      | 148.6                  |
|                   | 27    | 2.014        | 2.209 | 181       | 89       | 138.4                  |
|                   | 85    | 2.069        | 1.987 | 193       | 93       | 132.3                  |
| snfp              | -40   | 2.260        | 3.043 | 188       | 122      | 108.3                  |
|                   | 27    | 2.350        | 4.862 | 209       | 160      | 99.5                   |
|                   | 85    | 2.435        | 3.061 | 231       | 172      | 94.0                   |
| fnsp              | -40   | 2.225        | 3.366 | 221       | 111      | 130.9                  |
|                   | 27    | 2.285        | 2.297 | 249       | 100      | 121.8                  |
|                   | 85    | 2.530        | 2.540 | 267       | 117      | 116.1                  |
| Среднее значение  |       | 2.543        | 3.388 | 230       | 142      | 112                    |

Таблица 2

Сравнение с аналогами

| Параметр                     | Модель | Кристалл | [2]  | [8]  |
|------------------------------|--------|----------|------|------|
| Технология, нм               | 180    | 180      | 180  | 180  |
| Потребляемая мощность, мВт   | 112    | 93       | 79   | 230  |
| Скорость преобр., Мотсчеты/с | 300    | 125      | 125  | 100  |
| Разрядность                  | 8      | 8        | 16   | 14   |
| ENOB, бит                    | 5,3    | 5,8      | 10,4 | 11,4 |
| INL, бит                     | 2,6    | 2,2      | 0,5  | 2,1  |
| DNL, бит                     | 0,15   | 0,23     | 0,35 | 0,8  |

Микрофотография изготовленного кристалла микросхемы АЦП показана на рис. 8. Измерение характеристик микросхемы проводилось при комнатной температуре (27 °С). Согласно формулам (1)–(4) в таблице 2 приведены значения параметров для предлагаемого АЦП. Снижение быстродействия связано как с длиной проводников, соединяющих

контактные площадки цифровых выходов и выходы АЦП, так и с дополнительными буферными и защитными схемами, встроенными в цифровые компоненты электростатической защиты, а также большой входной емкостью компонентов защиты около 2 пФ. Однако применение АЦП в составе системы на кристалле совместно с другими устройствами исключает необходимость использования кольца электростатической защиты и, как следствие, устраняет задержки, вызванные кольцом защиты. Достигается дифференциальная нелинейность 0,23 бита. При этом потери в эффективной разрядности составляют около 2-3 бит, что объясняется недостаточным быстродействием шифратора. Предполагается, что интегральная нелинейность 2,2 бита будет скомпенсирована схемой коррекции. Сравнение характеристик разработанного АЦП как одной стадии для конвейерного преобразователя с конвейерными АЦП [2] и [8] показывает, что конвейер с прохождением двух стадий обработки на основе предложенного АЦП и операционного усилителя из работы [6] с потребляемой мощностью около 14 мВт обеспечит конкурентоспособное работе [2] решение (столбец «Модель», без кольца электростатической защиты) и предоставит выигрыш по потребляемой мощности и скорости преобразования относительно [8].

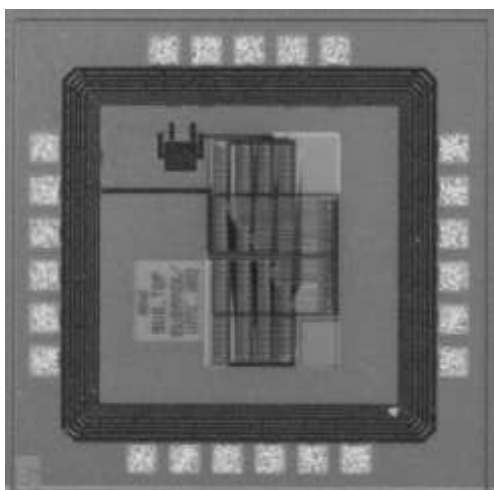


Рис. 8. Микрофотография кристалла АЦП

#### IV. ЗАКЛЮЧЕНИЕ

В работе используется подход к построению параллельного АЦП, в рамках которого для кодирования каждого разряда термометрического кода используется три компаратора и мажорирующий элемент. Это позволило уменьшить

дифференциальную нелинейность характеристики преобразования. Предложены схемные и топологические решения отдельных структурных блоков АЦП. Моделирование в САПР Cadence Virtuoso показало работоспособность предложенных решений. При построении конвейерного АЦП на основе предложенного АЦП получится конкурентоспособное решение по сравнению с известными аналогами.

#### БЛАГОДАРНОСТИ

Авторы выражают благодарность отделу интегральных устройств и систем (Integrated Circuits and Systems) Института интегральных устройств Фраунгофера (Fraunhofer Institute for Integrated Circuits), Германия за помощь в изготовлении партии тестовых кристаллов микросхем.

#### ЛИТЕРАТУРА

- [1] Агрич Ю.В., Лифшиц В.Б. Архитектура быстродействующих конвейерных АЦП, оптимизированная под современные субмикронные технологии // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010. Сб. трудов / под общ. ред. ак. РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2010. С. 497-502.
- [2] Агрич Ю.В., Лифшиц В.Б., Быстродействующий АЦП с малым энергопотреблением // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012. Сб. трудов / под общ. ред. ак. РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2012. С. 362-367.
- [3] Zjajo A., Pineda de Gyvez J. Low - Power High - Resolution Analog to Digital Converter. Design, Test and Calibration. Springer Science + Business Media B.V. 2011. 315 p.
- [4] Flynn M.P., Donovan C., Sattler L. Digital calibration incorporating redundancy of flash ADCs // IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process. May 2003. Vol. 50. № 5. P. 205–213.
- [5] Морозов Д.В., Буданов Д.О. Шифратор термометрического кода в прямой двоичной код // Научно-технические ведомости СПбГПУ Информатика. Телекоммуникации. Управление. 2013. № 1 (164). С. 87–92.
- [6] Коротков А.С., Пилипко М.М., Морозов Д.В., Хауэр Й. Дельта-сигма модулятор с частотой дискретизации 50 МГц на основе 0.18 мкм КМОП технологии // Микрoeлектроника. 2010. Т. 39. № 3. С. 230–240.
- [7] IEEE Standard 1241 for Terminology and Test Methods for Analog - to - Digital Converters. 2000.
- [8] Lee B.-G., Min B.-M., Manganaro G., Valvano J.W. A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC // IEEE Journal of solid-state circuits. December 2008. Vol. 43. № 12.