

# Оптимизация синтеза цепей распространения синхросигнала

А.О. Власов, Б.Е. Евлампиев

ФГБУН Научный исследовательский институт системных исследований РАН, Москва,  
[vlaalex@cs.niisi.ras.ru](mailto:vlaalex@cs.niisi.ras.ru), [eboris@cs.niisi.ras.ru](mailto:eboris@cs.niisi.ras.ru)

**Аннотация** — На примере проектирования нового микропроцессорного ядра СБИС семейства КОМДИВ рассмотрены подходы по оптимизации синтеза цепей распространения синхросигналов для повышения быстродействия.

**Ключевые слова** — синтез цепей синхронизации, библиотеки с разным значением порогового напряжения.

## I. ВВЕДЕНИЕ

Большое влияние на быстродействие современных СБИС оказывает качество реализации системы синхронизации. При технологических нормах 65нм вклад фактора смещения распространения синхросигнала (*skew*) в задержку критических путей составляет, в среднем, 27%, а при снижении топологических норм может достигать 50% [1]. Один из подходов к данной проблеме заключается в создании сбалансированной структуры глобального дерева синхронизации с тем, чтобы локальные цепи синхросигналов синтезировались с малым смещением [2]. Самые распространенные варианты данного решения показаны на рис. 1:

- 1) «сетка синхросигнала» (**Clock Mesh**) [3],
- 2) структура «рыбий скелет» (**Fishbone**) [4],
- 3) «Н»-образные цепи (**H-tree**) [5].

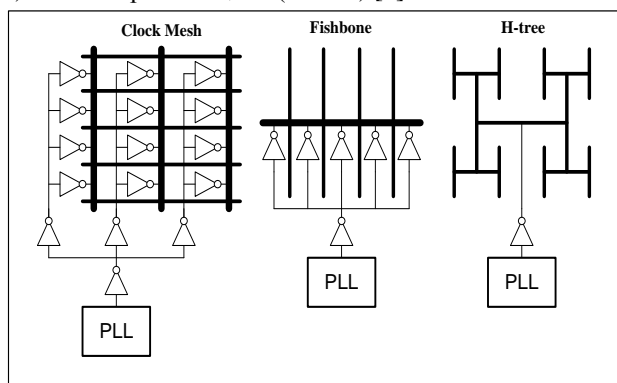


Рис. 1. Варианты структуры дерева синхронизации

В зависимости от сложности проектируемого блока микросхемы оптимальная реализация одного из данных подходов порою требует значительных дополнительных усилий и времени со стороны разработчиков:

- 1) Настройка САПР под новый маршрут проектирования.
- 2) Создание и внедрение заказных элементов цепей синхронизации.
- 3) Поддержка выбранного решения со стороны логического описания (RTL).

В то же время, ведущими производителями САПР **Synopsys** и **Cadence** предлагаются функции совместной оптимизации цепей данных и синхросигналов (**CCD** и **CCOPT**, соответственно). Данные опции, требующие значительных вычислительных ресурсов и времени, реализуют синтез цепей распространения синхросигналов и их глобальную оптимизацию. В ее процессе улучшается не только быстродействие (параметр *setup*), но также проводится контроль выполнения ограничений по минимальной задержке удержания данных на входах триггеров (*hold*). Данный параметр является одним из факторов, определяющих работоспособность СБИС. Однако использование данного функционала сопряжено с финансовыми затратами по покупке дополнительной лицензии для САПР.

В данной статье на примере проектирования по технологическим нормам 65нм нового микропроцессорного ядра СБИС семейства КОМДИВ показаны подходы, улучшающие временные характеристики синтеза цепей распространения критичного по частоте синхросигнала рабочего режима функционирования. Рассматриваются следующие аспекты оптимизации:

- 1) Использование при синтезе цепей синхронизации библиотечных элементов с разным значением параметра порогового напряжения.
- 2) Применение иерархического синтеза цепей распространения синхросигнала.
- 3) Совместное применение данных методик.

Данные методы требуют лишь внесения правок в используемый маршрут без дополнительных затрат со стороны разработчиков. Стоит отметить, что проектирование топологии проводилось в САПР Encounter (**Cadence**), в доступной версии которого отсутствовал функционал **CCOPT**. В связи с этим, описываемые в данной статье методы оптимизации стоит рассматривать не в ключе конкуренции с коммерческими решениями, а как улучшение стандартного маршрута построения цепей синхронизации. Рассматриваемые методы

разрабатывались непосредственно во время процесса проектирования топологии проекта с целью увеличения быстродействия без значительного влияния на остальные параметры микросхемы.

## II. ИСПОЛЬЗОВАНИЕ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ С РАЗНЫМ ЗНАЧЕНИЕМ ПАРАМЕТРА ПОРОГОВОГО НАПРЯЖЕНИЯ В СИНТЕЗЕ ЦЕПЕЙ СИНХРОНИЗАЦИИ

Современные библиотеки стандартных ячеек предлагают элементы, реализованные на транзисторах с разным значением порогового напряжения, например, высоким (*HVT*), стандартным (*RVT*) и низким (*LVT*). Относительно базовых *RVT* элементов, *LVT* ячейки имеют высокое быстродействие, *HVT* – низкие значения токов утечек. Наиболее эффективным подходом при проектировании *СБИС* является совместное использование *LVT* и *HVT* ячеек, позволяющее получать лучшие значения токов утечек и быстродействия проекта, чем при реализации на *RVT* библиотеке [6].

Влияние использования библиотечных элементов с разным значением параметра порогового напряжения в синтезе цепей синхронизации не так очевидно. Цепи синхросигналов, построенные из *LVT* ячеек, будут быстрее аналогичных из *HVT* элементов. Однако быстродействие цепей зависит не напрямую от быстродействия цепей синхронизации, а от сдвига синхросигнала (*skew*). Данный фактор также влияет на определяющий работоспособность *СБИС* параметр — *удержание данных на входе триггера (hold)*. Одно и то же значение *skew* может одновременно улучшать быстродействие, но серьезно ухудшать *hold*.

При синтезе системы синхронизации микропроцессорного ядра *СБИС* семейства КОМДИВ использовались два функционально идентичных комплекта ячеек: *HVT* и *LVT*. Процесс проектирования проводился в САПР *Encounter* фирмы *Cadence* с использованием одного и того же маршрута [7]. Данные в табл. 1 отражают изменение параметров блока при переходе синтеза цепей синхронизации с *HVT* ячеек на *LVT* в разных условиях функционирования.

Таблица 1

*Изменение параметров LVT от HVT варианта системы синхронизации*

Условия функционирования	HVT => LVT, %		
	Skew	Период	Запас по Hold
slow	-28%	-10%	-19%
typical	-32%	-16%	-53%
fast	-20%	-9%	-51%

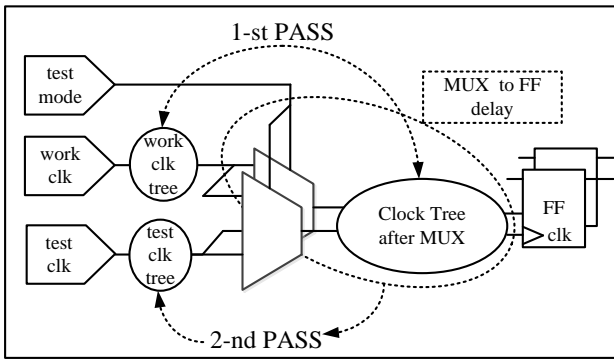
Из полученных результатов следует, что использование *LVT* ячеек в цепях синхронизации, увеличивая быстродействие блока за счет снижения параметра *skew*, уменьшает запас по *hold*. Для исправления ошибок по *hold* используются дополнительные элементы задержки, что может приводить к ухудшению параметров проекта. В

плотном по размещению проекте данный фактор ухудшает трассируемость и может способствовать снижению быстродействия. Однако, если уменьшение запаса по параметру *hold* находится в приемлемом диапазоне, то данный подход позволит увеличить быстродействие. Стоит также отметить, что для некритичных низкочастотных синхросигналов синтез системы синхронизации стоит делать только на *HVT* вентилях, чтобы получить максимально возможный запас по параметру *hold*.

Резюмируя описанное выше, можно утверждать, что эффективное совместное использование *HVT* и *LVT* элементов при синтезе цепей распространения синхросигнала улучшает временные параметры *СБИС* с минимальными затратами в рамках стандартного маршрута. Единственное условие продуктивного применения данного метода – аккуратный анализ возможного компромисса между ресурсами по параметру *hold* и желаемым увеличением частоты для каждого синхросигнала.

## III. ПРИМЕНЕНИЕ ИЕРАРХИЧЕСКОГО СИНТЕЗА ЦЕПЕЙ РАСПРОСТРАНЕНИЯ СИНХРОСИГНАЛА

В основе иерархического подхода к синтезу цепей синхронизации лежит метод поэтапного построения «деревьев» синхронизации для рабочего и тестового синхросигнала в блоке. В режиме сканирования микросхемы все триггеры должны управляться тестовым синхросигналом, подменяющим таким образом все рабочие тактовые сигналы. Для реализации такого переключения обычно используются мультиплексоры 2-в-1, управляемые сигналом включения тестового режима. Данный элемент встраивается в цепь распространения рабочего синхросигнала. При одновременном синтезе цепей синхронизации рабочего и тестовых синхросигналов вероятна ситуация, когда алгоритмы работы САПР, пытаясь достичь требуемых условий обоих синхросигналов, синтезируют «деревья» с неудовлетворительными временными параметрами. Например, получается низкое быстродействие в рабочем режиме и/или значительные нарушения параметра *hold* в тестовом. Как уже упоминалось выше, исправление нарушений по параметру *hold* требует вставки дополнительных ячеек, что, в конечном счете, может сильно повлиять на параметры всего проекта. Для решения данной проблемы используется поэтапный синтез, показанный на рис. 2: сначала строится рабочий, а после этого, с учетом получившихся задержек от мультиплексора переключения до триггеров потребителей, тестовый синхросигнал.

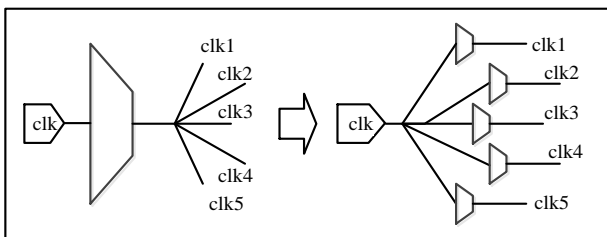


**Рис. 2. Схема переключения и этапов построения цепей распространения рабочего и тестового синхросигналов**

Используя идею сбалансированных глобальных «деревьев» синхронизации, описанных в начале данной статьи, и подход поэтапного синтеза был разработан метод *иерархического синтеза цепей распространения синхросигналов*. Пример ее реализации будет продемонстрирован далее в контексте синтеза системы синхронизации в рассматриваемом микропроцессорном ядре.

В маршруте проектирования использовалась программа САПР *Encounter (Cadence)* без функционала *ССОРТ* и заказных блоков системы глобальной синхронизации. Суть подхода заключается в поэтапном синтезе цепей синхронизации сначала в блоках ядра, а затем, с учетом полученных результатов построения сбалансированного "дерева" синхронизации верхнего уровня. После этого проектирование продолжалось в рамках отработанного маршрута.

Для осуществления иерархического синтеза для начала необходимо создать точки входа в каждый блок ядра. Для этого были выбраны мультиплексоры замены рабочего на тестовый синхросигнал в режиме технологического тестирования методом сканирования. Изначально такой мультиплексор был только один, на входе рабочего синхросигнала в ядро. Для осуществления данного метода он был размножен для каждого блока, как изображено на рис. 3.



**Рис. 3. Схема создания точек входа синхросигнала в блоки**

Выходной контакт данных элементов является источником для локальных систем синхронизации внутри каждого блока. От входного контакта сценарием команд САПР рассчитывается задержка цепей синхронизации внутри каждого блока. Эти данные учитываются при построении

сбалансированной структуры глобальной системы синхронизации всего ядра.

Финальные результаты вариантов проектирования представлены в табл. 2. Значения параметров нормированы на соответствующие величины в типичных условиях стандартного маршрута. Результаты доказывают эффективность данного метода для увеличения рабочей частоты функционирования.

Таблица 2

*Результаты применения стандартного и иерархического маршрута*

Парам.	Усл. функц.	Синтез цепей синхронизации	
		Стандартный	Иерархический
Skew	slow	1,46	0,58
	typical	1,00	0,16
	fast	1,15	0,22
Частота	slow	0,58	0,70
	typical	1,00	1,20
	fast	1,18	1,36

Применение *иерархического синтеза цепей распространения синхросигнала* позволило увеличить на 20% быстродействие при типичных условиях рассматриваемого микропроцессорного ядра. Данный метод позволяет использовать стандартную оптимизацию, не привлекая функционал *ССОРТ*. Кроме того, за счет дополнительного анализа он легко может быть расширен в сторону увеличения уровней иерархии для улучшения результатов вследствие более узкой локализации цепей синхронизации.

#### IV. СОВМЕСТНОЕ ПРИМЕНЕНИЕ МЕТОДИК

Учитывая вышесказанное, резонно ожидать, что совместное применение описанных методик при синтезе цепей синхронизации будет целесообразным. Для сравнения и анализа рассматриваются четыре варианта реализации блока микропроцессорного ядра:

- 1) **Стандартный Маршрут, HVT** элементы (СМ).
- 2) **Стандартный Маршрут, LVT** элементы.
- 3) **Иерархический Маршрут, HVT** элементы (ИМ).
- 4) **Иерархический Маршрут, LVT** элементы.

В качестве входных данных для всех случаев использовался проект рассматриваемого микропроцессорного ядра, оптимизированный до стадии готовности к построению "дерева" синхронизации. После синтеза цепей синхронизации по одному и тому же сценарию последовательности команд САПР проводилась оптимизация и трассировка межсоединений всех рассматриваемых вариантов. Результаты, представленные в табл. 3, нормированы на значения соответствующих параметров первого варианта – стандартный маршрут синтеза "дерева" синхронизации на базе *HVT* элементов.

Таблица 3

Результаты реализации микропроцессорного ядра по разным маршрутам синтеза системы синхронизации

Парам.	Усл. функц.	СМ, LVT	ИМ, HVT	ИМ, LVT
Частота	slow	1,10	1,21	1,29
	typical	1,16	1,20	1,31
	fast	1,09	1,15	1,25
Запас по <i>hold</i>	slow	0,81	1,62	1,12
	typical	0,47	1,53	0,72
	fast	0,49	1,40	0,68
DRC нарушения	СМ HVT 54	36	30	20

Анализируя результаты можно отметить, что применение иерархического маршрута увеличивает не только быстродействие микропроцессорного ядра, но и запас по *hold*, в то время как синтез системы синхронизации на *LVT* элементах повышая частоту блока, снижает его надежность. Совместное применение двух этих методов приводит к дополнительному росту рабочей частоты функционирования и частично нивелирует отрицательные последствия использования применения *LVT* ячеек при синтезе цепей распространения синхросигнала.

Стоит также обратить внимание на параметр "DRC нарушения", характеризующий качество трассировки межсоединений. При его уменьшении снижается объем усилий, требуемый разработчику для их устранения. Кроме того, при его уменьшении появляются дополнительные ресурсы для улучшений, в том числе и по увеличению запаса по параметру *hold* в критичных местах. При иерархическом маршруте цепи распространения синхросигналов более структурированы, чем при стандартном синтезе, а использование *LVT* ячеек сокращает их длину. Оба эти фактора приводят к улучшению трассируемости межсоединений.

#### V. ЗАКЛЮЧЕНИЕ

В данной статье были рассмотрены подходы к оптимизации синтеза цепей распространения синхросигналов. Описанные методы показали свою эффективность по увеличению быстродействия. Стоит при этом отметить, что обратная сторона применения данной оптимизации – снижение запаса по параметру *hold* – делает применение в полном объеме данной методики рекомендуемым только для критичных по

частоте синхросигналов. Однако, учитывая общее улучшение трассируемости межсоединений, в определенных случаях проблема снижения запаса по *hold* может быть легко исправлена разработчиками в дальнейшем. Для "медленных" синхросигналов, в любом случае, может быть рекомендован иерархический синтез цепей распространения синхросигналов с использованием *HVT* элементов. Таким образом, было также рассмотрено влияние описанных методов на работоспособность микросхемы.

Сравнивая с решениями, описанными во введении, можно отметить важное достоинство представленного подхода: обеспечивая заметный результат – минимум 25% увеличения быстродействия во всем диапазоне условий функционирования, – он реализуется командами САПР в рамках существующего маршрута и не требует каких-либо дополнительных усилий со стороны разработчиков. Весь процесс оптимизации проходит без привлечения ресурсов заказного проектирования, изменения логического описания микросхемы и использования функционала САПР, требующего приобретения дополнительных лицензий.

#### ЛИТЕРАТУРА

- [1] Paul Cunningham and Steev Wilcox Clock-Concurrent Optimization // Cadence Design Systems, Inc. January 2012.
- [2] Кириченко П.Г., Тарасов И.В. Методика построения дерева трассировки синхросигналов для системы на кристалле, работающей на частотах от 1 ГГц // Электроника, микро- и нанoeлектроника. Сб. научн. трудов / Под ред. В.Я. Стенина. М.: МИФИ, 2011. С. 180-185.
- [3] N. Kurd et al. A Multigigahertz clocking scheme for the Pentium 4 microprocessor // IEEE Journal of Solid State Circuits. 2001. Vol. 36. № 11. P. 1647-1652.
- [4] P. J. Restle et al. A Clock Distribution Network for Microprocessors // IEEE Journal of Solid State Circuits. 2001. Vol. 36. № 5. P. 792-797.
- [5] Stefan Rusu et al. A 45 nm 8-Core Enterprise Xeon Processor // IEEE Journal of Solid State Circuits. 2010. Vol. 45. № 1. P. 7-14.
- [6] Власов А.О. Оптимизация мощности токов утечки без изменения логического описания микросхемы // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем-2012». Сб. тр. / под ред. ак. РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2012. С. 471-474.
- [7] Encounter Digital Implementation System User Guide. Product Version 9.1.3. Copyright 2010. Cadence Design Systems, Inc.