

Сбоеустойчивость двухфазных 28 нм КМОП инверторов к одиночным эффектам воздействия ядерных частиц

Ю.В. Катунин^{1,2}, В.Я. Стенин^{1,2}

¹НИИ системных исследований РАН

²Национальный исследовательский ядерный университет “МИФИ”, yu.v.katunin@gmail.com; vystenin@mephi.ru

Аннотация — Использование КМОП двухфазной логики в 28 нм КМОП СБИС, устойчивых к воздействию отдельных ядерных частиц, зависит от возможностей топологическими методами минимизировать эффекты воздействия частиц. Влияние емкостной связи дифференциальных входов (выходов) на значения критических зарядов можно оценить по пороговым критическим характеристикам двухфазных КМОП инверторов. Кратное воздействие на чувствительные узлы двухфазных инверторов можно частично компенсировать, используя взаимное топологическое расположение транзисторов внутри каждого канала двухфазных элементов.

Ключевые слова — двухфазный инвертор, ядерная частица, моделирование, критический заряд, топология.

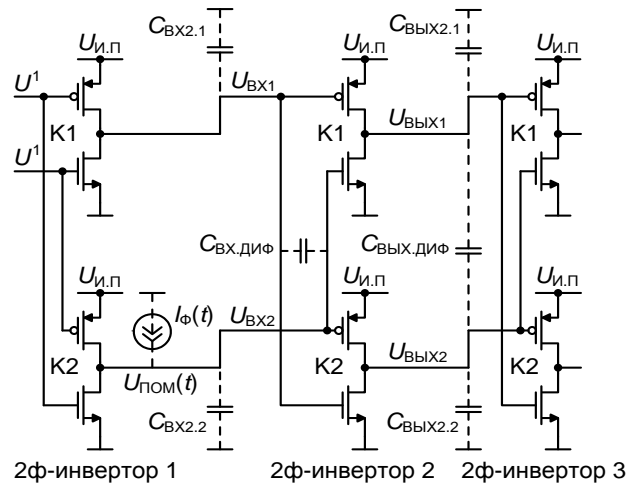
I. ВВЕДЕНИЕ

К двухфазной логике относятся КМОП элементы [1], [2], состоящие из двух каналов, взаимодействующих между собой так, что синфазные составляющие сигналов на входах воспринимаются как информационные, а дифференциальные — как помехи и их распространение блокируется. Воздействия отдельных ядерных частиц приводят к возникновению импульсов помех [3], которые вызывают временные изменения их логического состояния (single event transients – SET). Разнесение транзисторов двух фаз обязательно для того, чтобы снизить влияние эффекта разделения заряда (charge sharing) при воздействии одиночных ядерных частиц. При норме 28 нм существенным становится кратное воздействие частицы на смежные транзисторы из одного канала, что характерно для любых КМОП логических элементов [4]. Цель работы — анализ ограничений двухфазной КМОП логики при изготовлении по проектной норме 28 нм.

II. КРИТИЧЕСКИЕ И ПОРОГОВЫЕ ХАРАКТЕРИСТИКИ ДВУХФАЗНЫХ КМОП ИНВЕРТОРОВ ПРИ ВОЗДЕЙСТВИИ ИМПУЛЬСА ТОКА НА ОДИН ИЗ КОНВЕРТОРОВ

На рис. 1 приведена схема цепочки двухфазных КМОП инверторов (2-ф инверторов), состоящих из симметричных фазовых частей — конверторов K1 и K2. Воздействие отдельной ядерной частицы на конвертор

K2 первого двухфазного КМОП инвертора имитируется инжекцией импульса тока $I_{\Phi}(t)$. Импульс тока $I_{\Phi}(t)$ образуется за счет выноса заряда, возникающего при сборе индуцированного заряда неравновесных неосновных носителей обратно смещенным *pn* переходом транзистора конвертора K2 первого 2-ф инвертора. Емкостные связи шин [5], соединяющих выводы конверторов K1 и K2, отражены емкостями $C_{ВХ,диф}$ и $C_{ВЫХ,диф}$.



2ф-инвертор 1 2ф-инвертор 2 2ф-инвертор 3

Рис. 1. Каскадное включение трех двухфазных КМОП инверторов

Импульс тока $I_{\Phi}(t)$ сопровождается появлением импульса помехи $U_{ПОМ}(t)$ на входе 2 второго 2-ф инвертора (см. рис. 1). Амплитуда импульса помехи ограничена [3] диапазоном напряжения питания $U_{И.П.}$. На момент перезарядки емкости $C_{ВХ}$ до $U_{С.ВХ} = U_{И.П.}$ напряжение на *pn* переходе сток-подложка закрытого транзистора снижается до нуля и импульс тока $I_{\Phi}(t)$, ограничивается током стока насыщения открытого МОП транзистора.

При достаточной амплитуде импульса помехи $U_{ПОМ}(t)$ переключается конвертор K1 во втором 2-ф инверторе. Дальнейшее, причем ограниченное лишь еще одним 2ф-инвертором, распространение помехи в цепочке инверторов может произойти только, если есть значительная емкостная связь между выходами 1 и 2 второго 2-ф инвертора (см. рис. 1) и

соответственно входами следующего за ним третьего двухфазного инвертора.

На рис. 2 приведены графики критических зарядов $Q_{кр}(C_{диф})$ переключения второго 2-ф инвертора в зависимости от значений емкости $C_{диф}$ между выводами: $C_{диф} = C_{вых,диф} = C_{вх,диф}$.

На рис. 2 приведены и пороговые критические характеристики $Q_{кр,пор}(C_{диф,пор})$ для исходных логических состояний "0" и "1" второго 2-ф инвертора при воздействиях импульсов тока с "плато" [4] с постоянными времени $\tau_n = 2.5$ пс, $\tau_{сп} = 5.0$ пс. Пороговая критическая характеристика $Q_{кр,пор}(C_{диф,пор})$ соединяет в одну линию точки "излома" критических характеристик $Q_{кр}(C_{диф}, m)$ набора двухфазных инверторов с масштабными

коэффициентами от $m = 1$ до $m = 6$ группы с нормой 28 нм и отдельно от $m = 1$ до $m = 4$ группы с нормой 65 нм.

Эти характеристики точек "излома" $Q_{кр,пор}(C_{диф,пор})$ говорят о том, что при заданном m для значений емкости $C_{диф}(m)$ меньше порогового $C_{диф}(m) < C_{диф,пор}(m)$ логическое состояние на выходе 2ф-инвертора не меняется при любых значениях собранного заряда $Q_{сб}$ относительно критического значения. Графики $Q_{кр}(C_{диф})$ получены моделированием в Cadence Spectre Circuit Simulator элементов, спроектированных для изготовления по коммерческой объемной КМОП технологии TSMC 28 нм и 65 нм [5], температура $+25^\circ\text{C}$.

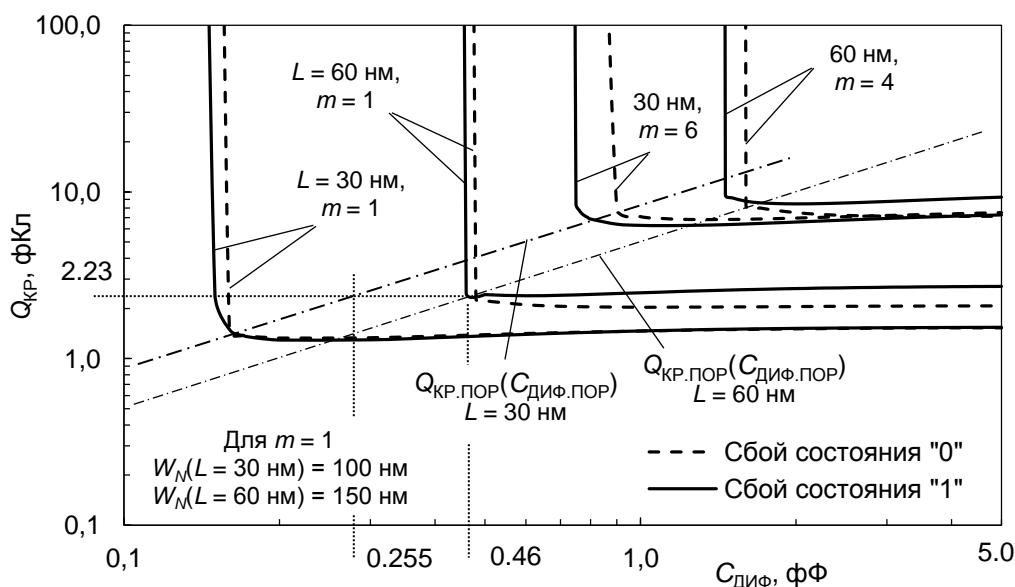


Рис. 2. Зависимости критических зарядов $Q_{кр}(C_{диф})$ и пороговые характеристики $Q_{кр,пор}(C_{диф,пор})$ каскада двухфазных инверторов по нормам КМОП 65 и 28 нм при воздействии импульсов тока 2.5 пс/5.0 пс; $W_p/W_n = 1.2$; m – коэффициент масштабирования ширины каналов транзисторов; $C_{диф} = C_{вых,диф} = C_{вх,диф}$

Область на рис. 2 со значениями собранных зарядов больше критических пороговых $Q_{сб} > Q_{кр,пор}$ и значений емкостей больше пороговых $C_{диф} > C_{диф,пор}$ – это область переходных характеристик (SET) двухфазного инвертора с временным изменением его исходного логического состояния на одном из его выходов. В этой области – чем больше собранный заряд $Q_{сб}$, тем дольше в инверсном логическом состоянии будет находиться двухфазный инвертор.

Пороговые характеристики $Q_{кр,пор}(C_{диф,пор})$ можно аппроксимировать линейными зависимостями

$$Q_{кр,пор} = k_{кр,пор}(\tau_n, \tau_{сп}) \times C_{диф,пор},$$

где $k_{кр,пор}(\tau_n, \tau_{сп})$ – коэффициент критической пороговой характеристики. Пороговые коэффициенты $k_{кр,пор}$ имеют размерность напряжения (Вольт). Коэффициенты $k_{кр,пор}$ для обоих состояний инвертора

"0" и "1" для 28 нм КМОП и длин каналов 30 нм имеют значения $k_{кр,пор,28нм} \approx 9$ В, а для 65 нм КМОП и длин каналов 60 нм $k_{кр,пор,65} \approx 5$ В.

Пороговая критическая характеристика позволяет оценить значения критических зарядов двухфазных инверторов с разными размерами транзисторов (масштабными коэффициентами) для разных проектных норм. Одинаковым значениям критического заряда для двухфазных инверторов с проектными нормами 28 нм и 65 нм, например, $Q_{кр,пор,28нм}(m = 1.7) = Q_{кр,пор,65нм}(m = 1) = 2.23$ фКл (см. выноски на рис. 2) соответствует связь значений емкостей дифференциальной связи выходов пропорционально коэффициентам $k_{кр,пор}$, а именно $C_{диф,28нм}(m = 1.7, L = 30 \text{ нм}) = (k_{кр,пор,65нм}/k_{кр,пор,28нм}) \times C_{диф,65нм}(m = 1, L = 60 \text{ нм})$. В данном примере это емкости $C_{диф,28нм}(m = 1.7, L = 30 \text{ нм}) = 0.255$ фФ и $C_{диф,65нм}(m = 1, L = 60 \text{ нм}) = 0.46$ фФ (см. рис. 2).

Емкости $C_{\text{диф.28нм}} = 0.255$ фФ для нормы 28 нм соответствует масштабный коэффициент $m = 1.7$. Значения пороговых емкостей $C_{\text{диф.пор}}/C_{\text{вых}}$ находятся в пределах $C_{\text{диф.пор}}/C_{\text{вых}} = 0.3-0.6$.

III. КОМПЕНСАЦИЯ ВОЗДЕЙСТВИЯ ЧАСТИЦЫ

Использование традиционных топологических решений ячеек DICE при снижении проектных норм КМОП СБИС до 28 нм сопровождается увеличением вклада разделения заряда (charge sharing) между конвертерами цепочки двухфазных инверторов, что приводит к одновременному воздействию частицы на несколько смежных транзисторов (как минимум на два). Для минимизации эффекта кратного воздействия перспективен топологический метод компенсации действия заряда соответствующим выбором смежно расположенных транзисторов МОП логического элемента, на которые совместно действует заряд (SET pulse quenching) [6].

Для компенсации необходимо такое размещение транзисторов на кристалле, чтобы парное воздействие зарядами способствовало сохранению выходных сигналов двухфазного инвертора. При каскадном включении двухфазных инверторов с перекрестными связями входов конвертеров эффект компенсации при топологическом размещении рядом транзисторов двух разных конвертеров оказывается только на один из конвертеров, причем при воздействии помехи на другой вход меняется и конвертор, на выходе которого происходит компенсация влияния помехи.

Вариантом схемы с компенсацией является схема модифицированного двухфазного инвертора с каскадным подключением на его выходы компенсирующих однофазных инверторов (см. рис. 3).

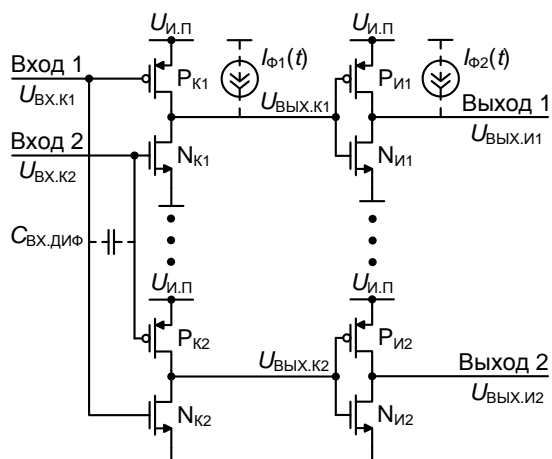


Рис. 3. Схема модифицированного двухфазного инвертора с однофазными инверторами на выходах

Этому варианту компенсации соответствует топология двухфазного инвертора с подключением на его выходах компенсирующих однофазных инверторов, приведенная на рис. 4. На рис. 4 $D_{P,K-K}$ - расстояние между PМОП транзисторами одного двухфазного инвертора, $D_{N,K-I} = D_{P,K-I}$ - расстояние между NМОП транзисторами конвертера и смежного

с ним однофазного инвертора, а также между аналогичными PМОП транзисторами.

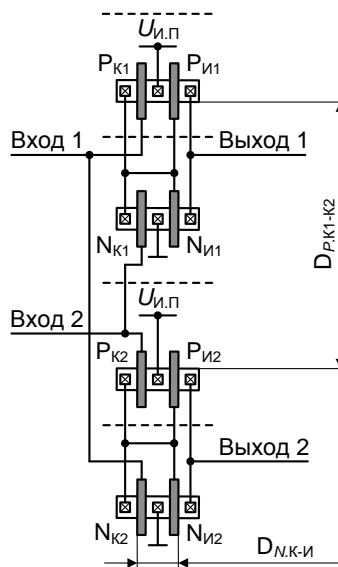


Рис. 4. Эскиз топологии модифицированного двухфазного инвертора с компенсирующими однофазными инверторами на его выходах

На рис. 5 приведены результаты моделирования импульсной реакции на обоих выходах двухфазного инвертора при воздействии на запертый транзистор одного (первого) конвертера. Зависимости получены для инверторов по проектной норме КМОП 28 нм с размерами транзисторов $W_N = 100$ нм и $W_P = 120$ нм. Эффект воздействия частицы имитируется генератором импульса тока $I_{Ф1}(t)$ (см. рис. 3), образованного выводом заряда из объема полупроводника обратным смещенным pn переходом PМОП транзистора $P_{К1}$. Интегральная величина перенесенного импульсом тока заряда 25 фКл.

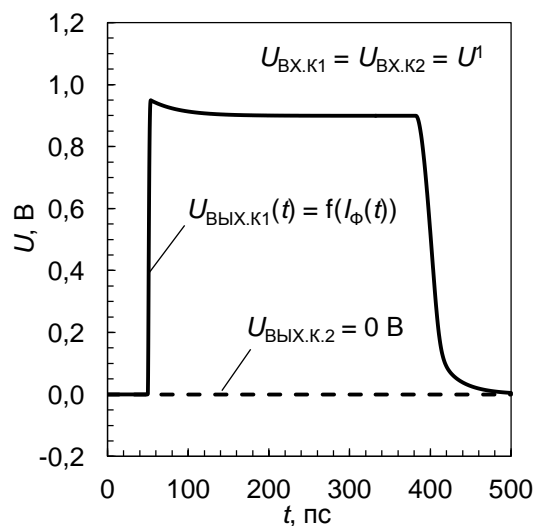


Рис. 5. Временные зависимости напряжений на выходах двухфазного инвертора при воздействии зарядом 25 фКл

На рис. 6 приведен пример моделирования компенсирующего влияния разделения заряда между

стоковыми областями транзистора конвертора одной из фаз двухфазного инвертора и смежного с ним транзистора однофазного инвертора, выполненных в одном общем кармане полупроводниковой структуры.

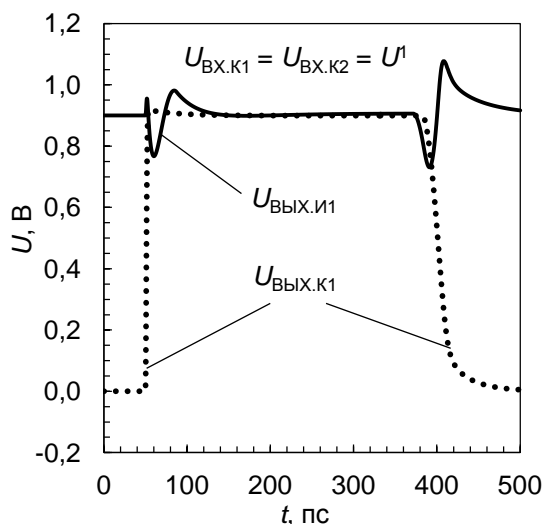


Рис. 6. Временные зависимости напряжений на выходе двухфазного и смежного с ним однофазного инверторов при компенсации двойным воздействием частицы

Результатом компенсации (см. рис. 6) является сохранение выходного уровня $U_{\text{ВЫХ.И1}} = U^1$ на выходе 1 инвертора (см. рис. 3) при изменении выходного уровня конвертора $U_{\text{ВЫХ.К1}}$ с U^0 на U^1 . Эффект компенсации связан с диффузией части заряда от стоковой области транзистора $P_{К1}$ к стоковой области транзистора $P_{И1}$, что при моделировании отражено импульсом тока $I_{\Phi 2}(t)$ (см. рис. 3), образованного зарядом, диффундирующего к стоку транзистора $P_{И1}$.

Временные параметры компенсирующего импульса тока $I_{\Phi 2}(t)$ определяются постоянной времени диффузии неравновесных носителей между двумя областями, собирающими заряд, $\tau_D = 4r^2/(\pi^2 D_{n,p})$, где $D_{n,p}$ - коэффициент амбиполярной диффузии заряда; $r = D_{P,K-I}$ - расстояние от стоковой области транзистора $P_{К1}$ до области pn перехода сток-подложка смежного транзистора $P_{И1}$.

Без переноса заряда, образованного воздействием одиночной ядерной частицей, к стоковой области транзистора $P_{И1}$ напряжение на выходе 1 инвертора $U_{\text{ВЫХ.И1}}$ должно было бы измениться противофазно с импульсом напряжения на его входе, то есть выходе конвертора, до уровня $U_{\text{ВЫХ.И1}} = U^0$, но воздействие импульса тока $I_{\Phi 2}(t)$ во время переключения однофазного инвертора сохраняет на выходе 1 исходный до воздействия уровень логической единицы U^1 .

Эффект компенсации зависит от расстояния между стоковыми областями смежных транзисторов конверторов и инверторов, влияющего на постоянную времени τ_D процесса диффузии заряда. Пример на

рис. 6 дан для расстояния между смежными транзисторами $D_{N,K-I} = D_{P,K-I} = 260$ нм.

IV. ЗАКЛЮЧЕНИЕ

Основная проблема использования двухфазной комбинационной КМОП логики - необходимость топологического разнесения дифференциальных частей (конверторов) каждого из таких элементов. Воздействие одиночной частицы только на один конвертор цепочки двухфазных инверторов вызывает переключение логического состояния только одного из двух конверторов инвертора, если "конструктивная" дифференциальная емкость между выходами двухфазного инвертора не превышает порогового значения.

Пороговая критическая характеристика позволяет оценить выигрыш и ограничения двухфазной логики. Критические заряды двухфазных элементов по проектным нормам 28 и 65 нм в случае воздействия частицы только на один из дифференциальных узлов превышают (как минимум в 20 раз) критические заряды традиционной КМОП логики.

Воздействие частицы на транзисторы двухфазного инвертора может быть частично компенсировано использованием эффекта разделения заряда между транзисторами двухфазной части схемы и однофазными инверторами на их выходах.

ЛИТЕРАТУРА

- [1] Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
- [2] Ольчев С.И., Стенин В.Я. Двухфазные КМОП логические элементы с повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц // Микроэлектроника. 2011. Т. 40. № 3. С. 170–183.
- [3] Dodd P.E., Massengill L.W. Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics // IEEE Transactions on Nuclear Science. 2003. V. 50. № 3. P. 583–602.
- [4] Ferlet-Cavrois V., Paillet P., Gaillardin M., Lambert D., Baggio J., Schwank R., Vizkelethy G., Shaneyfelt M.R., Hirose K., Blackmore E.W., Faynot O., Jahan C., Tosti L. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation – implications for digital SETs // IEEE Transactions on Nuclear Science. 2006. V. 53. № 6. P. 3242–3252.
- [5] Катунин Ю.В., Стенин В.Я. Моделирование эффектов локальных воздействий ядерных частиц на КМОП элементы двухфазной логики с проектными нормами 65 нм // Микроэлектроника. 2012. Т. 41. № 4. С. 262–274.
- [6] Ahlbin J.R., Massengill L.W., Bhuvu B.L., Narasimham B., Gadlage M.J., Eaton P.H. Single-event transient pulse quenching in advanced CMOS logic circuits // IEEE Transactions on Nuclear Science. 2009. V. 56. № 6. P. 3050–3056.