

Минимизация числа нежелательных топологий при проектировании стандартных ячеек

Н.В. Рыженко, А.А. Сорокин, М.С. Талалай, С.А. Быков

ЗАО «Интел А/О», nikolai.v.ryzhenko@intel.com

Аннотация — С переходом на нанометровые технологии производства становится актуальным новый класс геометрических правил. Каждое такое правило описывает конфигурацию топологии, присутствие которой в маске допустимо, но нежелательно для оптической литографии. Минимизация числа нежелательных топологий увеличивает выход годных полупроводников интегральных устройств. В данной работе представлен алгоритм минимизации нежелательных топологий при проектировании стандартных ячеек. Ключевыми компонентами алгоритма являются: составление правил с помощью булевых выражений состояний дискретных объектов топологии и использование задачи булевой выполнимости для поиска допустимого решения с заданными ограничениями. Экспериментальные результаты показывают применимость предложенного подхода для широкого класса геометрических правил и типов стандартных ячеек.

Ключевые слова — трассировка, стандартные ячейки, библиотека элементов, булева выполнимость, оптическая литография.

I. ВВЕДЕНИЕ

Наиболее распространенным и наиболее экономически эффективным способом изготовления полупроводниковых интегральных схем является относительно дешевая, оптимизированная в ходе многолетней эксплуатации технология оптической литографии с использованием когерентного источника света с длиной волны 193 нм.

Известно, что оптическая литография приемлема для изготовления топологических элементов размером до половины длины волны источника света. Долгое время технология оптической коррекции (*Optical Proximity Correction*) позволяла изготавливать элементы меньших размеров. Однако на сегодня возможности оптической коррекции практически полностью исчерпаны. Для изготовления современных интегральных схем на технологиях 22 нм и меньше используется технология двойного нанесения рисунка (*Double Patterning*) [1]. Данная методика требует двукратного нанесения и экспонирования материалов на подложку – на первом этапе осуществляется экспонирование половины линий, травление и осуществление дальнейших этапов технологического процесса. Затем на пластину наносится дополнительный слой фоторезистивного материала, и

другая половина рисунка экспонируется в промежутки между первым набором линий. Этот подход достаточно дорог и медлителен, но с технической стороны он сравнительно легок, хотя требует повышенной точности совмещения порядка 2 нм.

Исключительные технические проблемы нанометровой оптической литографии накладывают многочисленные геометрические правила (*Design Rules*) на построение топологии. Нарушение данных правил недопустимо. Однако реальность такова, что даже выполнение всех этих правил не гарантирует изготовление работоспособной интегральной схемы. Разнообразные физические флуктуации приводят к тому, что реальные ширины металлических проводников варьируются в определенном диапазоне. Чем больше разница между длиной волны лазера и размерами объекта, тем выше роль подобных вариаций. В чрезвычайно редких случаях может произойти или обрыв проводника, или же электрическое замыкание двух проводников. Аналогичные вариации характерны не только для металлических проводников, но и для остальных объектов топологии: диффузии, поликремния, контактов, межслойных переходов.

Ужесточение геометрических правил в сторону увеличения критических расстояний, ширин и взаимных перекрытий не всегда экономически обосновано, поскольку это приводит к росту площади интегральной схемы и, соответственно, к уменьшению числа чипов, изготавливаемых одновременно на одной кремневой пластине. С переходом на нанометровые технологии производства становится актуальным новый класс геометрических правил. Каждое такое правило описывает некую конфигурацию топологии, присутствие которой в маске допустимо, но нежелательно. Минимизация числа нежелательных топологий увеличивает выход годных устройств [2].

Важно отметить, что полупроводниковая индустрия движется в сторону регулярности топологии [3], что обусловлено исключительными техническими проблемами нанометровой оптической литографии. Регулярность и дискретность топологии позволяют использовать постановку задачи булевой выполнимости (*Boolean Satisfiability*, *общепринятое международное сокращение – SAT*) для построения полной и корректной трассировки транзисторов на уровне стандартных ячеек [4].

В данной работе представлено расширение подхода [4]. Ключевым дополнением является минимизация нежелательных вариантов топологии. Оптимизация выполняется непосредственно в процессе этапа трассировки. Итерационный подход использует SAT для поиска допустимого решения с заданными ограничениями. Описание геометрических правил в виде булевых выражений состояния дискретных объектов топологии [5] позволяет реализовать широкий спектр геометрических правил и ограничений.

Содержание работы следующее. В главе 2 мы рассказываем о влиянии топологического окружения на появление нежелательных топологий различной критичности. В главе 3 описано представление правил в виде булевых функций. Задача трассировки сформулирована в главе 4. В главе 5 описан маршрут минимизации числа нежелательных топологий. Результаты представлены в главе 6.

II. НЕЖЕЛАТЕЛЬНЫЕ ТОПОЛОГИИ

Реальная форма объекта топологии в интегральной схеме далека от той прямоугольной формы, которую разработчик видит в графическом редакторе. Локальные деформации (вариации) того или иного объекта существенно зависят от топологического окружения. На рис. 1 схематично показана возможная форма горизонтального металлического проводника и контактирующего с ним межслойного перехода; в локальной области вокруг данных объектов других топологий нет. Формы и проводника, и межслойного перехода отличаются от заданных идеальных прямоугольных форм, но критических деформаций нет.

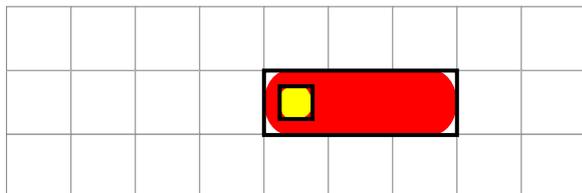


Рис. 1. Возможный реальный вид проводника

На рис. 2 схематично показана возможная форма двух пар аналогичных объектов, расположенных рядом друг с другом на минимальном возможном разрешенном расстоянии L_0 . Мы видим, что в данном случае оба проводника в области межслойных переходов деформированы от заданных границ в направлении друг друга, так что реальное расстояние между ближайшими точками $L_1 < L_0$. Минимально допустимое расстояние между двумя параллельными проводниками L_0 выбирается таким образом, чтобы ни при каких возможных комбинациях топологических объектов вариация ширины проводника не приводила к перекрытию с соседними объектами.

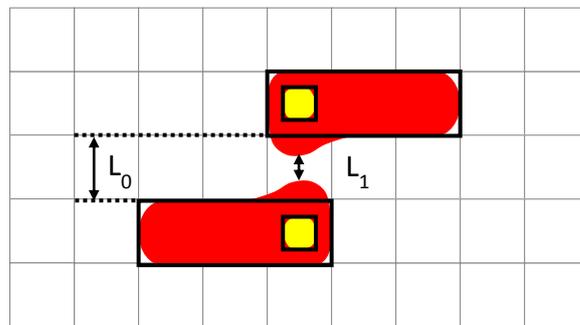


Рис. 2. Возможный вид двух проводников

Однако же различные физические флуктуации, а, вернее, наложение сразу нескольких обстоятельств может привести к критическому расширению и замыканию проводников (рис. 3). Одного такого нарушения может быть достаточно, чтобы схема из многих миллионов транзисторов оказалась неработоспособной.

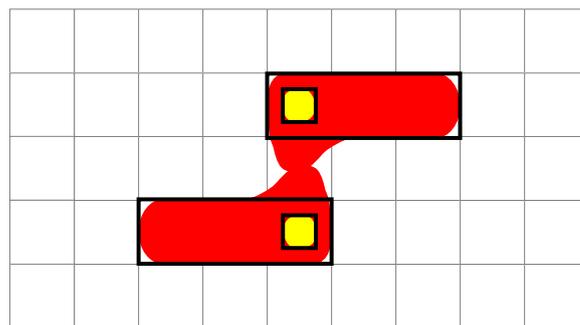


Рис. 3. Электрическое замыкание проводников

На рис. 4 представлена модификация начальной топологии с рис. 2. Нижний проводник удлинен вправо. Выпуклость нижней топологии в сторону соседнего верхнего межслойного перехода сгладилась. Расстояние между ближайшими точками двух проводников увеличилось: $L_2 > L_1$.

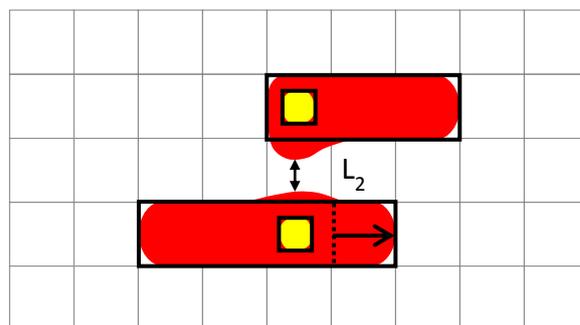


Рис. 4. Модификация топологии

На рис. 5 топология модифицирована ещё больше. Теперь влево удлинен верхний проводник. Расстояние между ближайшими точками двух проводников увеличилось ещё больше: $L_3 > L_2$.

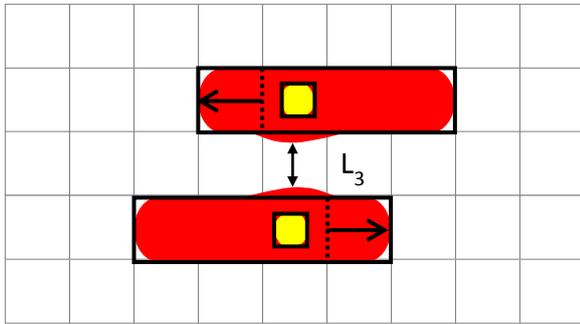


Рис. 5. Дальнейшая модификация топологии

Все три топологии на рис. 2, 4 и 5 являются допустимыми. Однако с точки зрения устойчивости к нарушениям случайного характера при оптической литографии топология на рис. 5 является самой предпочтительной. При этом стоит понимать, что устойчивые топологии ограничивают пространство решений, и поэтому трассировка ячейки, полностью свободная от всех типов нежелательных топологий, не всегда возможна без существенной деградации параметров электрических цепей.

Подобный анализ проводится для всех возможных вариантов топологии, определяется устойчивость к нарушениям, составляется список нежелательных топологий и определяется их критичность.

III. МОДЕЛЬ ПРЕДСТАВЛЕНИЯ ПРАВИЛ

В работе [5] представлена модель данных, которая описывает произвольные геометрические правила с использованием булевых выражений для заданных дискретных прямоугольных шаблонов топологии. В данной модели для всех слоёв трассировки строится общая двухмерная сетка. Для каждого узла сетки известен конечный список шаблонов топологии, которые могут быть построены в данном узле. Для каждого шаблона вводится соответствующая булева переменная. Шаблон в узле имеет два состояния: «присутствует» (соответствующая переменная принимает значение булевой единицы `1) или «отсутствует» (переменная принимает значение булевого нуля `0). Для переменных вводятся булевы выражения, применение которых описывается ниже.

На рис. 6 показана сетка трассировки для горизонтально и вертикального слоёв металлизации и соответствующего межслойного перехода. Отрезки вертикального металла Mv присутствуют в узлах сетки (0,0) и (1,0) и отсутствуют во всех остальных узлах сетки. Отрезки горизонтального металла Mh присутствуют в узлах (0,2), (1,2), (0,3) и отсутствуют в остальных узлах сетки. Межслойные переходы Via присутствуют в узлах сетки (2,1) и (3,2).

Мы предлагаем использовать данные булевы выражения для описания нелегальных топологий. Предположим, что одновременное присутствие межслойных переходов в узлах сетки (2,1) и (3,2) запрещено. Тогда допустима только такая комбинация

значений переменных, при которой выражение (1) принимает значение булевого нуля `0.

$$Via(2,1) \wedge Via(3,2) \quad (1)$$

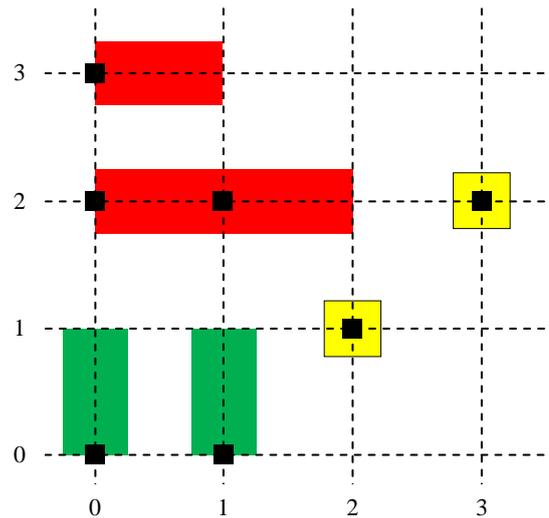


Рис. 6. Сетка и дискретные шаблоны топологии

Практика показывает, что любое геометрическое правило построения топологии можно перевести в соответствующее булево выражение, описав все возможные запрещённые ситуации данного правила. Ниже приведены примеры нескольких базовых правил.

Например, формула $\overline{Mv(1,0)} \wedge Mv(1,1) \wedge \overline{Mv(1,2)}$ запрещает появление отдельно стоящего проводника вертикального металла в узле сетки (1,1) (рис. 7). Данное выражение принимает запрещённое значение `1 тогда, когда дискретный отрезок вертикального проводника отсутствует в узлах (1,0) и (1,2), но присутствует в узле (1,1). При этом физически образуется слишком короткий провод, что запрещено.

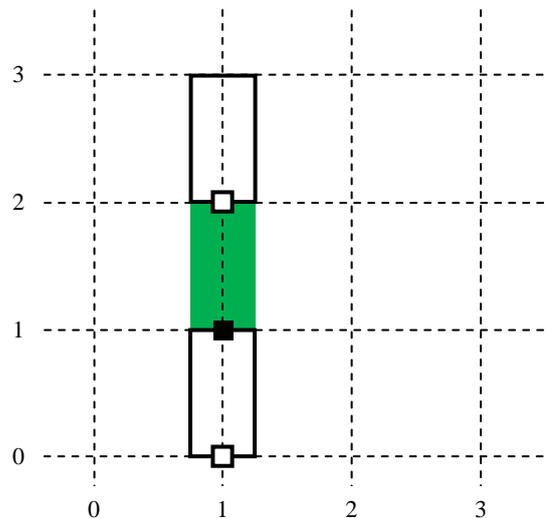


Рис. 7. Минимальная длина проводника

Аналогично формулируется выражение для минимального расстояния между концами двух проводников: $Mv(1,0) \wedge \overline{Mv(1,1)} \wedge Mv(1,2)$ (рис. 8).

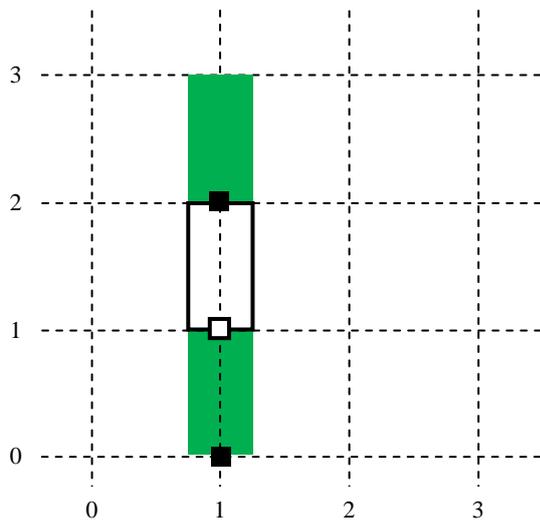


Рис. 8. Минимальное расстояние между концами двух проводников в одном треке

Минимальное перекрытие двух противоположно направленных проводников в соседних треках: $Mv(1,0) \wedge Mv(1,1) \wedge Mv(2,1) \wedge Mv(2,2)$ (рис. 9).

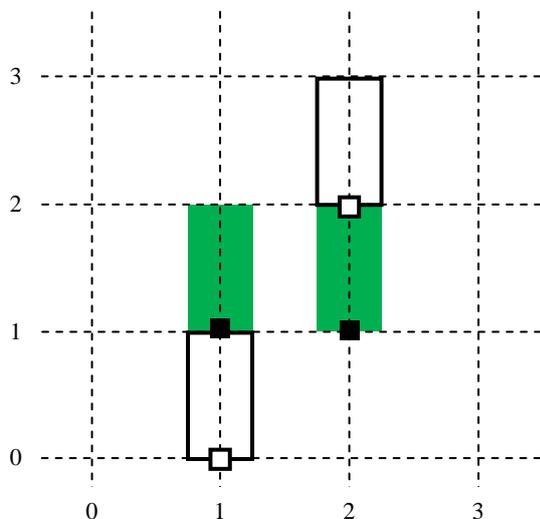


Рис. 9. Минимальное перекрытие проводников

Отметим, что эффективным дополнением к функциям дизъюнкции, конъюнкции и отрицания является функция типа $GTE(N, \{x\})$, где N – неотрицательное число, $\{x\}$ – конечное множество булевых переменных, и функция принимает значение булевой единицы тогда, когда число булевых единиц среди переменных больше либо равно N .

IV. ТРАССИРОВКА СТАНДАРТНЫХ ЯЧЕЕК

В работе [4] предложен способ трассировки стандартных ячеек с использованием задачи булевой выполнимости. На предварительном этапе все электрические цепи ячейки разбиваются на двухточечные соединения. Для каждого соединения создается список из нескольких возможных топологий. Затем специальная процедура определяет конфликты

между каждой парой возможных топологий, используя как электрические правила, так и геометрические литографические правила для данной технологии.

Связность трассировки, возможные реализации соединений, парные конфликты между ними и другие дополнительные ограничения переводятся в общую булеву формулу, представленную в конъюнктивной нормальной форме. Также в формулу добавляются правила, вовлекающие объекты из трёх и более топологий. Если v – такой объект, то создается дополнительный литерал: $v = \bigvee_{i=1}^R r_i$, где $\{r_i\}$ все R топологий, содержащих v . Выражение $\bigwedge v_i = 0$ позволяет избежать подобные нарушения. Определив допустимое решение SAT для общей формулы, автоматически определяется полная трассировка всей стандартной ячейки, при этом выполняются заданные ограничения. Предложенный подход позволяет трассировать широкий класс стандартных ячеек, демонстрируя приемлемое качество и время работы.

Существенным ограничением данного подхода является ограниченный класс реализуемых правил. Учитываются только те правила, которые можно нарушить, реализовав одно или два соединения в ячейке. Также дополнительно учитываются правила, которые можно представить простой конъюнкцией дискретных объектов, таких как (1). Чтобы избавиться от данного ограничения, мы предлагаем использовать модель представления правил, описанную в главе 3. При этом формулировка задачи трассировки принципиально не изменяется. В формулу SAT добавляются дополнительные литералы, кодирующие состояние дискретных объектов топологии, а также булевы выражения, кодирующие запрещенные варианты топологии.

V. МИНИМИЗАЦИЯ ЧИСЛА НЕЖЕЛАТЕЛЬНЫХ ТОПОЛОГИЙ

Для минимизации числа нежелательных топологий (НТ) мы предлагаем следующий маршрут трассировки (рис. 10). Построение задачи SAT для задачи трассировки, описанное в главе 4, выполняется на первом этапе. Далее запускается программа поиска решения (*SAT solver*), ищется допустимое решение. Полученная трассировка легальна с точки зрения всех обязательных технологических правил, но может содержать произвольное число НТ разных типов. Данное решение будет использовано для первичной оценки числа НТ.

На втором этапе выбирается группа типов НТ, число которых мы будем минимизировать. НТ различаются по критичности. Возвращаясь к примерам на рис. 2, 4, 5, сначала мы постараемся устранить по возможности все топологии критичности 1 с рис. 2, затем НТ критичности 2 с рис. 4 и только затем все топологии критичности 3 с рис. 5.

На третьем этапе ищутся все возможные N узлов сетки, где потенциально могут возникнуть НТ выбранного типа. Отметим, что возможные НТ

ищутся именно в начальной сетке трассировки, а не в текущем промежуточном решении. Определяется конечное множество булевых литералов $\{n\}$, каждый из которых соответствует появлению одной НТ в определённом узле сетки. Когда литерал n_i принимает значение булевой единицы, это значит, что в данном узле есть НТ. Если литерал n_i принимает значение булевого нуля, это значит, что в данном узле НТ нет.



Рис. 10. Маршрут минимизации числа НТ

На четвёртом этапе ищутся все нежелательные топологии $\{m\}$ в текущем промежуточном решении, где M – число НТ, $0 \leq M \leq N$, а $\{m\} \subseteq \{n\}$.

Задача состоит в том, чтобы найти новое решение трассировки с минимальным возможным числом P нежелательных топологий, где $P < M$. На пятом этапе строятся $M + 1$ дополнительных булевых выражений – частичных булевых счётчиков состояний [4], [6] для N булевых литералов $\{n\}$. Первое из $M + 1$ выражений принимает значение `1 тогда и только тогда, когда $P = 0$. Второе выражение принимает значение `1 тогда и только тогда, когда $P \leq 1$, и так далее. Счётчик под номером $M + 1$ принимает значение `1 тогда и только тогда, когда $P \leq M$.

На шестом этапе мы не видоизменяем текущее решение трассировки, а ищем новое допустимое решение, решая SAT задачу заново с новыми ограничениями. Один из построенных булевых счётчиков добавляется в общую формулу SAT, запускается SAT программа поиска решений, ищется допустимое решение трассировки для заданного значения P_i . Если такое решение существует, то в общую формулу добавляется более строгий булевый

счётчик и ищется решение для $P_j < P_i$. Если решение не существует, то ограничение ослабляется; в общую формулу добавляется менее строгий булевый счётчик и ищется решение для $P_j > P_i$. Бинарный поиск позволяет найти решение с минимальным P за $\log(M + 1)$ запусков SAT программы.

После того, как найдено минимальное число для выбранного типа НТ, мы переходим к следующему, менее критичному типу НТ (повторяем этап 2), или же переходим к удалению антенн. Особенность SAT программ такова, что они находят первое возможное допустимое решение. Решение удовлетворяет технологическим правилам, оптимизированно для нежелательных топологий, но при этом может содержать легальные, но случайные и абсолютно бесполезные отрезки проводников - антенны. Антенны бывают как сигнальные, так и плавающие (рис. 11).

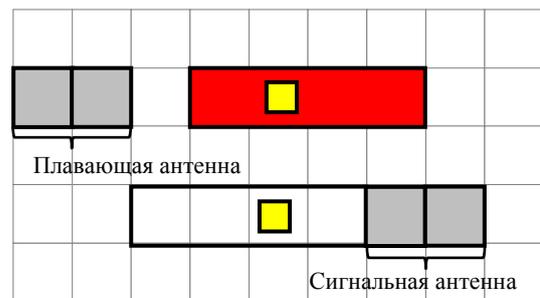


Рис. 11. Появление плавающих и сигнальных антенн

На седьмом этапе специальная процедура определяет потенциальные антенны, фиксирует сигнальную трассировку и, последовательно запуская SAT программу с последними выполнимыми ограничениями, ставит булевы литералы в `0 для максимального числа потенциальных антенн.

На рис. 12 показан пример задачи трассировки в однородном слое S , три типа запрещённой топологии (b, c, d) и один тип нежелательной (a).

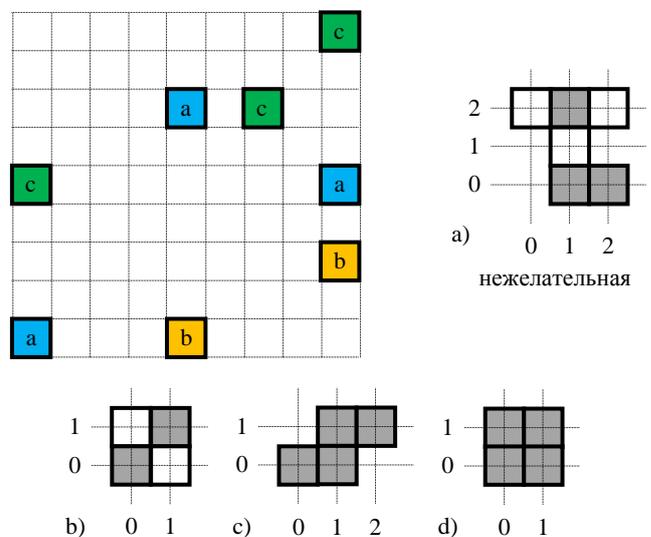


Рис. 12. Терминалы цепей и типы топологий

Выражение (2) определяет запрещённую топологию, в которой два проводника касаются друг друга в одной точке (рис. 12b). Выражения (3) и (4) определяют нелегальные топологии с рис. 12c и 12d. Выражение (5) определяет нежелательную топологию, в которой отрезок проводника расположен на минимальном расстоянии от другого отрезка, идущего в перпендикулярном направлении (рис. 12a).

$$S(0,0) \wedge S(1,1) \wedge \overline{S(0,1)} \wedge \overline{S(1,0)} \quad (2)$$

$$S(0,0) \wedge S(1,0) \wedge S(1,1) \wedge S(2,1) \quad (3)$$

$$S(0,0) \wedge S(1,0) \wedge S(0,1) \wedge S(1,1) \quad (4)$$

$$S(1,2) \wedge \overline{S(0,2)} \wedge \overline{S(2,2)} \wedge \overline{S(1,1)} \wedge S(1,0) \wedge S(2,0) \quad (5)$$

На рис. 13 изображен вариант возможной начальной легальной трассировки. Нежелательная топология встречается 6 раз в 4 регионах сетки.

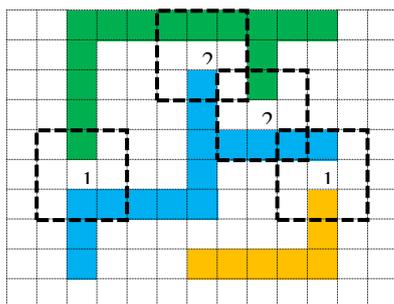


Рис. 13. Начальная трассировка

На рис. 14 приведен пример возможных вариантов трассировки при последовательном наложении ограничений: $P \leq 3$, $P \leq 1$ и $P = 0$.

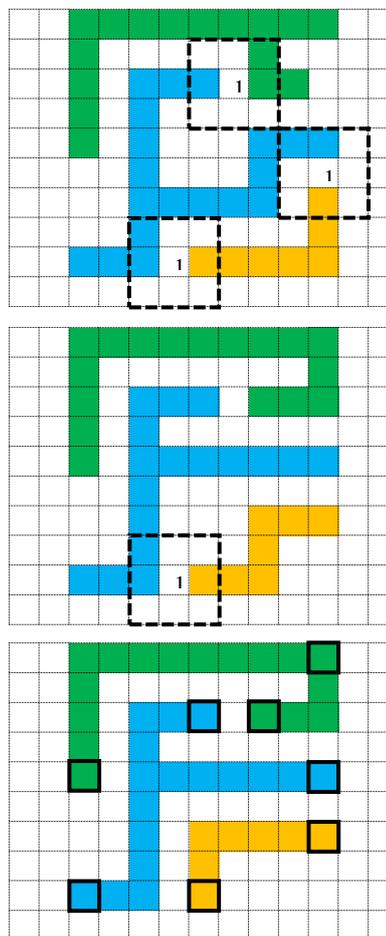


Рис. 14. Варианты трассировки при ограничениях

VI. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

Алгоритм трассировки с использованием булевого представления правил и оптимизацией нежелательных топологий был реализован в программном комплексе синтеза стандартных ячеек. Программный комплекс был успешно использован для синтеза промышленной библиотеки элементов на проектируемой нанометровой технологии. 2334 булевых выражений было создано для описания всех запрещённых комбинаций топологии; 23 типа нежелательных топологий были разбиты по критичности на 15 групп.

Далее приведены характерные значения величин при трассировке триггера: число входов – 2 (сигнальный вход и вход синхронизации); выход – 1; внутренних сигнальных цепей, не включая цепи земли и питания, – 10; транзисторов – 24; время трассировки, включая построение начальной трассировки, оптимизацию нежелательных топологий и удаление антенн – 6449 секунд; пиковое потребление памяти – 5 гигабайт; в SAT программе [7] было создано 5,265,748 литералов; пиковое значение неопределённых литералов – 3,438,328; максимальное число дизъюнкций литералов – 14,946,945.

ЛИТЕРАТУРА

- [1] Kurt Ronse, Philippe Jansen, R. Gronheid, Eric Hendrickx, M. Maenhoudt, Vincent Wiaux, Anne-Marie Goethals, R. Jonckheere, and G. Vandenberghe. Lithography Options for the 32 nm Half Pitch Node and Beyond // IEEE Tran. on Circuits and Systems - I: Regular papers. August 2009. Vol. 56. № 8.
- [2] F. Yang, Y. Cai, Q. Zhou, J. Hu. SAT Based Multi-Net Rip-up-and-Reroute for Manufacturing Hotspot Removal // Proc. Of DATE . 2010.
- [3] Rasit O. Topaloglu. Design with FinFETs: design rules, patterns, and variability // Proc. of ICCAD. 2013.
- [4] N. Ryzhenko, S. Burns. Standard cell routing via boolean satisfiability // Proc. of DAC. 2012.
- [5] Gyuszi Suto. Rule agnostic routing by using design fabrics // Proc. of DAC. 2012.
- [6] Claude E. Shannon. A symbolic analysis of relay and switching circuits // Thesis (M.S.), MIT, Dept. of Electrical Engineering. 1940.
- [7] URL: <http://minisat.se> (дата обращения: 07.04.2014).