

Алгоритм размещения транзисторов в стандартных ячейках

А.А. Сорокин, Н.В. Рыженко

ЗАО «Интел А/О», anton.a.sorokin@intel.com, nikolai.v.ryzhenko@intel.com

Аннотация — Физический синтез стандартных ячеек логических элементов исторически выполняется с большой долей ручного труда. Переход на нанометровые размеры транзисторов приводит к появлению дополнительных правил проектирования. Многочисленные ограничения, привносимые новыми правилами, сложно учитывать даже опытному разработчику. При этом данные ограничения позволяют эффективно использовать вычислительные ресурсы компьютера для решения задачи синтеза ячейки. В статье представлен алгоритм размещения транзисторов в стандартных ячейках. Ключевой особенностью алгоритма является возможность инкрементальной проверки правил проектирования. Экспериментальные результаты показывают применимость предложенного подхода для разнообразных типов стандартных ячеек.

Ключевые слова — размещение, транзистор, стандартная ячейка, правила проектирования, трассировка.

1. ВВЕДЕНИЕ

Современные электронные вычислительные устройства, базирующиеся на КМОП-технологии построения электронных схем, часто используют библиотеки стандартных функций для реализации заложенного функционала. Сами стандартные функции физически реализуются в виде ячеек, содержащих МОП-транзисторы. Транзисторы в ячейках соединены между собой с помощью токопроводящих слоев и межслойных переходов. Современная оптическая литография использует лазер с длиной волны 193нм для получения изображения на поверхности светочувствительного материала. Использование технологии оптической коррекции, двойных масок и ряда других позволяет получать изображения, на которых размер деталей меньше длины волны лазера. При этом вводятся ограничения на характер изображения [3].

Транзисторы в оптической литографии формируются в виде прямоугольных объектов. В данной работе мы ограничиваем возможность размещения транзисторов, помещая их в колонки с предопределенным шагом и в конечное число строк, также разделенных заданным расстоянием. В данной статье предлагается алгоритм размещения КМОП-транзисторов в ячейках базовых логических элементов. В основе подхода лежит перечисление всевозможных частичных размещений и динамическое вычисление функции оптимизации размещений. Размещение оптимизируется для облегчения задачи трассировки, которая выполняется отдельно [4].

В [2] предложен алгоритм упорядочивания транзисторов в строке с минимизацией занимаемой площади. Но недостаточно получить размещение транзисторов, занимающее минимальную площадь. Необходимо обеспечить возможность создания всех соединений между транзисторами. Комплементарная логика предполагает наличие попарных соединений между разными типами транзисторов. В результате размещение в одну и две строки становится нецелесообразным с точки зрения создания эффективной трассировки и использования площади ячейки. Лучшим является размещение в несколько строк. При этом комплементарные пары транзисторов выравниваются так, что электрическая цепь общего сигнала может быть реализована с помощью единого прямоугольного межсоединения. В результате мы имеем несколько рядов транзисторов, которые требуется разместить максимально плотно. В работе [1] предложен алгоритм минимизации использования канала трассировки для пары рядов транзисторов. Но решение задачи оценки глобальной трассировки в канале не всегда позволяет удовлетворить правилам проектирования. При этом могут возникать нелегальные относительные размещения рядов транзисторов, и может потребоваться их разрыв и смещение. Предложенный подход позволяет контролировать относительное размещение транзисторов и оценивать использование ресурса глобальной трассировки на каждом этапе работы алгоритма.

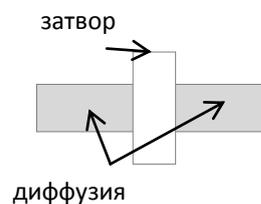


Рис. 1. Геометрическая форма транзистора

Транзистор (рис. 1) представляет собой геометрический объект прямоугольной формы. Левая и правая части прямоугольника соответствуют истоку или стоку (области диффузии) транзистора. Средняя часть является затвором. Они размещаются на фиксированной прямоугольной сетке. При этом формируются колонки и строки размещенных транзисторов (рис. 2). Пара транзисторов занимает минимальную площадь, когда область диффузии одного транзистора перекрывается с диффузией другого транзистора. Это разрешено, когда диффузии

являются частью одной электрической цепи. В противном случае между транзисторами необходимо наличие свободных колонок, что позволяет избежать короткого замыкания между разными сигналами. Размещение транзисторов в соседние колонки гарантирует возможность максимального легального перекрытия. Сама ячейка представляет собой прямоугольную область.

В главе 2 описан алгоритм размещения транзисторов. В главе 3 и 4 описаны критерии отбора групп размещенных транзисторов. В главе 5 дана оценка верхней границы сложности алгоритма. В главе 6 представлены результаты работы алгоритма на тестовых ячейках.

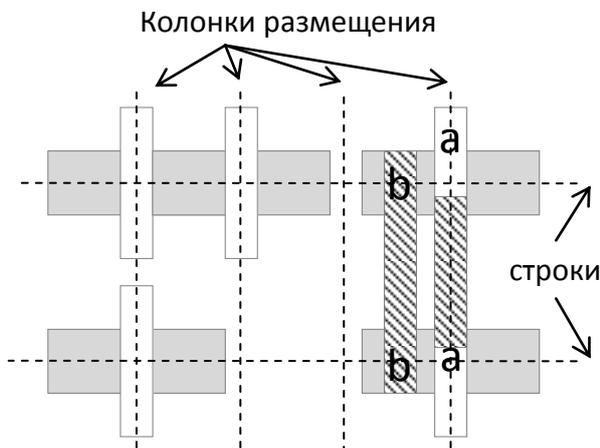


Рис. 2. Особенности размещения в решетке

II. ОПИСАНИЕ АЛГОРИТМА

В основе подхода лежит перечисление всех возможных частичных размещений транзисторов. Маршрут алгоритма представлен на рис. 4. Частичное размещение – это легальное размещение транзисторов, содержащее только часть всех транзисторов. Частичные размещения перечисляются путем формирования колонок транзисторов, начиная с левого края ячейки. Колонки заполняются последовательно, полностью или частично. К существующим колонкам добавляются новые транзисторы и формируются новые частичные размещения. Таким образом, ячейка заполняется транзисторами. Область частичного размещения ограничена левым краем ячейки с одной стороны и текущей рабочей колонкой с другой стороны. Верх и низ ограничены высотой ячейки. Текущее частичное размещение проверяется на соответствие правилам проектирования. При этом учитывается, что объекты правее и в части текущей колонки не определены до конца, пока не размещены все близлежащие транзисторы. Далее вычисляется функция оптимизации, которая используется для того, чтобы отобрать лучшие частичные размещения. Лучшим будет тот вариант, для которого легче построить трассировку на соответствующей стадии синтеза ячейки. На значение функции оптимизации влияют также дополнительные факторы, которые не

связаны с трассировкой, а обусловлены особенностями функционального использования ячейки.

Особенностью алгоритма перечисления является то, что добавление транзисторов производится не ко всем уже созданным частичным размещениям, а только к лучшим, содержащим набор одних и тех же транзисторов и дополняющим слева данный новый транзистор.

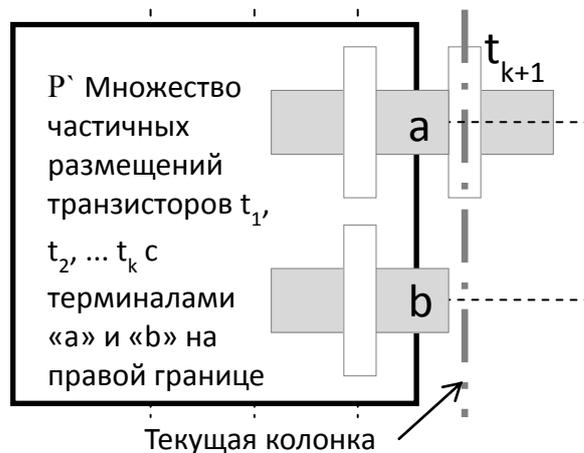


Рис. 3. Оптимизация перечисления

Пусть $t(s,d)$ – транзистор, присоединенный истоком и стоком к электрическим цепям s и d . Пусть $\{t_1, t_2, \dots, t_n\}$ – множество транзисторов, которые надо разместить. Пусть $u(t,x,r,a)$ – транзистор t , размещенный в колонке x и строке r . Правая диффузия данного транзистора должна быть подсоединена к цепи a . Если мы хотим разместить другой транзистор в колонку $x+1$ и в тот же ряд, необходимо, чтобы его левая диффузия также была подсоединена к цепи a . Пусть P_0 – пустое размещение. $P_i(P_j, u(t_k, x_i, r_m, a_n))$ – частичное размещение, сформированное из P_j путем добавления размещенного транзистора $u(t_k, x_i, r_m, a_n)$ в колонку x_i , строку r_m и ориентацией a_n , $i > j$. Пусть $A\{a_1, a_2, \dots, a_f\}$ – множество цепей, выходящих на правую сторону частичного размещения, где f – это количество строк размещения в ячейке. Эти цепи определяют, какие транзисторы могут быть размещены в текущую колонку. Множество A сформировано транзисторами, размещенными на правой стороне частичного размещения. Обычно это транзисторы текущей и предыдущей колонок. Пусть $T_x^k\{t_1, t_2, \dots, t_k\}$ – это множество транзисторов, размещенных левее колонки x , $k < n$. $P\{T_x^k, A_m\}$ – множество частичных размещений одних и тех же транзисторов, формирующих конкретное множество A_m в колонке x . Для получения размещения минимальной площади все частичные размещения P_j , входящие в заданное множество $P\{T_x^k, A_m\}$, эквивалентны. Для построения $P_i(P_j, u(t_{k+1}, x_i, r_m, a_n))$ можно использовать любое из них. Действительно (см. рис. 3), из всех размещений транзисторов $\{t_1, t_2, \dots, t_k\}$ и имеющих набор межсоединений $\{a, b\}$ на правой границе, наименьшую площадь будет иметь то, которое имеет наименьшую площадь размещения $\{t_1, t_2, \dots, t_k\}$. Если можно

построить целевую функцию $F_j(P_j)$, не зависящую от транзисторов, добавленных позднее в P_i $i > j$, то строить P_i можно только для одной P_j , входящей в $P' \{T^k_x, A\}$ и обладающей лучшим значением целевой функции. При этом полученное решение будет занимать минимальную площадь.

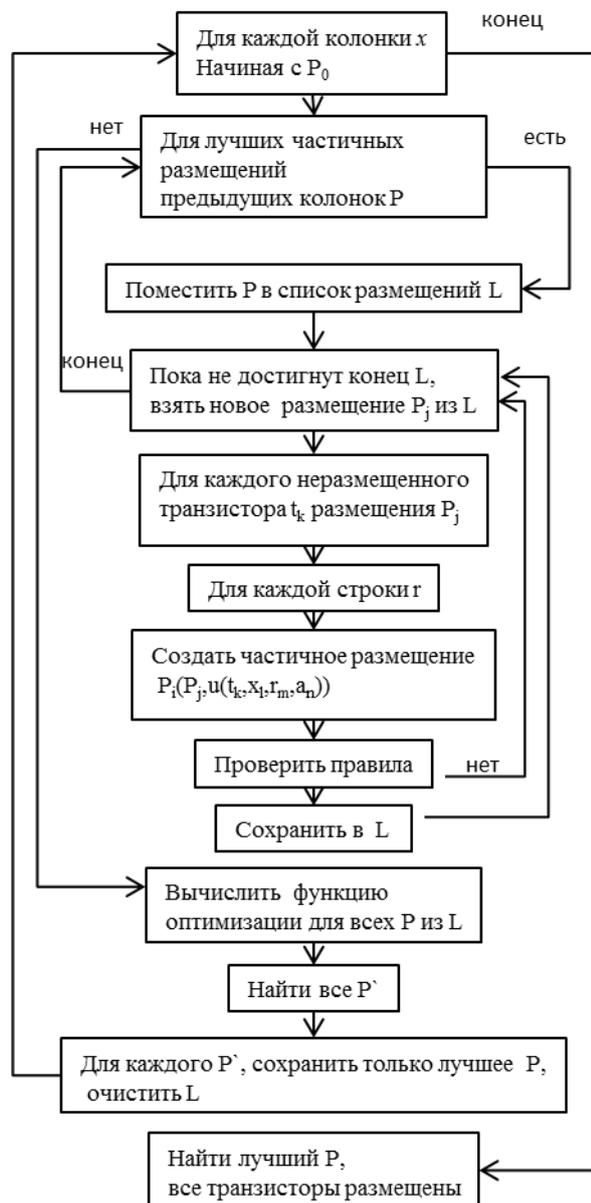


Рис. 4. Маршрут алгоритма

III. ЖЕСТКИЕ ОГРАНИЧЕНИЯ

При создании нового частичного размещения, каждый вариант проверяется на соответствие правилам проектирования. Правила проектирования являются жестким ограничением. Если размещение не удовлетворяет учитываемым правилам, оно отвергается.

Нижняя граница количества горизонтальных межсоединений, пересекающих текущую колонку, также является жестким ограничением. Если

размещению требуется больше межсоединений, оно не может быть страссировано и отвергается. Количество межсоединений оценивается следующим образом: в каждой колонке вычисляется множество имен межсоединений левее и правее колонки (рис. 5). Если межсоединение принадлежит обоим множествам, оно пересекает текущую колонку. Если какое-либо межсоединение включает в себя затвор транзистора в текущей колонке, оно считается пересекающим текущую колонку.

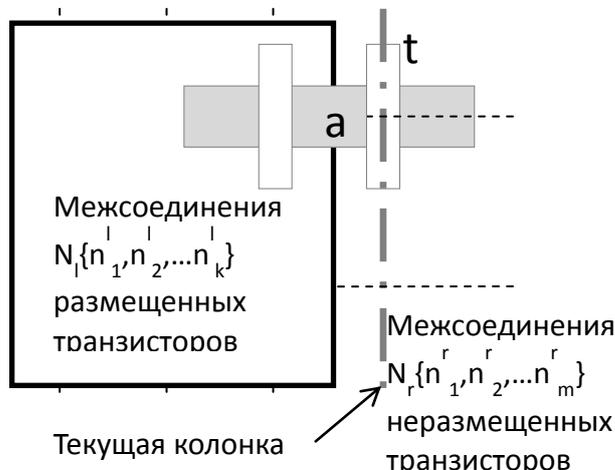


Рис. 5. Оценка числа горизонтальных соединений

IV. ФУНКЦИЯ ОПТИМИЗАЦИИ

Функция оптимизации включает в себя фактор выравнивания транзисторов и фактор длины межсоединений.

Длина межсоединений вычисляется как полупериметр ограничивающего прямоугольника. Высота прямоугольника равна расстоянию между верхним и нижним размещенными транзисторами, содержащими заданное межсоединение. Левая сторона прямоугольника определяется либо самым левым размещенным транзистором, либо позицией текущей колонки. Правая сторона прямоугольника определяется либо самым правым размещенным транзистором, либо правой границей ячейки, когда межсоединение содержит неразмещенный транзистор. Предпочтение отдается размещениям с меньшей суммарной длиной межсоединений.

Вертикальное выравнивание транзисторов позволяет меньше расходовать трассировочный ресурс и создавать более качественные межсоединения. На рис. 2 показано вертикальное выравнивание двух правых транзисторов с цепями a и b. Если два транзистора размещены в одной колонке в соседних рядах и если имена межсоединений затворов (цепь a) или диффузий (цепь b) этих транзисторов совпадают, то таким размещениям отдается предпочтение. Важно, что вычисление значения фактора выравнивания можно делать динамически. Если известен фактор выравнивания для размещения P_j , то фактор выравнивания для $P_i(P_j, u(t_k, x_i, r_m, a_n))$ равен сумме фактора P_j и его изменению, вносимому $u(t_k, x_i, r_m, a_n)$.

Действительно, размещенный транзистор может только улучшить выравнивание и только к небольшому числу соседних транзисторов.

Таблица 1

Результат работы алгоритма

Число транзисторов, тип ячейки	Число новых размещений в каждой колонке	Память	Время
20, базовая	200 000	1604 МБ	37 сек
	1 000 000	2300 МБ	94 сек
24, триггер	200 000	1700 МБ	50 сек
	1 000 000	2400 МБ	155 сек
43, триггер	200 000	3151 МБ	241 сек
	1 000 000	3300 МБ	363 сек

V. ОЦЕНКА СЛОЖНОСТИ АЛГОРИТМА И ОГРАНИЧЕНИЯ

В случае размещения в один ряд t транзисторов мы имеем 2^t ориентаций транзисторов, $t!$ упорядоченных последовательностей транзисторов, $t + s$ вариантов для свободных мест s . Если предположить, что на новые размещения не влияет порядок транзисторов в уже созданных размещениях, то необходимо хранить $2^t * n$ лучших размещений, где n - оценка количества цепей, пересекающих правую часть частичного размещения. Каждый транзистор может быть подсоединен к двум разным электрическим цепям (к стоку и истоку). Для текущей оценки мы предполагаем, что у нас есть два состояния цепи и одно состояние для цепи и свободного места. Мы можем говорить о $(2 * n + 1)(s + 1) * 2^t$ различных частичных размещениях, которые надо сохранить. Здесь n - это число различных электрических цепей в ячейке, s - число свободных мест, t - число транзисторов. Мы видим, что число транзисторов является основным фактором определяющим сложность. В случае размещения в несколько рядов число рядов вносит дополнительную степень в оценку сложности. Данная оценка дает представление о худшем случае, когда различные ограничения не заставляют отбрасывать результат. В реальности, когда мы имеем ограничение на свободное место и ширину ячейки, имеет смысл перебирать только небольшую часть всех частичных размещений. Перебираются только те решения, которые могут быть закончены в области ячейки правее текущей колонки и левее правой границы ячейки. Дополнительным фактором, ограничивающим перебор, являются технологические правила проектирования. Они запрещают определенные относительные позиции транзисторов и свободного места. Алгоритм позволяет эффективно размещать несколько десятков транзисторов по 2 ряда для каждого из двух видов транзисторов. При размещении в четыре ряда наблюдается переполнение емкости метода и невозможность найти оптимальный вариант. Количество частичных размещений, от которых строятся новые частичные размещения, дополнительно фиксируется с целью ограничения времени работы алгоритма.

VI. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ И ЗАКЛЮЧЕНИЕ

Табл. 1 демонстрирует результат работы алгоритма на трех разных ячейках при размещении в четыре строки. Использовались два значения ограничения на количество созданных в каждой колонке частичных размещения. Для последнего триггера число объединенных размещений достигало 70%. Для остальных ячеек в каждой колонке размещения 10-40% новых частичных размещений были объединены при оптимизации перечисления.

Работа алгоритма была протестирована на стандартных ячейках библиотеки, применяемой в промышленном производстве. Все ячейки базовых комбинационных элементов (И-элементы, ИЛИ-элементы, многовходовые И-ИЛИ элементы) были успешно синтезированы для размещения в две и в четыре строки. При этом была получена минимально возможная площадь ячейки. Большинство сложных мультиплексоров, исключая ИЛИ-элементы, триггеров со сканирующей логикой также было успешно синтезировано. Больше 90% всех видов ячеек были размещены и трассированы.

ЛИТЕРАТУРА

- [1] Her T.W., Wong D.F., Freeman T.H. Optimal Orientations of Transistor Chains // IEEE International Conference on Computer-Aided Design. 1990. P. 524-527.
- [2] Berezowski K.S. Transistor Chaining with Integrated Dynamic Folding // IEEE International Conference on Computer-Aided Design. 2001. P. 524-527.
- [3] Jhaveri T., Rovner V., Pileggi L., Strojwas A.J., et al. Maximization of layout printability/manufacturability by extreme layout regularity // Journal of Micro/Nanolithography, MEMS and MOEMS. 2007. 6(031011).
- [4] Рыженко Н.В. Использование задачи булевой выполнимости для трассировки стандартных ячеек промышленной библиотеки элементов // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем» (МЭС-2012): сб. трудов. М.: ИППМ РАН, 2012. С. 225-230.