

Универсальная система отладки СБИС по интерфейсу JTAG на основе скан-технологии

М.С. Ладнушкин

НИИ системных исследований РАН, Москва, maximsl@gmail.com

Аннотация — Проведен анализ технологии отбраковки и отладки современных СБИС. Предложена система отладки СБИС по интерфейсу JTAG с использованием технологии сканирования, которая позволяет извлекать состояния всех триггеров СБИС. Данная система отладки отличается малой занимаемой площадью на кристалле (0,2%), универсальностью, высоким тестовым покрытием в режиме отбраковки.

Ключевые слова — отбраковка СБИС, отладка, JTAG, скан-технология.

I. ВВЕДЕНИЕ

Поиск и отладка аппаратно-программных ошибок высокопроизводительных СнК (Систем-на-Кристалле) в свете увеличения интегральной сложности СБИС, вызванной ростом числа транзисторов на кристалле, является актуальной и дорогостоящей технологией, требующей специального инструментария для выполнения отладочных функций. Основными задачами отладочных средств современных СБИС является наблюдение внутреннего состояния СБИС, пошаговое выполнение команд, установка точек контроля. Средства отладки интегрируются на кристалл в виде дополнительных блоков, встроенных в СБИС и имеющих собственный внешний интерфейс обмена данными [1].

Стандартизация средств тестирования и отладки цифровых систем привела к созданию стандартного интерфейса тестирования интегральных схем и печатных плат JTAG IEEE 1149.1–2001 (IEEE Standard Test Access Port and Boundary Scan Architecture) [2]. Многие разработчики систем отладки стремятся обеспечить совместимость своих систем с интерфейсом JTAG. Так, например, стандарт JTAG был развит корпорацией MIPS для одноименных процессорных ядер СнК до стандарта Enhanced JTAG (EJTAG) [3]. Стандарт EJTAG использует инфраструктуру JTAG и расширяет семейство инструкций ядра MIPS, а также набор компонент ядра. EJTAG позволяет находить и отлаживать программные причины сбоя работы СнК. Однако у такого подхода есть недостатки: если в СнК системный контроллер перестает обслуживать процессор - ядро MIPS "зависает", то средства EJTAG не позволяют выявить причины такого поведения СБИС, так как

программный доступ к ресурсам СнК становится недоступным через периферийные устройства. Ещё один недостаток средств отладки такого типа - отсутствие универсальности их применения: стандарт EJTAG разработан под процессорное ядро MIPS, стандарт ETM – под ядро ARM.

Другое направление развития средств отладки – на основе системы отбраковки микросхем с использованием технологии сканирования (скан-технологии) [4]. Скан-цепи – последовательно соединенные триггеры СБИС, созданные для отбраковки – используются для отладки путем доступа к ним по последовательному интерфейсу в режиме работы СБИС. В виду отсутствия единого стандарта такого рода отладочных средств, а также поддержки со стороны разработчиков САПР, данный подход применяется разработчиками СБИС по-разному [5], [6].

Система отладки, основанная на скан-технологии отбраковки, запатентована в работе С. Баэга [7], в которой предлагается использовать стандарт JTAG для выполнения тестов на скан-цепях, встроенных в СБИС для отбраковки. Данный подход может быть реализован в автоматическом режиме средствами современных САПР. Но эта архитектура не предполагает использование стандарта JTAG для отладки и анализа состояния СБИС в функциональном режиме, так как не обеспечивает безошибочный перевод СБИС из рабочего режима в режим отладки.

Автором предложена универсальная система отбраковки и отладки, совместимая со стандартным интерфейсом JTAG. Система основана на скан-технологии и позволяет выгружать информацию о состоянии всех триггеров СБИС по JTAG для отладки, вне зависимости от рабочего состояния СБИС. Предложенный в данной работе подход предусматривает создание встроенных средств отладки, работающих в двух режимах:

- режим сканирования (отбраковки);
- режим скан-через-JTAG (отладки).

II. РЕЖИМ ОТБРАКОВКИ СБИС

Отбраковка микросхем осуществляется средствами скан-технологии [8], [9], суть которой в том, что логическая схема СБИС заменяется скан-схемой путем перевода её в режим сканирования (скан-режим) по внешнему сигналу микросхемы. Скан-схема создается на основе логической схемы СБИС замены всех триггеров СБИС сканирующими триггерами, которые в скан-режиме объединяются в единый сдвиговый регистр – скан-цепочку триггеров (СЦТ). Вход и выход СЦТ подключается к отдельным тестовым портам ввода-вывода СБИС для внешнего доступа к сдвиговому регистру по последовательному скан-протоколу. Современные САПР позволяют создавать необходимые аппаратные средства для скан-режима СБИС в полуавтоматическом режиме [10].

На рис. 1 СБИС представлена в виде модели автомата Хаффмана, которая интерпретирует схему СБИС как блок комбинационной подсистемы (КП) и связанный с ним блок триггерной подсистемы (ТП). КП служит для преобразования входных сигналов и информации о состоянии устройства в выходные сигналы и сигналы, необходимые для изменения состояния автомата [11]. Состояния автомата хранятся в элементах памяти СБИС – триггерной подсистеме (ТП). Переход к следующему состоянию ТП происходит по приходу фронта синхросигнала CLK.

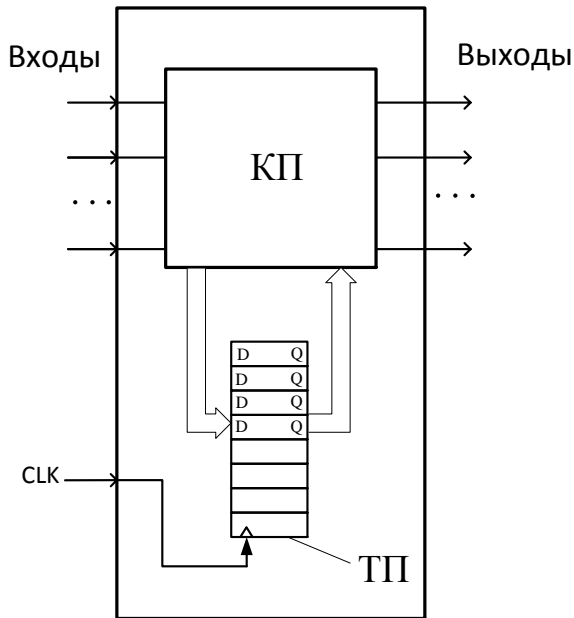


Рис. 1. Структура СБИС: рабочий режим

Средствами САПР фирмы Synopsys реализована скан-схема для режима отбраковки (см. рис. 2). СБИС в режиме отбраковки имеет одну скан-цепь из последовательно соединенных триггеров СБИС с входом TEST_SI и выходом TEST_SO. Цепь тактируется сигналом TCK (в режиме отбраковки TEST_MODE = «1»). Последовательный сдвиг данных скан-цепи по TCK происходит при SCAN_EN = «1». Скан-цепочка включает все триггеры СБИС, включая

тестовую логику JTAG. Тем самым достигается высокое тестовое покрытие в режиме отбраковки.

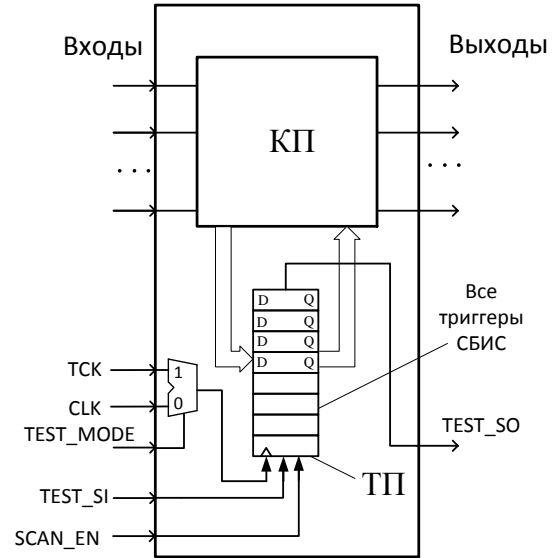


Рис. 2. Структура СБИС: режим отбраковки

III. РЕЖИМ ОТЛАДКИ СБИС

Для режима отладки средствами САПР реализована дополнительная конфигурация скан-схемы (см. рис. 3): из скан-цепи исключены триггеры, входящие в тестовую логику JTAG - TAP-контроллер, JTAG-регистры, схемы переключения синхросигналов (СПС). Таким образом, состояние триггеров управления JTAG не изменится в режиме сдвига данных триггеров СБИС, как это происходит в конфигурации скан-схемы для режима отбраковки.

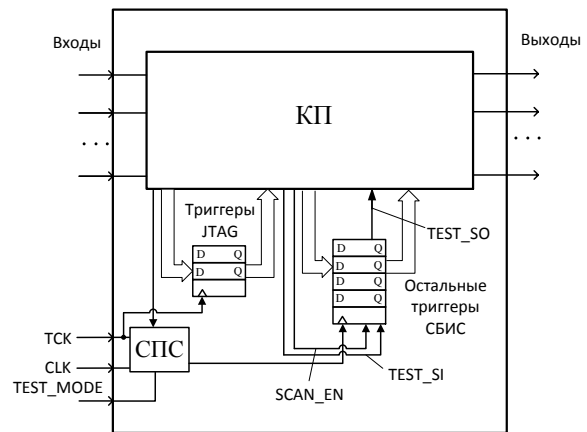


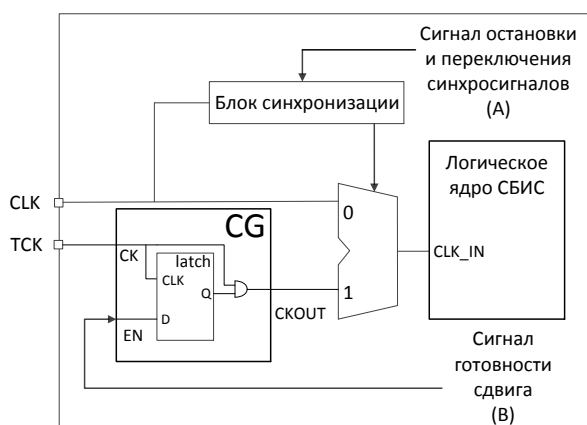
Рис. 3. Структура СБИС: режим отладки скан-через-JTAG

В RTL-модель СБИС внесены дополнительные регистры данных JTAG в соответствии со стандартом. Так, были добавлены «Регистр управления» РУ и «Регистр данных сдвига» РДС. Двухразрядный РУ необходим для поэтапного переключения схемы СБИС из рабочего режима в режим скан-через-JTAG.

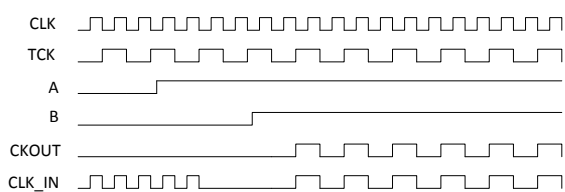
Одноразрядный РДС используется для последовательной выгрузки данных из скан-цепочки.

Для корректного переключения СБИС из режима работы в режим отладки скан-через-JTAG по сигналу с JTAG реализована схема переключения синхросигналов СПС (см. рис. 4). Ввиду того, что сигналы управления с JTAG-контроллера синхронизованы по сигналу ТСК, а ядро СБИС в момент переключения тактируется рабочими синхросигналами, необходимо обеспечить безреbrezговый перевод всех триггеров СБИС на тактирование по ТСК – через блок синхронизации [12].

В проект СБИС были внесены схемы переключения синхросигналов для каждого рабочего синхросигнала. После переключения синхросигналов логическое ядро СБИС перестанет тактироваться рабочими синхросигналами и будет ожидать прихода сигнала готовности сдвига, который разрешит пропускание тактов ТСК через элемент Clock Gate (CG). Логическое ядро СБИС должно быть переключено в скан-схему для осуществления сдвига данных триггеров СБИС.



(а)



(б)

Рис. 4. СПС: (а) – функциональная схема; (б) – временные диаграммы сигналов

По интерфейсу JTAG можно в любой момент времени осуществить остановку рабочих синхросигналов СБИС и выгрузку значений всех триггеров СБИС. Для этого осуществляется программное управление с тестирующего устройства по JTAG встроенными пользовательскими JTAG-регистрами – РУ и РДС (см. рис. 5). Доступ к сигналам управления скан-схемой (SCAN_EN, TEST_MODE) по JTAG осуществляется регистром управления РУ JTAG. Помимо этого, выход скан-цепочки соединен с входом

регистра данных сдвига РДС. Таким образом, единая скан-цепочка, подключенная к TAP-контроллеру, дает возможность по интерфейсу JTAG выгружать значения триггеров логического ядра СБИС. Выбирается регистр управления РУ, в котором выставляется значение лог. «1» в разряде №1 (остановка рабочих синхросигналов и переключение на ТСК), а затем лог. «1» выставляется и в разряде №2 (логическая схема «превращается» в скан-схему). В итоге выбирается регистр данных сдвигом РДС и по синхросигналу ТСК осуществляется последовательный сдвиг данных скан-цепочки через порт TDO по JTAG'у в тестирующее устройство.

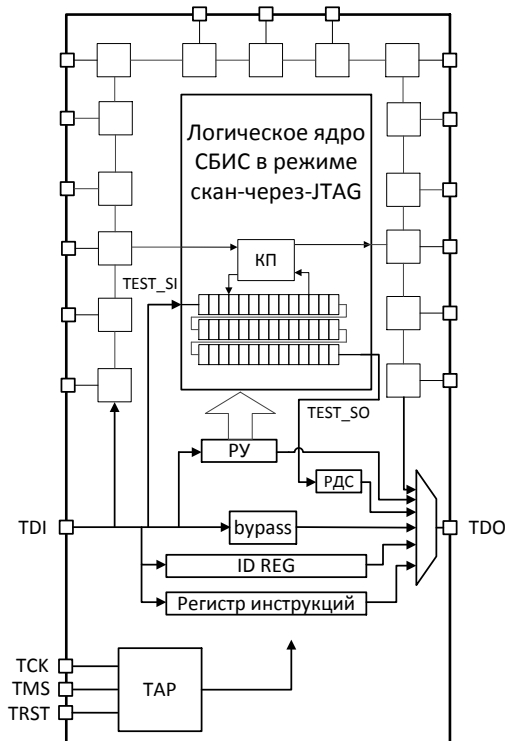


Рис. 5. Система скан-через-JTAG

Сравнительный анализ систем отладки представлен в табл. 1. Данные были получены путем реализации системы скан-через-JTAG и системы Баэга на основе проекта MIPS-совместимого процессора с проектными нормами 0,25мкм КНИ. Проект процессора может включать наборы команд и компоненты ядра процессора EJTAG. Для каждой реализации СБИС были созданы встроенные средства отбраковки СБИС для объективного анализа площади рабочего кристалла СБИС.

Стандарт EJTAG предоставляет широкие возможности по отладке аппаратно-программных ошибок процессора, но он может быть реализован только в MIPS-совместимых СнК, а также занимает наибольшую площадь на кристалле СБИС – 0,9% (от исходного проекта без средств отладки).

Система Баэга может быть использована для любой СБИС и практически не содержит дополнительной

логики на кристалле, так как используются существующие скан-цепочки для режима отбраковки. При этом в режиме отбраковки возникает падение тестового покрытия на 1,2% из-за исключения ТАР-контроллера и JTAG-регистров из цепочек сканирования.

Таблица 1

Сравнительные характеристики различных систем отладки

Характеристика	Система скан-через-JTAG	Система Баэга	EJTAG
Площадь кристалла СБИС, мм ²	110,40	110,38	110,92
Площадь тестовой логики, %	0,2	0,1	0,9
Возможность отладки «зависаний» СБИС	да	нет	нет
Возможность применения для любой СБИС	да	да	нет
Тестовое покрытие в режиме отбраковки, %	98,2	97,0	-
Совместимость с JTAG	да	да	да

Система скан-через-JTAG также, как и система Баэга, использует скан-схему, поэтому может быть создана на основе любой СБИС. Но, в отличие от системы Баэга, система скан-через-JTAG обладает возможностью извлечения состояний триггерной подсистемы ТП СБИС в рабочем режиме. Для этого предусмотрены схемы переключения рабочих синхросигналов на тестовые, а также дополнительные регистры JTAG, что стало причиной роста тестовой логики на кристалле СБИС относительно метода Баэга на 0,1%. Система скан-через-JTAG является одним из режимов работы СБИС. Поэтому в режиме отбраковки СБИС скан-цепочки содержат все тестовые блоки системы скан-через-JTAG (включая ТАР-контроллер и связанную с ним логику) и потому тестовое покрытие выше на 1,2%.

Данную систему можно реализовать как опцию в рабочих сценариях синтеза RTL кода СБИС. Таким образом, создание средств тестирования по методике скан-через-JTAG будет выполняться в полуавтоматическом режиме и может быть реализовано на любой СБИС.

ЗАКЛЮЧЕНИЕ

Разработанная система отладки СБИС позволяет использовать скан-режим СБИС под управлением стандартного интерфейса JTAG. Полученные средства встроенного тестирования осуществляют «снимок» логического состояния всех узлов СБИС в момент работы и передачу информации по JTAG в тестирующее устройство. Это дает возможность изучить допущенные ошибки во время проектирования, локализовать место ошибки и таким образом исправить ее к следующей итерации.

Данная система является универсальной и может быть применена в любой СБИС. А реализация данной системы с помощью скриптов синтеза в САПР позволяет сократить затраты на создание данной системы в СБИС. Система скан-через-JTAG была применена при разработке высокопроизводительного процессора, изготовленного по технологии КНИ с проектными нормами 0,25мкм. Ожидается получение кристалла СБИС для проведения испытаний.

ЛИТЕРАТУРА

- [1] Stollon N. On-Chip Instrumentation: Design and Debug for Systems on Chip. New York: Springer, 2011. P. 49-52.
- [2] IEEE Std 1149.1-2001 URL: http://fiona.dmc.pl/~cmaj/JTAG/JTAG_IEEE-Std-1149.1-2001.pdf (дата обращения: 20.01.2014).
- [3] Галатенко В.А., Шмырев Н.В., Костюхин К.А. Развитие спецификаций jtag для отладки аппаратного и программного обеспечения // Программные продукты и системы. 2010. № 4. С. 3-8.
- [4] Gizopoulos D. Advances in electronic testing. Challenges and methodologies. Dordrecht: Springer, 2006. P. 84-88.
- [5] Wang L., Stroud C., Touba N. System-on-Chip Test Architectures. Burlington: Elsevier, 2008. P. 468-469.
- [6] Qi Z., Liu H., Li X., Hu W. Design for testability features of Godson-3 multicore microprocessor // Journal of computer science and technology. 2011. P. 302-313.
- [7] Baeg S. Patent No.: US Patent 6,018,815 Adaptable scan chains for debugging and manufacturing test purposes. Date of Patent : Jan. 25, 2000.
- [8] Lha N., Gupta S. Testing of Digital Systems. New York: Cambridge University Press, 2003. P. 560-566.
- [9] Ладнушкин М.С. Методика встроенного тестирования субмикронных цифровых КМОП СБИС // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012». Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИПМ РАН, 2012. С. 485-488.
- [10] DFT Compiler User Guide 2012. URL: <https://solvnetsynopsys.com> (дата обращения: 20.01.2014).
- [11] Опадчий Ю.Ф. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов. М.: Горячая Линия – Телеком, 2002. С. 572-574.
- [12] Крыницкий А.В., Евлампиев Б.Е. Схема переключения тактовых сигналов СБИС // Электроника, микро- и нанoeлектроника. Сб. научных трудов. М.: НИЯУ МИФИ, 2011. С. 242-245.