

Псевдо-дифференциальный каскодный выходной буфер для высокоскоростной последовательной передачи данных по каналу с большим коэффициентом затухания сигнала

А.В. Ларионов

Научно-исследовательский институт системных исследований РАН, alar@cs.niisi.ras.ru

Аннотация — В данной статье представлена новая принципиальная схема псевдо-дифференциального каскодного выходного буфера для высокоскоростной последовательной передачи данных по каналу с большим коэффициентом затухания сигнала. Буфер реализован по технологии КМОП 65нм, имеет детерминированный джиттер DJ=1.572пс, пиковое выходное дифференциальное напряжение $V_{DIFFP\text{MAX}}=1.9\text{В}$ и выходные дифференциальные потери на отражение SDD22=–8дБ на частоте F=6.943ГГц, что позволяет использовать его на скоростях до 14Гб/с.

Ключевые слова — выходной буфер, передатчик, приемопередатчик, эквалайзер, последовательный канал, CML, VML.

I. ВВЕДЕНИЕ

С увеличением скорости обмена информацией последовательные приемопередающие устройства стали настолько популярны, что зачастую даже на уровне печатной платы вытесняют параллельные приемопередатчики. Это объясняется отсутствием необходимости передавать синхросигнал и возможностью обмена информацией между плездохронными устройствами (устройствами, работающими от разных кварцевых генераторов).

Данная статья сфокусирована на выходном буфере передатчика, одном из наиболее критичных узлов последовательного приемопередающего устройства. Существуют два пути реализации выходного буфера. Первый основан на использовании источника напряжения (VML, Voltage Mode Logic) [1]-[3], второй строится на основе токовой логики (CML, Current Mode Logic) [4]-[7]. Рассеиваемая мощность VML буфера примерно в 4 раза меньше, чем у CML буфера, что делает его привлекательным для использования в мультисканальных системах. С другой стороны, VML буфер имеет небольшое выходное дифференциальное напряжение, что ограничивает его применение для каналов с большим коэффициентом затухания. Более того, выходной импеданс, глубина эквалайзера и выходное дифференциальное напряжение VML буфера величины взаимозависимые, что неизбежно приводит к увеличению потерь на отражение, а, следовательно, к ухудшению s-параметров и выходной глазковой

диаграммы, таким образом ограничивая скорость передаваемых данных. В CML буфере все параметры управляются независимо друг от друга, что делает его более конкурентоспособным при использовании в высокоскоростных передатчиках для передачи данных по каналу с большим коэффициентом затухания.

Однако, несмотря на все вышеизложенное, популярность VML буферов за последнее время значительно возросла и вытесняет CML. Основная причина этой тенденции связана с деградацией характеристик CML буферов в процессе технологического масштабирования.

В параграфе II рассматриваются проблемы, возникшие в данной технологии при использовании в качестве выходного буфера передатчика - дифференциального каскада. В параграфе III рассмотрены пути её решения, в результате чего предложена новая принципиальная схема выходного буфера. Параграф IV суммирует полученные результаты.

II. АНАЛИЗ ВЫХОДНОГО БУФЕРА ПЕРЕДАТЧИКА, РЕАЛИЗОВАННОГО НА ОСНОВЕ ДИФФЕРЕНЦИАЛЬНОГО КАСКАДА

Наиболее популярным и часто используемым в высокоскоростных последовательных интерфейсах представителем CML буферов является n-канальный дифференциальный каскад (ДК), принципиальная схема которого показана на рис. 1. Частотные характеристики ДК позволяют передавать информацию на предельных скоростях для данной технологии. Как правило, ДК проектируется с использованием транзисторов на толстом окисле и работает от источника питания с более высоким номиналом напряжения, чем ядро передатчика. Такой подход позволяет сформировать необходимый дифференциальный размах выходного напряжения, а также удовлетворить требованиям электростатической защиты.

В результате технологического масштабирования использование ДК в качестве выходного буфера становится все более проблематичным. Увеличение отношения напряжения питания транзисторов на

толстом окисле (терминирующего напряжения V_{TT}) к напряжению питания транзисторов на тонком окисле (напряжение ядра V_{DD}) приводит к ухудшению целого ряда параметров выходного сигнала, формируемого ДК.

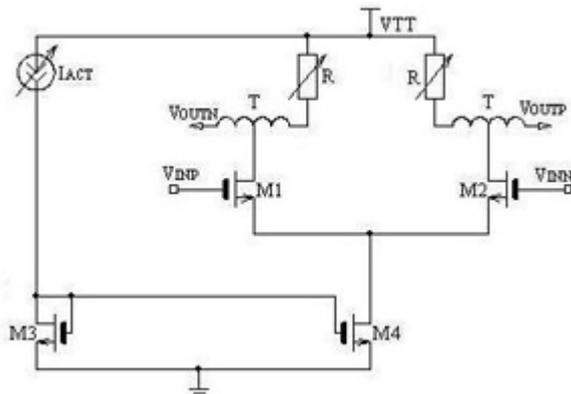


Рис. 1. Принципиальная схема дифференциального каскада, используемая в качестве выходного буфера передатчика

Высокий уровень выходного сигнала предусилителя соответствует напряжению ядра V_{DD} . Следовательно, входной сигнал V_{INP}/V_{INN} , приходящий на ДК с предусилителя, должен удовлетворять условию:

$$V_{DD} \geq V_{GS1} + (V_{GS4} - V_{THICK}), \quad (1)$$

где V_{GS1} - напряжение затвор-исток n-канального транзистора дифференциальной пары, V_{GS4} - напряжение затвор-исток источника тока ДК, V_{THICK} - пороговое напряжение источника тока ДК. В противном случае ДК попадает в режим истокового повторителя, что приводит к искажению выходного сигнала и потере мощности. Происходит уменьшение величины дифференциального напряжения выходного сигнала, а, следовательно, и глубины эквалайзера передатчика, что ограничивает использование ДК для каналов передачи с большим затуханием. Более того, работа ДК на предельном для себя размахе приводит к деградации таких параметров, как время разбежки между прямым и инверсным выходным сигналом, а также дисбалансу фронта и среза.

Попытки уменьшить напряжение V_{GS1} , V_{GS4} в правой части выражения (1) за счет увеличения ширины транзисторов дифференциальной пары или источника тока не дают должного эффекта. Эти изменения увеличивают емкостную составляющую выходного импеданса, ухудшая s-параметры схемы. Более того, это провоцирует дополнительное потребление мощности предусилителя. Использование транзисторов с более низким порогом V_{THICK} (если это позволяет технология) приводит к необходимости уменьшать терминирующее напряжение V_{TT} и, как следствие, к уменьшению величины дифференциального напряжения выходного сигнала.

III. ПСЕВДО-ДИФФЕРЕНЦИАЛЬНЫЙ КАСКОДНЫЙ ВЫХОДНОЙ БУФЕР ПЕРЕДАТЧИКА

Псевдо-дифференциальный каскодный (ПДК) выходной буфер, предложенный в [8], решает проблемы, описанные выше. На рис. 2 представлена улучшенная модификация данного буфера.

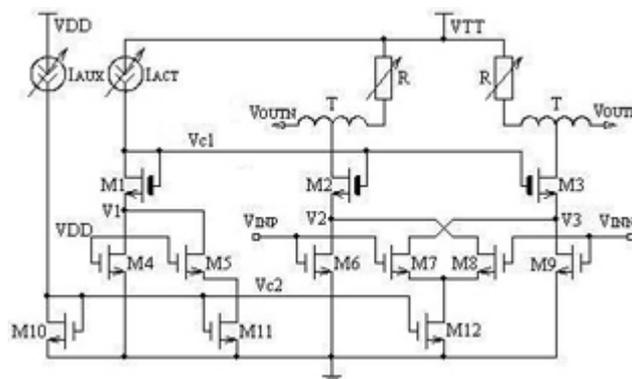


Рис. 2. Принципиальная схема модифицированного псевдо-дифференциального каскодного выходного буфера передатчика

Схема работает следующим образом. Транзисторы $M2/M3$, выполненные на толстом окисле, формируют основной ток буфера, величина которого в обоих плечах одинакова. Истоки этих транзисторов последовательно соединены с транзисторами $M6/M9$, работающими в ключевом режиме, полностью открывающими или закрывающими соответствующий источник тока, формируя выходной дифференциальный сигнал. Ключи работают инверсно: если входной сигнал V_{INP} открывает транзистор $M6$, источник тока $M2$ формирует падение напряжения на терминирующем резисторе R , уменьшая потенциал на выходе V_{OUTN} . Одновременно растет потенциал на выходе V_{OUTP} , поскольку входной сигнал V_{INP} закрывает ключ $M9$.

В отличие от ДК, в ПДК минимальное значение напряжения высокого уровня на входах V_{INP}/V_{INN} определяется порогом n-канальных транзисторов $M6/M9$, реализованных на тонком окисле, не ограничивая дифференциальный размах выходного сигнала. Ограничением для ПДК при подключенном ответном терминаторе со стороны приемника будет:

$$V_{TT} \geq (V_{C1} - V_{THICK}) + \frac{3}{4} V_{DIFFPP}, \quad (2)$$

где V_{TT} - напряжение питания выходного буфера, V_{C1} - напряжение на затворе источника тока, V_{DIFFPP} - дифференциальное напряжение на выходе передатчика.

В выходных буферах, представленных на рис. 1 и рис. 2, использовались транзисторы с длиной канала 65нм для тонкого окисла и длиной канала 0.25мкм для толстого окисла с напряжением питания $V_{DD}=1В$ и $V_{TT}=2.5В$, соответственно. На рис. 3 показана

зависимость пикового дифференциального напряжения выходного сигнала от управляющего кода, контролируемого током I_{ACT} , для ДК и ПДК. Максимальное значение пикового дифференциального напряжения для ДК не превышает величины 1.25В, тогда как для ПДК соответствует 1.9В. Эта величина напрямую влияет на глубину эквалайзера передатчика, используемого для уменьшения межсимвольной интерференции. К примеру, если пиковое минимально-допустимое дифференциальное напряжение выходного сигнала имеет значение 0.4В (определяется стандартом), то максимальная глубина эквалайзера передатчика на основе ДК будет соответствовать 9.9дБ, тогда как на основе ПДК эта величина будет соответствовать 13.5дБ.

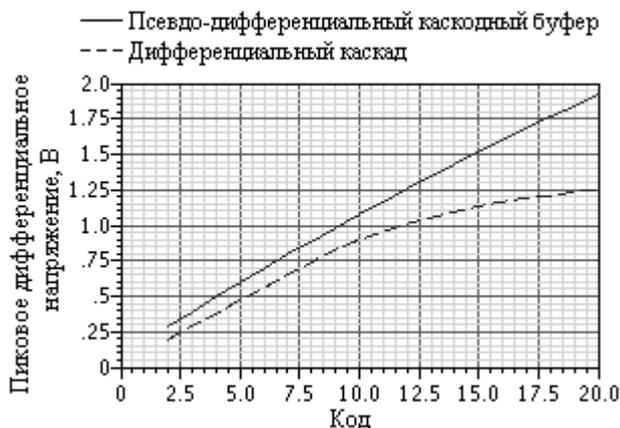


Рис. 3. Зависимость пикового дифференциального напряжения от управляющего кода для выходного сигнала псевдо-дифференциального каскодного буфера и дифференциального каскада

Таким образом, ПДК выходной буфер, предложенный в [8], решает проблемы, возникшие в ДК в процессе технологического масштабирования. Однако ПДК имеет недостаток. Проблема в том, что в процессе ухода в отсечку, например, ключа М6 в узле V2 формируется остаточный заряд. Порция этого заряда, оставшаяся к моменту открытия М6, зависит от времени отсечки, что увеличивает частотно-зависимый характер работы выходного буфера.

Представленный в данной работе модифицированный ПДК [9] устраняет этот эффект путем контроля потенциалов в узлах V2 и V3 вспомогательным источником тока на транзисторе M12. Выбор плеча, на которое будет подаваться вспомогательный ток, осуществляется ключами на транзисторах M7/M8, работающими инверсно друг относительно друга. Например, когда на вход V_{INP} подается логический ноль, М6 в отсечке, ключ М8 открыт, пропускает вспомогательный ток с источника на транзисторе M12, формируя определенный потенциал в узле V2. На рис. 4 показаны переходные процессы в узлах V2 и V3. Обратим внимание, что для того, чтобы вспомогательный источник тока I_{AUX} не приводил к какому-либо значимому уменьшению пикового дифференциального напряжения выходного

сигнала, его величина должна быть не более 1% от величины основного тока I_{ACT} . Также отметим, что контроль потенциалов V2 и V3 позволяет избежать возможных перегрузок транзисторов M6/M9, поскольку величина потенциала на стоках этих транзисторов без использования вспомогательного источника тока может оказаться выше, чем VDD, что недопустимо.

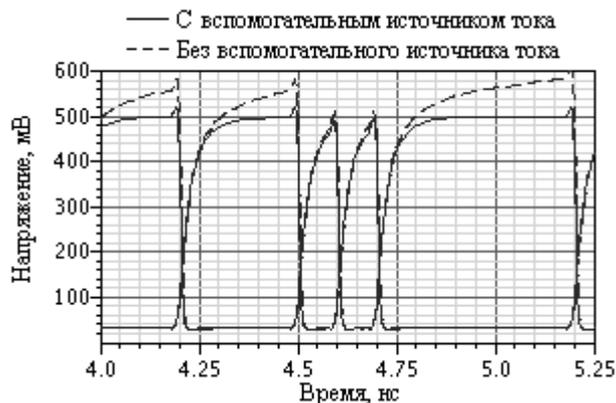


Рис. 4. Переходные процессы в узлах V2 и V3 псевдо-дифференциального каскодного буфера

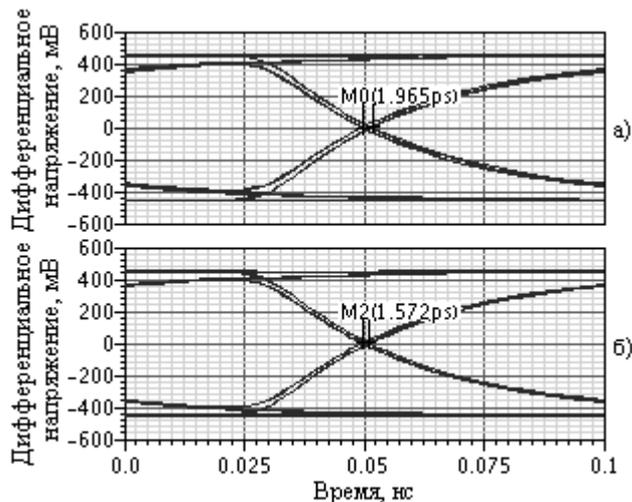


Рис. 5. Глазковые диаграммы на выходе псевдо-дифференциального каскодного буфера, (а) вспомогательный источник тока отключен, (б) вспомогательный источник тока включен

Эффективность предложенных изменений оценивалась следующим образом. На вход модифицированного ПДК выходного буфера были поданы идеальные прямая и инверсная СОММА K28.5 последовательности [10]. К выходу подключен ответный терминатор, затухание в канале отсутствует. Следовательно, в выходном сигнале будет присутствовать детерминированный джиттер только самого буфера. Результат на рис. 5 демонстрирует 20% уменьшение детерминированного джиттера для ПДК буфера с включенным вспомогательным источником тока.

В заключении отметим, что в ПДК предусмотрена возможность калибровки терминирующего резистора R в диапазоне $\pm 25\%$ от номинального значения. Также отметим, что аналогично ДК, в ПДК легко интегрируется дифференциальная катушка T , позволяющая изолировать выходную емкость буфера (на рис. 1 и рис. 2 электростатическая защита не показана), уменьшая потери на отражение [11]. На рис. 6 показана зависимость выходных дифференциальных потерь на отражение от частоты для ПДК выходного буфера. Как правило, эти потери на частоте Найквиста не должны превышать $SDD_{22} = -8$ дБ, например [10]. Для ПДК данный порог соответствует частоте $F = 6.943$ ГГц, что позволяет применять полученный выходной буфер на скорости передачи до 14 Гб/с.

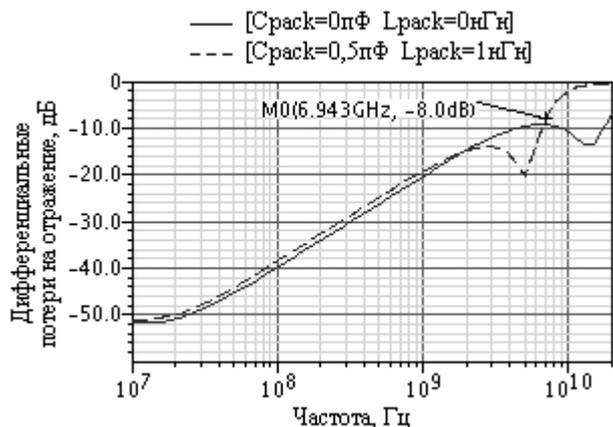


Рис. 6. Зависимость дифференциальных потерь на отражение от частоты для выходного сигнала модифицированного псевдо-дифференциального каскадного буфера без корпуса и с корпусом ИС

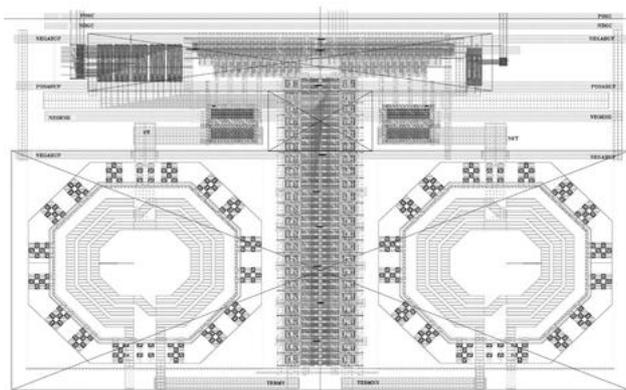


Рис. 7. Топология модифицированного псевдо-дифференциального каскадного выходного буфера передатчика

На рис. 7 показана топология разработанного выходного буфера, его размеры 350×210 мкм. С учетом экстракции паразитных параметров и эквивалентной схемы корпуса интегральной микросхемы выходной буфер имеет детерминированный джиттер $DJ = 1.572$ пс, пиковое выходное дифференциальное напряжение $V_{DIFFPPMAX} = 1.9$ В и выходные дифференциальные

потери на отражение $SDD_{22} = -8$ дБ на частоте $F = 6.943$ ГГц, что дает возможность использовать его на скоростях до 14 Гб/с в канале с большим коэффициентом затухания.

IV. ЗАКЛЮЧЕНИЕ

Разработана новая принципиальная схема псевдо-дифференциального каскадного выходного буфера по технологии КМОП 65 нм для высокоскоростной последовательной передачи данных по каналу с большим коэффициентом затухания сигнала. При проектировании использовались транзисторы с длиной канала 65 нм для тонкого окисла и длиной канала 0.25 мкм для толстого окисла, поликремневые резисторы и дифференциальные катушки. Схема работает от напряжения питания $VDD = 1$ В и $VTT = 2.5$ В.

БЛАГОДАРНОСТИ

Выражаю признательность Буюковой О.Н. и Сысоевой О.В. за искусное выполнение топологии.

ЛИТЕРАТУРА

- [1] Poulton J., Palmer R., Fuller A.M. A 14-mW 6.25-Gb/s transceiver in 90-nm CMOS // IEEE Journal of Solid-State Circuits. 2007. V. 42. № 12. P. 2745-2757.
- [2] Wong K.-L. J., Hatamkhani H., Mansuri M. A 27-mW 3.6-Gb/s I/O transceiver // IEEE Journal of Solid-State Circuits. 2004. V. 39. № 4. P. 602-612.
- [3] Song Y., Palermo S. A 6-Gbit/s Hybrid Voltage-Mode Transmitter with current-mode equalization in 90-nm CMOS // IEEE Journal of Solid-State Circuits. 2008. V. 59. № 8. P. 491-495.
- [4] Payne R., Landman P., Bhakta B. A 6.25-Gb/s binary transceiver in 0.13- μ m CMOS for serial data transmission across high loss legacy backplane channels // IEEE Journal of Solid-State Circuits. 2005. V. 40. № 12. P. 2646-2657.
- [5] Takauchi H., Tamura H., Matsubara S. A CMOS multichannel 10-Gb/s transceiver // IEEE Journal of Solid-State Circuits. 2003. V. 38. № 12. P. 2094-2100.
- [6] Harwood M., Warke N., Simpson R. A 12.5Gb/s serdes in 65nm CMOS using a baud-rate ADC with digital receiver equalization and clock recovery // IEEE International of Solid-State Circuits Conference. 2007. SES. 24. P. 436-437.
- [7] Wang H., Lee J. A 21-Gb/s 87-mW transceiver with FFE/DFE/analog equalizer in 65-nm CMOS technology // IEEE Journal of Solid-State Circuits. 2010. V. 45. № 4. P. 909-920.
- [8] Pelteshki A., Khor H. Transmit driver circuit // United States Patent. Pub. No.: US 2013/0002311 A1, Pub. Date: Jan. 3, 2013.
- [9] Ларионов А.В., Агафонов А.Е., Сысоева О.В. Псевдо-дифференциальный каскадный выходной буфер // Заявка RU № 2013127588, дата поступления 18.06.2013.
- [10] RapidIO interconnect specification part6: LP-serial physical layer specification. REV. 2.1, 08/2009.
- [11] Galal S., Razavi B. Broadband ESD protection circuit in CMOS technology // IEEE Journal of Solid-State Circuits. 2003. V. 38. №12. P. 2334-2340.