

Методы проектирования заказных сложно-функциональных блоков в базисе элементов с регулярной топологической структурой в слоях поликремния и диффузии

С.В. Гаврилов¹, Г.А. Иванова¹, А.А. Манукян²

¹Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН),
sergey.v.gavrilov@ippm.ru, pirutina_g@ippm.ru

²Национальный исследовательский университет «МИЭТ», aram.manukyan@yahoo.com

Аннотация — На сегодняшний день ключевые блоки микроэлектронных систем (ядра микропроцессоров, микроконтроллеров) разработчики микроэлектронной аппаратуры по-прежнему обрабатывают в полностью заказном режиме, в котором окончательный состав библиотечных элементов заранее неизвестен, и проектирование ведется на предельно низком транзисторном уровне. Однако автоматизация процесса логического и топологического синтеза для полностью заказного проектирования затруднена из-за существенного возрастания сложности задачи с увеличением степени интеграции микроэлектронных систем и уменьшением технологических размеров базовых элементов до 22нм и ниже. Данная работа посвящена исследованию и разработке методов проектирования заказных сложно-функциональных блоков в базисе элементов с регулярной топологической структурой в слоях поликремния и диффузии.

Ключевые слова — SP-граф, сложно-функциональный блок (СФ-блок), FinFET транзисторы (транзисторы с трехмерной структурой в форме плавника), КМОП технология.

I. ВВЕДЕНИЕ

С увеличением степени интеграции микроэлектронных систем и уменьшением технологических размеров базовых элементов до 45нм и ниже в значительной степени усложнились технологические правила и нормы проектирования. Количество правил проектирования для технологий с размерами транзистора 32 нм и ниже составляет несколько тысяч ограничений. Соблюдение полного набора правил и норм проектирования в автоматическом режиме становится невозможным при использовании существующих подходов к решению задач логического и топологического синтеза. Это ведет к необходимости большого объема ручной работы с редактированием схемы и топологии на заключительном этапе верификации проекта в целом.

В полностью заказном режиме окончательный состав библиотечных элементов заранее неизвестен, и проектирование ведется на предельно низком транзисторном уровне. Это обусловлено двумя аспектами. Во-первых, очевидно, что переход от полузаказного к полностью заказному проектированию с отказом от ограничений библиотеки ведет к появлению большего числа степеней свободы и способен обеспечить достижение лучших значений характеристик схемы по площади, быстродействию и потребляемой мощности по сравнению с полузаказным проектированием. Во-вторых, автоматические средства синтеза в полузаказном маршруте не способны обеспечить соблюдения полного набора из нескольких тысяч технологических норм, правил и ограничений. Обеспечивается лишь соблюдение основных ограничений (ширина, зазор, перекрытие и т.п.), а для выполнения полного набора ограничений приходится использовать средства ручного редактирования.

Переход к использованию регулярных структур в нижних слоях топологии позволяет решить проблемы возрастающего числа проектных норм для технологий 22нм и ниже. Исторически регулярность топологии в нижних слоях связывают с так называемой технологией базовых матричных кристаллов (БМК) с предопределенным набором библиотечных элементов. Применение аналогичного подхода при проектировании заказных сложно-функциональных блоков позволяет значительно упростить проверку правил проектирования при разработке общего вида топологии.

В работах компании Intel для соблюдения требований регулярности в маршруте заказного проектирования предлагается подход к проектированию регулярных топологических структур с использованием конструкции специального типа – так называемого транзисторного шаблона [1]. Транзисторный шаблон определяется как промежуточная конструкция между транзистором и стандартной ячейкой [1].

Данная работа представляет собой дальнейшее развитие идеи использования регулярности топологических структур в маршруте заказного проектирования по следующим основным направлениям:

1) предлагается согласованное решение проблем синтеза схемы и топологии на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-граф) с независимым анализом цепей земли (pull-down) и питания (pull-up);

2) предлагаются анализ и методы формирования регулярных шаблонов для новой технологии, получившей название FinFET (технология с трехмерным затвором транзистора в форме плавника (fin)).

Дальнейшее содержание работы включает следующие разделы:

В разделе II приведено описание математических моделей логических элементов.

В разделе III рассматриваются различные варианты конструкций FinFET структур.

В разделе IV исследуются различные варианты FinFET транзисторов.

В разделе V описываются регулярные структуры FinFET транзисторов в слоях поликремния и диффузии.

II. МАТЕМАТИЧЕСКИЕ МОДЕЛИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Отличительная особенность предлагаемого подхода состоит в независимом синтезе pull-up и pull-down цепей с использованием графа вложенности последовательно-параллельных структур (SP-граф) [2]. Это обеспечивает дополнительные степени свободы для достижения требуемых значений характеристик схемы по площади, быстродействию и потребляемой мощности по сравнению со стандартными подходами на основе предопределенных библиотек элементов.

На рис. 1 дан пример элемента XOR в двух вариантах, с комплементарными pull-up и pull-down цепями (рис. 1 слева) и некомплементарными (рис. 1 справа).

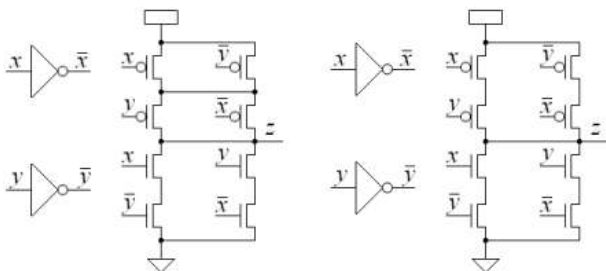


Рис. 1. Схема XOR, цепи pull-up и pull-down комплементарны (слева), некомплементарные pull-up и pull-down цепи (справа)

Граф вложенности последовательно-параллельных структур (SP-граф) определяется как бинарный ориентированный упорядоченный ациклический граф $G = (V, E)$, где каждая вершина из множества V описывает логическую функцию, а каждая дуга в множестве E , исходящая из вершины, описывает ссылки на аргументы соответствующей функции. Рассматриваются функции пяти типов для цепочки от узла земли (pull-down), а именно, конъюнкция ($f(a,b) = a \& b$) для последовательного соединения внутри вентиля, дизъюнкция ($f(a,b) = a + b$) для параллельного соединения внутри вентиля, отрицание ($f(a) = \sim a$), функция конъюнкции с отрицанием (NAND) ($f(a,b) = \sim(a \& b)$) для последовательного соединения на выходе вентиля, функция дизъюнкции с отрицанием (NOR) ($f(a,b) = \sim(a + b)$) для параллельного соединения на выходе вентиля.

Таким образом, граф описывает композицию логических функций. Вершины соответствуют логическим функциям. Дуги описывают подстановку аргументов для функции, соответствующей вершине, из которой эти дуги исходят. Пример SP-графа схемы c17 (рис. 2) представлен на рис. 3.

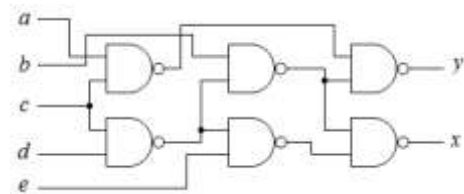


Рис. 2. Схема c17

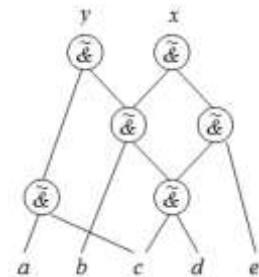


Рис. 3. SP-граф схемы c17

Благодаря обобщенной графовой модели появляется возможность разработки эффективного алгоритма структурной оптимизации. При этом, с одной стороны, сохраняется большее число степеней свободы за счет логического аспекта (т.е. булевой формы графа), с другой стороны, появляется нужная точность задержек, мощности и площади за счет структурной интерпретации на транзисторном уровне.

III. FINFET ТРАНЗИСТОРЫ

FinFET транзисторы – это новое направление в проектировании микросхем, в котором за счет использования трехмерного затвора транзистора в форме плавника повышается эффективная ширина затвора при сходной площади логической ячейки. В

последнее время появился ряд публикаций связанных с проектированием на основе FinFET транзисторов.

Известны три основные конструкции FinFET структур [3]:

- 1) SG (Shorted-Gate) или TG (Tri-gate) FinFET, затворы транзистора соединены друг с другом.
- 2) IG (Independent-Gate) или DG (Double-Gate) FinFET, затворы транзистора независимы (на каждый затвор подается свой сигнал).
- 3) LP (Low Power) FinFET, второй затвор (back-gate) транзистора подключен к обратному смещенному напряжению для уменьшения статической мощности.

В работе [3] проведен сравнительный анализ по потребляемой мощности библиотек с различными конструкциями транзисторов. Показано, что в случае TG-транзисторов статическая мощность уменьшается на 31,3%, для комбинации LP- и TG-транзисторов статическая мощность уменьшается на 64,74%, а полная мощность – в среднем на 14,51%. При этом площадь в LP-режиме увеличивается в среднем на 122,6%. Комбинация IG/LP- и TG-режима дает снижение полной мощности на 6,91%, статической мощности – на 20,66%, увеличение площади – на 62,2%.

Использование FinFET-транзисторов для разработки набора базовых блоков для создания регулярной топологии приведено в работе [4], где рассмотрены два типа конструкций FinFET: SG-FinFET и IG-FinFET. Предлагается создавать геометрически регулярную топологию с помощью повтора однотипных блоков (элементы NAND2, NOR2 и NOT). Показано, что в плане уменьшения статической мощности и занимаемой площади для элементов NAND2, NOR2 и NOT IG-FinFET эффективнее, чем SG-FinFET. Так как не приведен эскиз топологии, сложно оценить правдоподобность полученных результатов.

В работах [5] и [6] можно найти возможные эскизы топологии FinFET-транзисторов и базовых логических элементов, таких как NOT, NOR2 и 2xNOR2. Вместе с тем на сегодняшний день проектирование на основе FinFET-транзисторов осуществляется на основе ограниченного набора библиотечных элементов, отсутствуют средства синтеза сложносоставных элементов, поэтому возникает необходимость самостоятельной разработки принципов создания топологии FinFET-структур для маршрута заказного проектирования с регулярными структурами.

A. Структура FinFET-транзисторов

На рис. 4 приведена простая структура SG (Shorted-Gate) FinFET транзистора. Структура состоит из “плавника” (fin) - то есть, из области диффузии для стока и истока, которая окружена затвором. Физические размеры транзистора описываются высотой плавника h_{FIN} , толщиной плавника (или кремния) T_{SI} и длиной канала L_{FIN} [7].

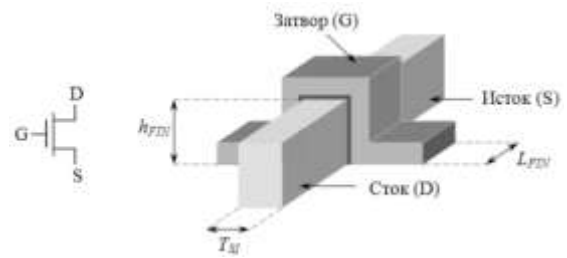


Рис. 4. Структура транзистора SG-FinFET

Так как верхняя часть затвора отделена от плавника сравнительно толстым слоем окисла, вклад этой части затвора в работу транзистора можно не учитывать [8]. У такого транзистора длина канала L_{FIN} , а ширина – W_{min} (1).

$$W_{min} \approx 2 \cdot h_{FIN} . \quad (1)$$

На рис. 5 приведена структура IG (Independent-Gate) FinFET транзистора, которую можно получить путем удаления верхней части затвора обычного SG-FinFET транзистора [9].

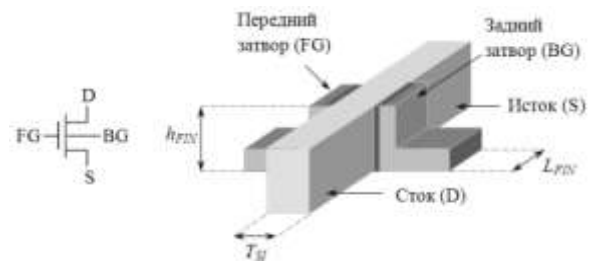


Рис. 5. Структура транзистора IG-FinFET

Затворы IG-FinFET транзистора независимы, это позволяет использовать один из затворов (back-gate) для обратного смещения транзистора, что дает возможность управлять пороговым напряжением этого транзистора, а тем самым и утечками и задержками транзистора [10]. Часто второй затвор подключают к самому низкому (или высокому) потенциалу для получения маломощных схем – LP (Low Power) FinFET. Независимость затворов IG-FinFET структур также дает возможность образовать параллельно подключенные транзисторы, ширина каждого из которых $W_{min}=h_{FIN}$ [11].

Если соединить затворы IG-FinFET транзистора, можно получить транзистор с шириной W_{min} согласно формуле (1), но это приведет к увеличению площади транзистора, так как контакт ко второму затвору требует определенного места и соблюдения правил проектирования [12].

B. Плотность топологии на FinFET транзисторах

Минимальная ширина FinFET-транзисторов равна W_{min} , из чего следует, что для получения ширины W , которая больше чем W_{min} , нужно подключить N_{FIT} транзисторов параллельно [13].

$$N_{FIT} = W/W_{min} . \quad (2)$$

Так как N_{FIT} обычно должно быть целым, то получается, что ширина транзистора кратна W_{min} .

IV. РАЗРАБОТКА ТОПОЛОГИИ FINFET СТРУКТУР

В рамках данной работы был проведен сравнительный анализ топологий разных ячеек с технологическими нормами 32, 45 и 65нм. На основе имеющихся данных делается прогноз о проектировании топологии для перспективных технологий с технологическими размерами 22 и 16нм. В табл. 1 приведено сравнение размеров L_{FIN} , T_{SI} и h_{FIN} для технологий 32, 45 и 65нм [8].

Таблица 1

Технологические нормы для разных технологий

Технология	32нм	45нм	65нм
L_{FIN}	35	45	55
T_{SI}	23	30	36
$h_{FIN}=2 \cdot T_{SI}$	46	60	72

В табл. 2 приведены результаты сравнения топологий ячеек двухвходового ИЛИ-НЕ (NOR2), разработанного в рамках данной работы на основе технологии 45нм.

Таблица 2

Сравнение топологий ячеек двухвходового ИЛИ-НЕ

Параметр	Bulk CMOS	SG FinFET	IG FinFET
Шаг плавников (fin pitch)	-	60нм	174нм
H_p	W_p	$0.5 \cdot W_p$	$1.3 \cdot W_p$
H_n	W_n	$0.5 \cdot W_n$	$1.3 \cdot W_n$
Площадь	S_b	$0.7 \cdot S_b$	$1.79 \cdot S_b$

На высоту ячейки влияют параметры H_p и H_n , которыми обозначены максимальные высоты области диффузии соответственно р- и п-канальных транзисторов (см. рис. 6 мелко заштрихованные области). Параметром S_b обозначена площадь ячейки по технологии bulk CMOS.

Для bulk CMOS транзисторов H_p равно ширине W_p р-канального транзистора, а H_n равно ширине W_n п-канального транзистора. Параметры W_p и W_n были выбраны соответственно 480нм и 240нм, для простоты расчетов. Высота плавника h_{FIN} выбрана в 2 раза больше толщины плавника T_{SI} [9].

На рис. 6 приведены двухвходовые ячейки ИЛИ-НЕ с одинаковой нагрузочной способностью. Можно заметить, что по сравнению со структурой bulk CMOS, SG-FinFET структура меньше за счет высоты ячейки.

В случае IG-FinFET структуры, контакты ко вторым затворам требуют определенного места. Как можно заметить из рис. 6 IG-FinFET структура больше не только по высоте, но и по ширине, к тому же из-за сложности трассировки первым металлом приходится использовать второй металл, что усложняет трассировку на более высоком уровне металлизации.

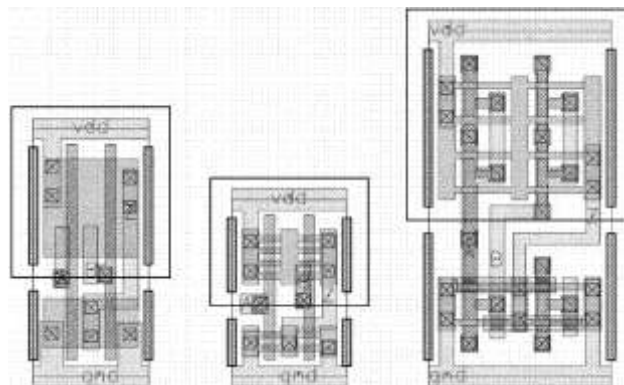


Рис. 6. Ячейка двухвходового ИЛИ-НЕ (слева направо): bulk CMOS структура, SG-FinFET структура, IG-FinFET структура

Свойства IG-FinFET структур довольно интересны и многообещающи, особенно с точки зрения управления утечками и уменьшения задержек транзистора, но нужно учитывать, что при той же площади нагрузочная способность ячеек падает в два раза. На рис. 7 приведены наиболее часто используемые IG-FinFET структуры топологии [10]-[11] ячейки ИЛИ-НЕ.

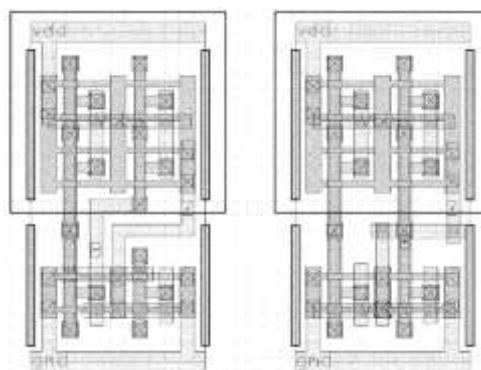


Рис. 7. Ячейка двухвходового ИЛИ-НЕ: IG-FinFET структура с параллельно подключенными п-канальными транзисторами (слева), LP-FinFET структура (справа)

Благодаря независимости затворов IG-FinFET структуры на рис. 7 п-канальные транзисторы подключены параллельно, а затворы back-gate р-канальных транзисторов подключены к напряжению обратного смещения, которое используется для управления пороговым напряжением транзисторов, что позволяет ощутимо сократить затраты по мощности. При этом нагрузочная способность частично падает из-за того, что ширина р-канального транзистора в два раза меньше.

V. РАЗРАБОТКА FINFET РЕГУЛЯРНЫХ СТРУКТУР В СЛОЯХ ПОЛИКРЕМНИЯ И ДИФфуЗИИ

В данном разделе предпринята попытка разработки регулярного шаблона в слоях поликремния и диффузии для FinFET технологии.

А. Метод проектирования регулярных структур на основе выбора шаблона

Использование шаблонов при построении логических элементов является одним из подходов к проектированию схем с регулярной топологией.

На рис. 8 представлено сравнение обычной SG-FinFET структуры стандартной ячейки ИЛИ-НЕ (слева) с предлагаемой регулярной SG-FinFET структурой на основе шаблона (справа).

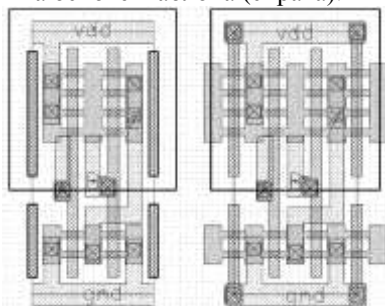


Рис. 8. Ячейка двухвходового ИЛИ-НЕ: SG-FinFET структура стандартной ячейки (слева), регулярная SG-FinFET структура (справа)

Особенность шаблона в том, что объединив множество таких же шаблонов, можно получить регулярность по слоям поликремния и диффузии (см. рис. 9 и рис. 11).

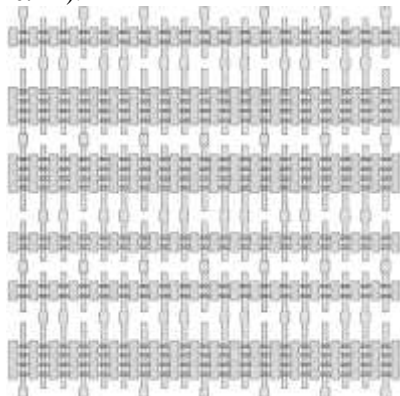


Рис. 9. Регулярная структура рядом стоящих ячеек по слоям диффузии и поликремния

В регулярной структуре присутствуют изолирующие затворы, которые подключены к шинам питания, следовательно, всегда закрыты. Между изолирующими затворами два функциональных затвора, как и в стандартной ячейке. По сравнению со структурой стандартной ячейки, в регулярной структуре ничего не меняется за исключением того, что слои диффузии выходят за пределы ячеек, и появляются изолирующие затворы.

Однако, если стандартные ячейки позволяют менять размеры ячейки на кратные шаги сетки, а также менять количество подключений к затворам внутри ячейки, то в регулярной структуре количество подключений к затворам фиксировано, и ячейки должны быть кратны размерам самой маленькой ячейки. В нашем случае самые маленькие блоки - это

двухвходовые, в которых можно реализовать такие элементы как ИЛИ-НЕ, И-НЕ, буфер, инвертор.

Итак, для реализации трехвходовых регулярных структур, как например И-ИЛИ-НЕ21 (AOI21), понадобится ячейка вдвое больше (см. рис. 10).

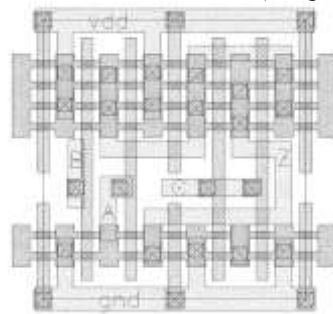


Рис. 10. Регулярная структура трехвходового И-ИЛИ-НЕ21

Из рис. 10 можно заметить, что один из входов будет подключен к транзистору, размеры которого в два раза больше, чем размеры остальных, или один затвор останется в плавающем (floating) состоянии, что не рекомендуется. Получается, что в таких регулярных структурах сложнее получить нужную нагрузочную способность, чем в стандартных ячейках, но, как было сказано выше, автоматизировать проектирование такой структуры гораздо легче.

Стоит отметить, что если уйти от вентиляльной структуры к заказной, то можно обеспечить нужную нагрузочную способность, сэкономив площадь и улучшив быстродействие, однако при этом усложняется задача трассировки.

Итак, имея схематическое представление схемы на уровне транзисторов, с помощью программного обеспечения можно на регулярной структуре получить топологию нужной схемы по определенным шаблонам и алгоритму синтеза.

В. Метод проектирования регулярных структур на основе технологии режущих (cut) слоев

Для технологических процессов 22нм и ниже все труднее становится получать топологические элементы заданной формы. Для решения этой проблемы увеличивают количество норм проектирования, особенно нормы проектирования усложняются для слоев поликремния и диффузии, а также для слоев металлизации.

Процесс упрощается при введении регулярной топологической структуры в слоях поликремния и диффузии. Кроме этого существует подход, при котором в процессе проектирования используются особые режущие слои (cut layers), из которых изготавливаются маски (cut masks). Эти маски в процессе производства “режут” слои топологии [14]. Такой метод широко используется, начиная с технологии 20нм и ниже.

В регулярных структурах метод режущих слоев также дает возможность регулировать синтез сложно-

функциональных блоков в слоях поликремния и диффузии. Отрезав поликремний в тех местах, где это необходимо, можно получить почти любую схему и без выбора шаблона.

В данной работе разработан метод синтеза регулярной топологии с внедрением особого слоя. Этот слой назван PCUT и используется как аналог режущего слоя, который используется лидирующими производителями уже давно.

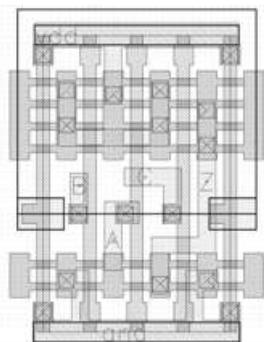


Рис. 11. Регулярная структура трехходового И-ИЛИ-НЕ21 с применением PCUT слоя

На рис. 11 приведена структура трехходового И-ИЛИ-НЕ21 с применением PCUT слоя. Можно заметить, что этот метод позволяет синтезировать любые схемы на матрице регулярных слоев поликремния и диффузии, удаляя слой поликремния там, где это необходимо, тем самым изолируя функциональные затворы друг от друга (см. рис. 12).

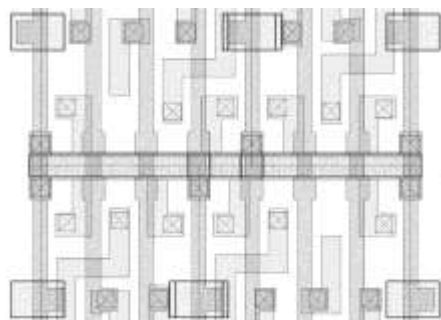


Рис. 12. Фрагмент топологии регулярных структур с применением PCUT слоя

По сравнению с использованием регулярных шаблонов без PCUT этот метод позволяет эффективнее размещать функциональные блоки, сокращать площадь за счет общих областей диффузии и сокращать число изолирующих затворов. Однако алгоритм и программное обеспечение для такого синтеза топологии усложняются, а также усложняется трассировка.

VI. ЗАКЛЮЧЕНИЕ

В данной работе предложено согласованное решение проблем синтеза схемы и топологии на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-граф) с

независимым анализом цепей земли (pull-down) и питания (pull-up). Исследованы варианты топологического представления логических элементов на FinFET транзисторах. Разработан регулярный шаблон для отображения SP-структуры на FinFET транзисторах.

ЛИТЕРАТУРА

- [1] Талалай М.С., Трушин К.В., Венгер О.В. Логический синтез комбинационных схем на основе транзисторных шаблонов с регулярной топологией // Информационные технологии. 2011. № 4(176). С. 2-7.
- [2] Гаврилов С.В., Гудкова О.Н., Щелоков А.Н. Логико-временной анализ нанометровых схем на основе интервального подхода // Известия ЮФУ. Технические науки. 2012. № 7 (132). С. 85-91.
- [3] Muttreja A., Agarwal N., Jha N.K. CMOS Logic Design with Independent-gate FinFETs // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2007. P. 560-567.
- [4] Meinhardt C., Reis R. FinFET Basic Cells Evaluation for Regular Layouts // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2013. P. 1-4.
- [5] Mishra P., Muttreja A., Jha N.K., FinFET Circuit Design // Springer Science+Business Media LLC. 2011. P. 23-54.
- [6] Datta A., Goel A., Cakici R.T. Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2007. P. 1957-1966.
- [7] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, etc. Sub 50-nm FinFET: PFET // in Tech. Dig. IEDM, Washington, DC. 1999. P. 67-70.
- [8] J.P. Collinge, Ed., FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.
- [9] Y.X. Liu, T. Matsukawa, K. Endo, M. Masahara, etc. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses // IEEE Electron Device Lett. Jun. 2007. Vol. 28. № 6. P. 517-519.
- [10] Agostinelli M., Alioto M., Esseni D., Selmi L. Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology // IEEE Trans. Very Large Scale Integr. (VLSI) Syst. Feb. 2010. Vol. 18. № 2. P. 232-245.
- [11] Tawfik S.A. and Kursun V. Low-power and compact sequential circuits with independent-gate FinFETs // IEEE Trans. Electron Devices. Jan. 2008. Vol. 55. № 1. P. 60-70.
- [12] Cakici R.T. and Roy K. Analysis of options in double-gate MOS technology: A circuit perspective // IEEE Trans. Electron Devices. Dec. 2007. Vol. 54. № 12. P. 3361-3368.
- [13] Anil K.G., Henson K., Biesemans S. and Collaert N. Layout density analysis of FinFET // in Proc. ESSDERC. 2003. P. 139-142.
- [14] <http://www.synopsys.com/Solutions/EndSolutions/20nmdesign/Documents/20nm-and-beyond-white-paper.pdf>