

Псевдопараллельный АЦП со сниженной потребляемой мощностью на основе КМОП инверторов

Д.В. Морозов, М.М. Пилипко, И.М. Пятак

ФГБОУ ВПО «Санкт-Петербургский государственный политехнический университет»,
dvmorozov@inbox.ru, m_m_pilipko@rambler.ru

Аннотация — Рассмотрен псевдопараллельный АЦП со сниженной потребляемой мощностью на основе КМОП-инверторов. Предложено схемное решение для снижения влияния температуры и технологического разброса параметров при изготовлении на напряжения порогов переключения инверторов. Кристалл изготовлен по 180 нм КМОП технологии, габаритные размеры 60 мкм на 120 мкм. Согласно результатам измерений, максимальная тактовая частота АЦП 100 МГц, потребляемая мощность не более 1,9 мВт, значение параметра *FoM* равно 0,63 пДж. Максимальная интегральная и дифференциальная нелинейность не более 0,9 МЗР и 0,6 МЗР соответственно.

Ключевые слова — параллельный АЦП, КМОП-инвертор, приоритетный шифратор, потребляемая мощность.

I. ВВЕДЕНИЕ

Параллельные аналого-цифровые преобразователи (АЦП) являются одними из самых быстродействующих и используются в системах приема, обработки и передачи информации. Однако высокая потребляемая мощность и значительная площадь, занимаемая на кристалле, являются основными недостатками данных схем. Избежать данных недостатков возможно путем замены резистивного делителя напряжения и компараторов КМОП инверторами с различными порогами переключения [1]-[7]. Параллельные АЦП на основе КМОП-инверторов, как правило, имеют разрядность не более 6 бит [3], [7], [8], эффективную разрядность не более 5 бит и диапазон входного напряжения, не превышающий 10% от напряжения питания [2], [5], [7]. Кроме того, на напряжение порога переключения КМОП инверторов оказывают влияние изменения температуры кристалла и технологический разброс параметров транзисторов при изготовлении. В данной статье предложен псевдопараллельный АЦП, в котором резистивный делитель напряжения и компараторы заменены схемами на основе КМОП-инверторов. Кристалл микросхемы изготовлен по КМОП технологии с разрешением 180 нм компании УМС. Достигнуто снижение влияния температуры и технологического разброса параметров транзисторов при изготовлении на напряжения порогов

переключения КМОП инверторов. Диапазон входного напряжения предложенного АЦП составляет $\pm 0,32$ В, что составляет около 30% от напряжения питания $\pm 0,9$ В. При этом величина параметра *FoM* (figure of merit), определяющая потребляемую мощность при заданных тактовой частоте и разрядности, составляет 0,63 пДж.

II. ПСЕВДОПАРАЛЛЕЛЬНЫЙ АЦП НА ОСНОВЕ КМОП-ИНВЕРТОРОВ

Напряжение порога переключения КМОП-инвертора возможно определить как:

$$U_{nep} = \frac{(U_{+num} - U_{-num} + U_{0p})\sqrt{W_p L_p \mu_p} + U_{0n}\sqrt{W_n L_n \mu_n}}{\sqrt{W_p L_p \mu_p} + \sqrt{W_n L_n \mu_n}},$$

где W_n, W_p, L_n, L_p – ширины и длины *n*-МОП и *p*-МОП транзисторов инвертора; U_{+num}, U_{-num} – положительное и отрицательное напряжения питания; U_{0n}, U_{0p} и μ_n, μ_p – напряжения отпирания и подвижности *n*- и *p*-МОП транзисторов, соответственно. В качестве компаратора КМОП-инвертор возможно использовать, если входное напряжение U_{ex} сравнивается с напряжением порога переключения инвертора. При $U_{ex} > U_{nep}$ на выходе инвертора будет напряжение логического нуля, а при $U_{ex} < U_{nep}$ – напряжение логической единицы. Согласно приведенному выражению, напряжение порога переключения КМОП-инвертора устанавливается изменением длин и ширин затворов транзисторов.

Входная цепь предлагаемого псевдо-параллельного АЦП состоит из 63 компараторов на основе КМОП-инверторов и разделена на 9 блоков по 7 инверторов в каждом. Напряжения порогов переключения всех КМОП-инверторов в составе входной цепи представлены в табл. 1. Рассмотрим один из блоков, показанный на рис. 1. Входной узел обозначен как *in*, выходные узлы компараторов – *out+270, out+180, out+90, out0, out-90, out-180, out-270*. Каждый из компараторов реализован на основе каскадного соединения, где показанные на транзисторном уровне КМОП-инверторы определяют напряжение порога переключения и запитываются с выходов КМОП-инверторов для формирования предыдущего порога переключения относительно центрального столбца

табл. 1. Вследствие последовательного срабатывания трех из семи компараторов данный АЦП является псевдопараллельным. Два буферных элемента на

каждом из выходов обеспечивают увеличение крутизны характеристики компаратора.

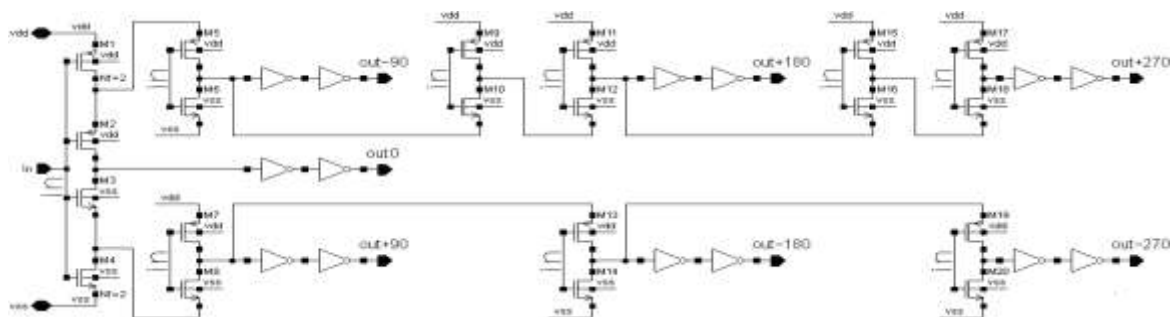


Рис. 1. Схема блока компараторов на основе КМОП инверторов

Таблица 1

Напряжения порогов переключения инверторов

Блок	$U_{пер}, мВ$						
1	+310	+220	+130	+40	-50	-140	-230
2	+300	+210	+120	+30	-60	-150	-240
3	+290	+200	+110	+20	-70	-160	-250
4	+280	+190	+100	+10	-80	-170	-260
5	+270	+180	+90	0	-90	-180	-270
6	+260	+170	+80	-10	-100	-190	-280
7	+250	+160	+70	-20	-110	-200	-290
8	+240	+150	+60	-30	-120	-210	-300
9	+230	+140	+50	-40	-130	-220	-310

Размеры транзисторов КМОП-инверторов, использующихся для задания напряжения переключения компараторов, следующие: $W_n=L_n=L_p=0,44$ мкм, ширины p -МОП транзисторов указаны в табл. 2. Параметр Nf на рис. 1 обозначает количество «пальцев» в структуре МОП-транзистора. Буферные КМОП-инверторы реализованы на транзисторах с размерами $W_p/L_p=1,75$ мкм/0,18 мкм и $W_n/L_n=0,44$ мкм/0,18 мкм.

Таблица 2

Ширины транзисторов с p -каналом в составе компараторов

Блок	$W_p, мкм$						
	M15, M17	M9, M11	M7	M1, M2	M5	M13	M19
1	5.91	3.93	4.66	3.59	2.86	1.14	3.01
2	5.07	3.53	4.27	3.32	2.66	1.04	2.46
3	4.38	3.17	3.92	3.06	2.46	0.95	1.95
4	3.79	2.86	3.60	2.82	2.27	0.86	1.59
5	3.30	2.58	3.31	2.61	2.09	0.78	1.24
6	2.87	2.34	3.04	2.40	1.93	0.70	1.03
7	2.52	2.12	2.80	2.22	1.78	0.63	0.81
8	2.21	1.92	2.58	2.04	1.63	0.56	0.64
9	1.94	1.75	2.38	1.88	1.50	0.49	0.51

На рис. 2 приведены результаты компьютерного моделирования по постоянному току всех 9 блоков компараторов на основе КМОП-инверторов из табл. 1. Моделирование показало, что изменения температуры

и разброс параметров транзисторов приводят к идентичным изменениям порогов переключения. Крайние случаи изменения порогов проиллюстрированы на рис. 3 и рис. 4 для типичного (т.н. tt) и граничных (ss , ff , $snfp$, $fnsf$) случаев параметров моделей МОП-транзисторов при температурах $-40^{\circ}C$, $+27^{\circ}C$ и $+85^{\circ}C$ и при вариациях напряжений питания в пределах $\pm 5\%$. Согласно результатам моделирования, ошибка усиления составила не более 12 мВ, сдвиг порогов не более ± 50 мВ. Данные изменения пороговых характеристик предполагают необходимость разработки специального управляемого предусилителя на входе АЦП. При этом по критерию половины младшего значащего разряда (МЗР) эффективная разрядность может составить 5 бит.

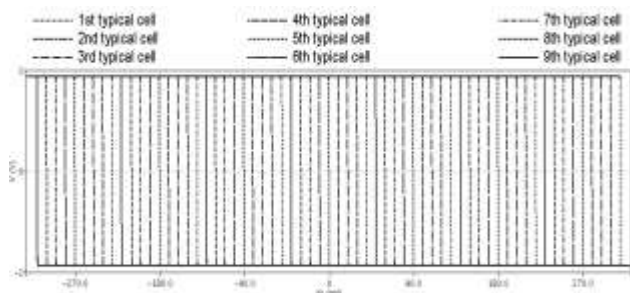


Рис. 2. Передаточные характеристики 63 компараторов

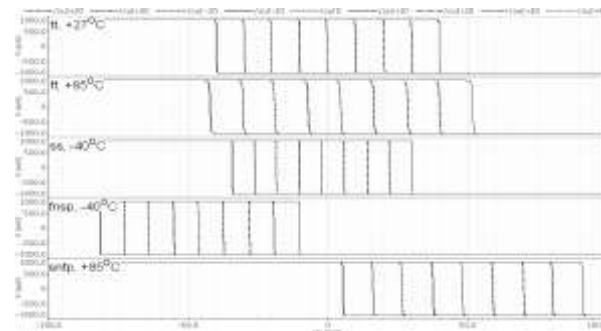


Рис. 3. Изменения порогов центральных компараторов 9 параллельно работающих схем из табл. 1

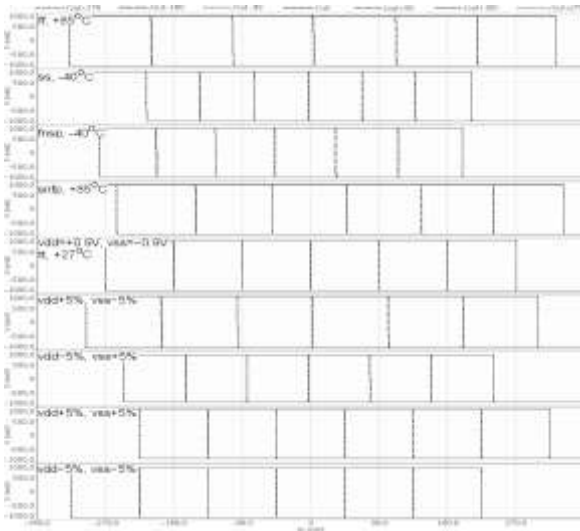


Рис. 4. Изменения порогов компараторов для пятой схемы из табл. 1

Известны различные способы построения шифратора (точнее, кодопреобразователя термометрического кода с выходов компараторов в прямой двоичный код) для параллельного АЦП [9]-[12]. Обеспечение специальных мер для коррекции ошибок в термометрическом коде за счет использования схем сумматоров [10], массива элементов памяти [9], [10] требует дополнительных аппаратных затрат, что приводит к увеличению как площади схемы на кристалле, так и потребляемой мощности. На основании изложенного наиболее оправданным является использование схем приоритетной шифрации. При этом уменьшения площади схемы на кристалле и снижения потребляемой мощности удастся достигнуть за счет предлагаемой схемы на основе мультиплексоров [10]-[12]. Дополнительное уменьшение как площади схемы на кристалле, так и потребляемой мощности, обеспечивается применением схем с проходными МОП-транзисторами [11]. Схема для старших разрядов приоритетного шифратора показана на рис. 5.

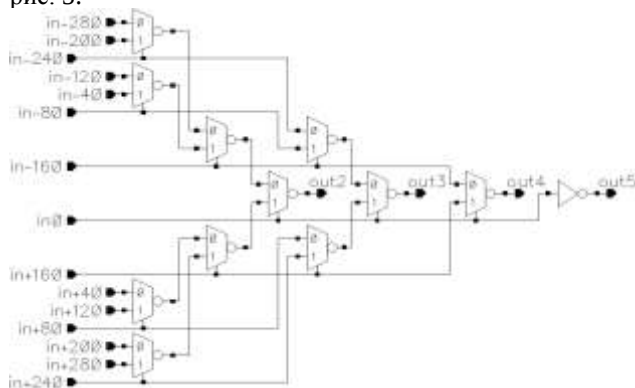


Рис. 5. Схема для старших разрядов приоритетного шифратора шестиразрядного АЦП

Входы шифратора in_0 , $in+40$, $in-40$, $in+80$, $in-80$ и т.д. подключаются к соответствующим выходам компараторов входной цепи АЦП out_0 , $out+40$, $out-40$, $out+80$, $out-80$ и т.д. Полная схема шифратора содержит 57 мультиплексоров. Для случая $+27^\circ\text{C}$ и t_t параметров моделей МОП-транзисторов результаты моделирования схемы шифратора во временной области показали максимальное время задержки переключения 560 пс.

На рис. 6 и рис. 7 показаны топология и микрофотография кристалла микросхемы. Микросхема псевдопараллельного АЦП выполнена по КМОП технологии с разрешением 180 нм фирмы UMC, напряжение питания $\pm 0,9$ В. Габаритные размеры АЦП без кольца электростатической защиты и контактных площадок составляют 120 мкм на 60 мкм. Дополнительные контактные площадки внутри кольца предназначены для тестирования отдельных компараторов в составе АЦП.

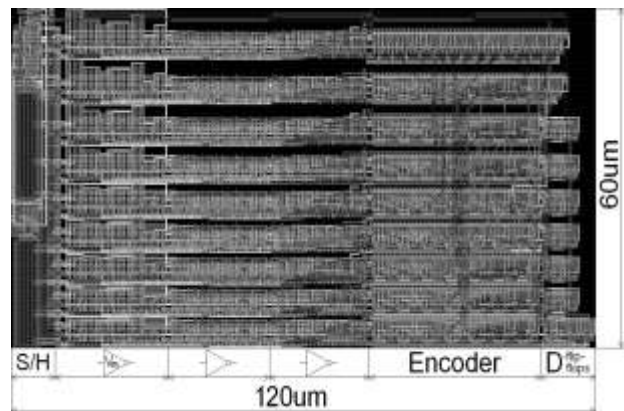


Рис. 6. Топология кристалла разработанного шестиразрядного псевдопараллельного АЦП

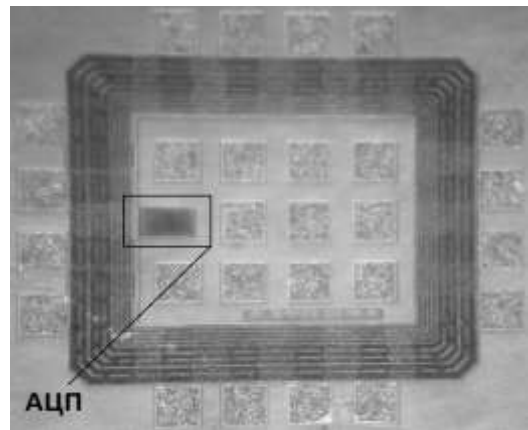


Рис. 7. Микрофотография кристалла

По результатам измерений максимальные величины интегральной и дифференциальной нелинейностей АЦП не превышают 0,9 и 0,6 МЗР, соответственно. На рис. 8 показан спектр выходного сигнала АЦП, вычисленный путем выполнения БПФ над выходными отсчетами. Частота входного гармонического сигнала амплитудой 0,32 В составляет

3,5 МГц, тактовая частота АЦП равна 100 МГц. Величина отношения сигнал/шум 31,3 дБ, эффективная разрядность 4,91 бит. Потребляемая мощность не превышает 1,9 мВт.

Для оценки АЦП с различным быстродействием, потребляемой мощностью и разрядностью существует параметр FoM , измеряемый в пДж/преобразование:

$$FoM = \frac{P_{номр}}{F_{такт} \cdot 2^{ENOB}},$$

где $P_{номр}$ – потребляемая мощность, $F_{такт}$ – тактовая частота схемы, $ENOB$ – эффективная разрядность. Согласно расчетам, величина параметра FoM для предложенного АЦП составляет 0,63 пДж/преобр.

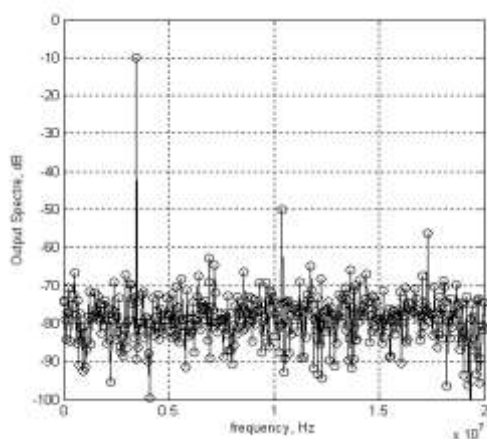


Рис. 8. Спектр сигнала на выходе псевдопараллельного АЦП

III. ЗАКЛЮЧЕНИЕ

В работе представлена реализация шестиразрядного псевдопараллельного АЦП. Для замены резистивного делителя напряжения и компараторов предложено схемное решение на основе КМОП-инверторов, которое учитывает влияние температуры и разброса параметров транзисторов на напряжение порогов переключения. Разработана топология кристалла интегральной микросхемы. Величина FoM предложенного АЦП составляет 0,63 пДж/пр. Для сравнения, в работах [13] и [14] приведены АЦП разрядностью 6 бит, тактовые частоты 1,2 ГГц и 800 МГц, потребляемая мощность 40,5 мВт и 12 мВт, величина параметра FoM составляет 0,9 пДж/пр. и 0,8 пДж/пр (для тактовой частоты 100 МГц), соответственно.

БЛАГОДАРНОСТИ

Авторы выражают благодарность отделу интегральных устройств и систем (Integrated Circuits and Systems) института интегральных устройств Фраунгофера (Fraunhofer Institute for Integrated Circuits), Германия, за помощь в изготовлении партии тестовых кристаллов микросхем.

ЛИТЕРАТУРА

- [1] Yoo, Y., A TIQ Based CMOS Flash A/D Converter for SoC Application // PhD Thesis, Department of Computer Science and Engineering of The Pennsylvania State University. 2003.
- [2] D. Ghai, S. P. Mohanty, and E. Kougiannos A 45nm Flash Analog to Digital Converter for Low Voltage High Speed System on Chips // 13th NASA Symposium on VLSI Design, Post Falls, ID. June 2007. CD-ROM, paper № 3.1.
- [3] M.S. Nguyen, J. Kim, I. Kim and K. Choi Design and Implementation of Flash ADC and DBNS FIR filter // International SoC Design Conference (ISOCC), BEXCO Convention Halls in Busan. Korea (South). 22-24 Nov. 2009. P. 325-328.
- [4] I.M. Piatak, D.V. Morozov, J. Hauer An inverter-based 6-bit Pipelined ADC with low power consumption // In proc. of EUROCON 2013. Zagreb, Croatia. July 2013. P. 1951-1954.
- [5] S.S. Khot, P.W. Wani, M.S. Sutaone and S.K. Bhise A 581/781 MSps 3-bit CMOS flash ADC using TIQ comparator // International Journal of Computer Engineering and Technology. July-Sept. 2012. V. 3. Issue 2. P. 352-359.
- [6] Д.В. Морозов, М.М. Пилипко, И.М. Пятак Двухразрядный параллельный преобразователь для конвейерного АЦП // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сб. трудов / под ред. академика РАН А.Л.Стемпковского. М.: ИПИМ РАН, 2012. С. 350-356.
- [7] R. Dutta, K. Mitra and M. Majumda, Low Power CMOS Data Converter with SNDR analysis for High Speed System On Chip Applications // Journal of Electronics and Communication Engineering. Mar.-Apr. 2013. V. 5. Issue 3. P. 42-48.
- [8] A. Tangel and O. Aytar MOS mismatch effects on TIQ comparators // International Journal of Electronics. June 2009. V. 96. № 6. P. 561-570.
- [9] Y.-J. Chuang, H.-H. Ou and B.-D. Liu A novel bubble tolerant thermometer-to-binary encoder for flash A/D converter // VLSI-TSA International Symp. on VLSI Design, Automation and Test. Taiwan. 25-29 Apr. 2005. P. 315-318.
- [10] E. Sall and M. Vesterbacka Thermometer-to-binary decoders for flash analog-to-digital converters // 18th European Conf. on Circuit Theory and Design. Taiwan. 26-30 Aug. 2007. P. 240-243.
- [11] J. Lee, M.B. Choi, H.-J. Park and B.-H. Park, A 7b 1GS/s 60mW Folding ADC in 65nm CMOS // International SoC Design Conf. Korea. 22-23 Nov. 2010. P. 338-341.
- [12] B.V. Hieu, S. Choi, J. Seon, Y. Oh, C. Park, J. Park, H. Kim and T. Jeong, A New Approach to Thermometer-to-Binary Encoder of Flash ADCs- Bubble Error Detection Circuit // 54th International Midwest Symp. Circuits and Systems. Korea. 7-10 Aug. 2011. P. 1-4.
- [13] H. Wei, U. Chio, S. Sin, R. Martins, A power scalable 6-bit 1.2 Gs/s Flash ADC with Power on/off track-and-hold and preamplifier // IEEE International Symposium on Circuits and Systems. 2008. P. 5-8.
- [14] Ch.-Y. Chen, M. Q. Le, K. Y. Kim, A Low Power 6-bit Flash ADC With Reference Voltage and Common-Mode Calibration // IEEE Journal of Solid-State Circuits. April 2009. V. 44. № 4. P. 1041-1046.