

Прототипирование на основе ПЛИС для верификации многоядерных микропроцессоров

С.В. Юрлин¹, И.Н. Бычков²

¹ЗАО «МЦСТ»

²ОАО «Институт электронных управляющих машин им. И.С. Брука», bychkov_i@ineum.ru

Аннотация — В данной статье определены основные аппаратные способы ускорения этапа функциональной верификации многоядерных микропроцессоров. Выделены особенности и принципы реализации прототипов на основе программируемых логических интегральных схем (ПЛИС), создаваемых с учётом топологической структуры многоядерного микропроцессора и его окружения. Предложен метод реализации таких прототипов с использованием унифицированного модуля процессорного ядра, улучшающий их технико-экономические и эксплуатационные характеристики. Приведено описание и полученные характеристики структурно-зависимых прототипов многоядерных микропроцессоров серии «Эльбрус».

Ключевые слова — прототип, ПЛИС, многоядерный микропроцессор, верификация.

- Ускорители программного моделирования (Palladium фирмы Cadence, VStation PRO и Veloce фирмы Mentor Graphics).
- Аппаратные эмуляторы (ZeBu фирмы Synopsys, Novo-G).
- Прототипы на основе ПЛИС (HAPS фирмы Synopsys).

Минимизация затрат и приемлемое время выполнения этапа функциональной верификации достигается при использовании прототипов на основе ПЛИС. Анализ доступных на рынке прототипов показывает возможность улучшения их эксплуатационных характеристик. Обеспечить это позволяет учет структуры проектируемого микропроцессора и его окружения. При этом необходимо учитывать сложность реализации в условиях жёстких временных ограничений. Следовательно, актуальным становится исследование и разработка методов реализации прототипов на основе ПЛИС, повышающих их технико-экономические и эксплуатационные характеристики и скорость проведения этапа функциональной верификации.

I. ВВЕДЕНИЕ

Для микропроцессоров серверного сегмента рынка существует тенденция постоянного увеличения количества вычислительных ядер при усложнении подсистемы памяти. Также тенденцией является добавление энергосберегающих режимов работы и увеличение пропускной способности каналов межпроцессорного обмена и ввода-вывода. Как следствие, повышается сложность задачи функциональной верификации проектируемых микропроцессоров на уровне регистровых передач (англ. register transfer level, RTL). Решение этой задачи требует системного подхода – функциональной верификации микропроцессора в составе вычислительной системы.

Обеспечение наиболее полного тестового покрытия RTL-описания многоядерных микропроцессоров является основной задачей этапа функциональной верификации. В условиях жёсткой конкуренции уменьшение времени тестирования осуществляется путем применения специальных аппаратных средств. Производители таких средств в области автоматизации проектирования выделяют несколько различных классов:

II. ВИДЫ АППАРАТНЫХ УСКОРИТЕЛЕЙ

Для выполнения этапа функциональной верификации микропроцессоров используются программные RTL-симуляторы, а также специальные аппаратно-программные средства. Последние можно разделить на четыре основные группы. В таблице 1 приведено их сравнение.

Ускорители программного моделирования (от англ. hardware accelerator) предназначены для увеличения скорости обработки данных в программных RTL-симуляторах. Примером такого решения являются Palladium фирмы Cadance, VStation PRO и Veloce фирмы Mentor Graphics. При моделировании многоядерных микропроцессоров существенно количество оборудования, а также трудности эксплуатации таких высокопроизводительных кластеров.

Сравнение категорий аппаратных средств функциональной верификации

Тип	Аппаратные ускорители программного моделирования	Аппаратные эмуляторы	Прототипы общего назначения на основе ПЛИС	Структурно-зависимые прототипы на основе ПЛИС
Диагностическая информация	Полная	Подробная	Ограниченная	Ограниченная
Частота моделирования	100 кГц	1 МГц	10 МГц	20 МГц
Максимальный объём эмулируемой логики	2 V Gates	1 V Gates	144 M Gates	750 M Gates
Время подготовки аппаратуры	Среднее	Среднее	Долгое	Долгое
Габариты	Комната	2 x 2 x 3 м	0,6 x 0,4 x 0,4 м	0,6 x 0,5 x 0,2 м
Относительная стоимость необходимой комплектации	100-300	20-50	2-4	1-3

Аппаратные эмуляторы (от англ. hardware emulator) предназначены для имитации поведения проектируемых микросхем. Как правило, они реализуются с использованием сотен ПЛИС, соединённых друг с другом линиями связи. Примером является эмулятор ZeVu фирмы Synopsys. Такой аппаратно-программный комплекс позволяет сохранять прозрачность эмулируемого RTL-описания микропроцессора путём вывода большого количества диагностической информации.

Зачастую оптимальным решением в области эмуляции микропроцессоров является прототип общего назначения на основе ПЛИС (от англ. FPGA prototype), например NAPS фирмы Synopsys. Количество ПЛИС для такого аппаратно-программного комплекса, как правило, меньше тридцати, что существенно снижает себестоимость. Весьма ограниченное количество конфигурационной логики увеличивает сложность перевода RTL-описания для загрузки на прототип. Кроме того, снижается количество диагностической информации, что осложняет поиск ошибок при функциональной верификации.

Четвёртой группой специальных аппаратных средств можно выделить структурно-зависимые прототипы на основе ПЛИС. Сильная связность микроархитектуры многоядерных микропроцессоров существенно замедляет скорость тестирования RTL-описания на эмулирующей аппаратуре. Появляются длительные задержки на передачу данных между ПЛИС, а наличие распределённой подсистемы памяти требует наличия дополнительного оборудования в составе прототипа. Решением данной проблемы является реализация аппаратуры прототипа с учётом

топологической структуры проектируемого многоядерного микропроцессора. Такие прототипы имеют более высокую скорость тестирования, что позволяет обеспечить наиболее полное тестовое покрытие в кратчайшие сроки. Кроме того, структура аппаратуры позволяет эмулировать работу многоядерного микропроцессора в составе реальной вычислительной системы

Во многих случаях единственно приемлемым способом является моделирование с помощью прототипа на основе ПЛИС. Возможность создания максимального количества эмуляторов позволяет обеспечить полноту покрытия путем всестороннего тестирования. К примеру, одни эмуляторы отдаются под загрузку программы начального старта и версий операционной системы, а другие для запуска версий компилятора.

III. МАРШРУТ ПРОТОТИПИРОВАНИЯ

Применение структурно-зависимых прототипов на основе ПЛИС сопровождается рядом задач. Первой из них является реализация аппаратуры прототипа. Недопустима длительная наладка оборудования и практически исключается возможность вторичного применения. Во-вторых, направленность на определённую структуру связей требует тщательной проработки связности ПЛИС друг с другом, так как в случае недостаточно широкого канала передачи данных будет существенно снижена производительность. Третьей задачей является необходимость адаптации некоторых блоков реального RTL-описания микропроцессора на аналог для реализации в ПЛИС. К числу таких блоков относятся покупные физические уровни интерфейсов и памяти.

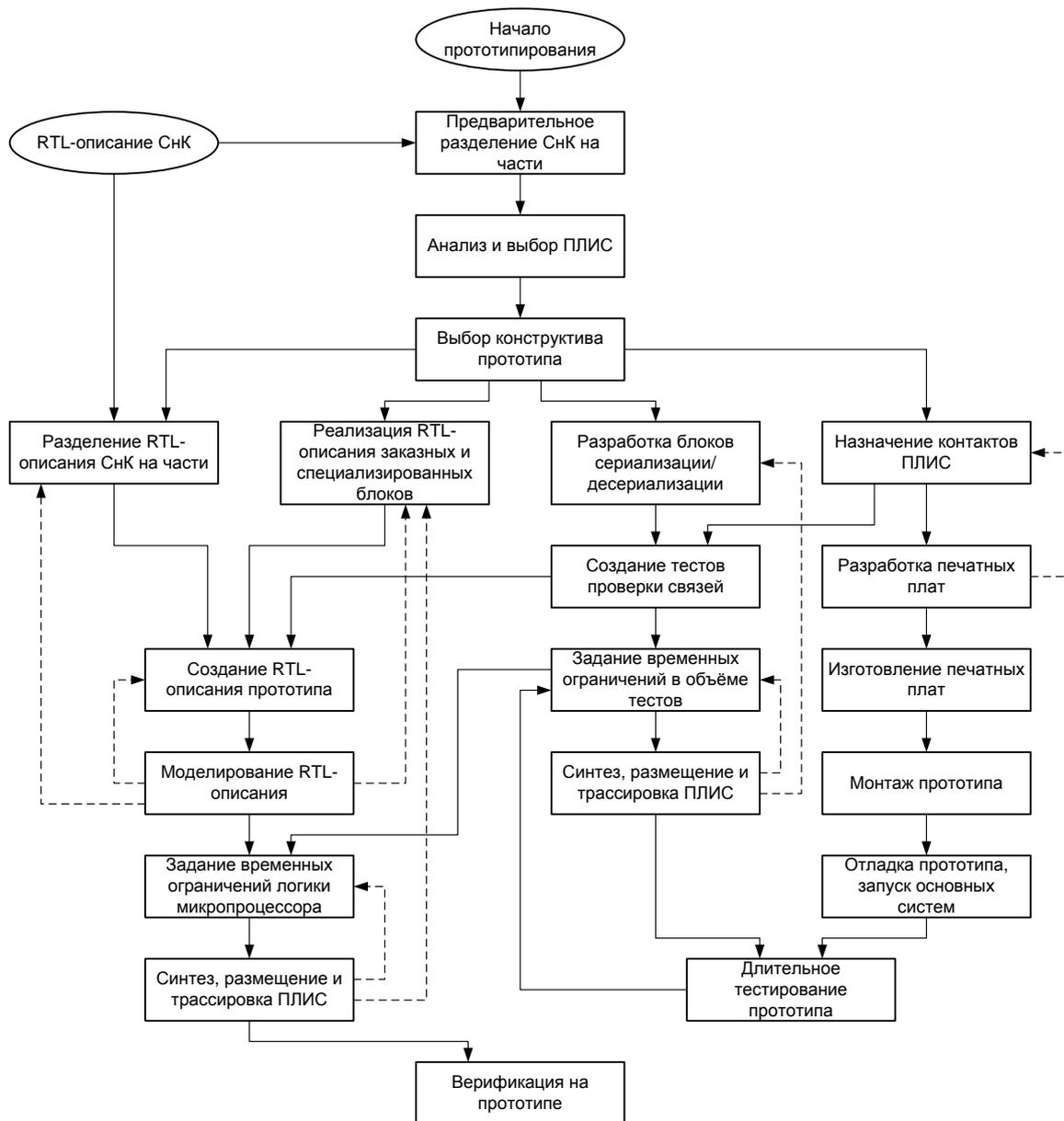


Рис. 1. Маршрут прототипирования

Следует учесть, что увеличение времени разработки структурно-зависимого прототипа на основе ПЛИС в условиях ограниченных сроков проектирования микропроцессора может свести на нет все его преимущества, связанные с увеличением скорости тестирования RTL-описания. Следовательно, использование эффективных методов разработки и реализации прототипов на основе ПЛИС, учитывающих структуру проектируемого микропроцессора, является ключевым фактором успеха.

Анализ всех задач и этапов проектирования прототипов на основе ПЛИС позволил вывести зависимости между ними. Результатом стал маршрут прототипирования микропроцессоров (рис. 1).

Применение прототипов на основе ПЛИС, учитывающих структуру микропроцессора, осложнено необходимостью создания аппаратуры. Начало проектирования прототипа зависит от определения топологического устройства микропроцессора, а срок разработки – временем готовности RTL-описания микропроцессора на логическом уровне. Таким образом, существует основная проблема быстрой и качественной реализации сложного оборудования.

IV. РЕАЛИЗАЦИЯ АППАРАТУРЫ ПРОТОТИПА

В многоядерных микропроцессорах все ядра и их интерфейсы подключения, как правило, выполняются идентично друг другу. Поэтому уменьшение времени

на разработку аппаратуры прототипа и улучшение его характеристик возможно путём реализации унифицированного модуля процессорного ядра. При такой реализации уменьшается количество ресурсов, необходимое для создания целого прототипа микропроцессора, а за счёт рационального распределения физических связей между ПЛИС увеличивается частота эмуляции – частота работы проектируемого микропроцессора при его реализации на прототипе. Данный метод был реализован в рамках работ по прототипированию микропроцессоров серии «Эльбрус». Такой подход может применяться и для других многоядерных микропроцессоров.

Первый этап разработки аппаратуры прототипа на основе ПЛИС заключается в определении типа и ширины интерфейса между модулями ядра и подсистемы памяти микропроцессора, а также всех служебных сигналов. Выполнение этого этапа обеспечивает дальнейшую реализацию модулей прототипа независимо друг от друга. Определение типа и ширины интерфейса между модулями определяется исходя из возможностей ввода-вывода ПЛИС и на основе расчётов частоты эмуляции микропроцессора. Всё служебное взаимодействие модулей между собой предлагается осуществлять посредством небольших CPLD микросхем. Данное решение позволяет обеспечить гибкость конфигурации аппаратуры прототипа и вариацию режимов его работы.

Второй этап заключается в аппаратном проектировании каждого из модулей прототипа. На данном этапе производится расчет необходимой ёмкости ПЛИС, значений потребляемой мощности, определяются интерфейсы взаимодействия внутри модуля, производится определение конструктива, выбор компонентной базы и осуществляется топологическое проектирование.

Третий этап состоит в диагностике функционирования модулей прототипа и всей системы целиком.

V. ВВОД ПРОТОТИПА В ЭКСПЛУАТАЦИЮ

Применение нескольких ПЛИС для эмуляции одной системы требует разделения её RTL-описания на блоки, каждому из которых соответствует одна ПЛИС. Разделение должно проводиться таким образом, чтобы количество логических связей к другим блокам было минимальным, а объём блока допускал его представление внутри одной микросхемы [1]-[3]. Опыт разработки показал, что даже самое лучшее разбиение приводит к появлению межблочных связей, число которых значительно превышает количество элементов ввода-вывода ПЛИС. Например, для среднестатистического блока RTL-описания восьмиядерного микропроцессора серии «Эльбрус» необходимые связи превышают возможности ввода-вывода современных ПЛИС в пять раз. Малое количество доступных интерфейсов ввода-вывода требует применение методов сериализации и

десериализации. В результате растёт время на передачу данных между ПЛИС, что снижает производительность прототипа. На этапе проектирования требуется оптимальное распределение доступных контактов для реализации линий связи между ПЛИС.

Схема или RTL-описание микропроцессора представляет собой целостную систему, работающую, как правило, от одного синхросигнала. От него зависят все передачи данных в прототипе, а равно и его функционирование. Поэтому первой задачей является поддержание синхронности между всеми ПЛИС при разбиении единого RTL-описания микропроцессора на блоки. Особенно это актуально при выделении в прототипе нескольких модулей.

Идеальная синфазность синхросигналов в разных микросхемах невозможна. Это связано с разными физическими задержками при работе для каждого отдельного элемента системы, так как их использование и регулировка в ПЛИС обеспечивается аналоговыми схемами. Поэтому в реальной системе необходимо определить погрешность синфазной работы. Для её определения в системе предлагается определить частоту синхронизации, которая существенно выше частоты эмуляции микропроцессора и задаётся, как правило, общим генератором. А под синфазностью синхросигналов эмуляции во всех ПЛИС прототипа будем считать их одновременное переключение в пределах одного такта частоты синхронизации (рис. 2).

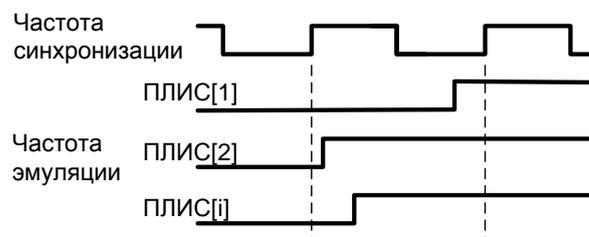


Рис. 2. Синхронность работы ПЛИС прототипа

Необходимой задачей является диагностика функционирования прототипа, что вызвано новизной применяемой аппаратуры, надёжность которой неизвестна. Для этого необходимо тестирование с применением шаблонной задачи для максимального покрытия связей. Только работоспособность в течении длительного времени, покрывающего запуск и исполнение набора тестов проверки архитектуры наглядно показывает надёжность прототипа.

Ещё одна необходимая задача – непосредственное разделение RTL-модели на части для их эмуляции в различных ПЛИС. Здесь возникают проблемы, связанные с адаптацией несинтезируемых в ПЛИС элементов микропроцессора. В этом случае требуется дополнительная работа по замене таких элементов на их «прототипный» аналог. В результате работ по созданию структурно-зависимых прототипов на основе ПЛИС создана специальная библиотека, содержащая аналоги всех несинтезируемых в ПЛИС элементов

микропроцессоров серии «Эльбрус». Достоверность полученных аналогов доказывается сравнением результатов моделирования исходного RTL-описания микропроцессора и его прототипного аналога при выполнении специфичных данному блоку задач. При этом большая часть заменяемых элементов является конечными устройствами: блоки памяти, физические уровни интерфейсов каналов ввода/вывода и внешней памяти, что сохраняет высокую степень идентичности полученного решения оригиналу и не влияет на результат функциональной диагностики.

Наличие ПЛИС разных типов и разного набора ввода/вывода в одном прототипе, увеличивает сложность прототипирования в соответствующее число раз.

Анализ процесса подготовки прототипов на основе ПЛИС показывает наличие большого числа работ, связанных друг с другом, но не структурированных для выполнения. Это часто приводит к каскадным исправлениям при изменении каждого конкретного элемента системы. В результате сильно увеличивается время ввода прототипа в эксплуатацию.

При текущей реализации основные сложности соединения результатов указанных выше работ возникают из-за наличия вложенностей. То есть применения информации о конкретной физической реализации одной задачи при решении другой, что приводит к большому количеству ручной работы. Поэтому существенного упрощения в процессе ввода прототипа на основе ПЛИС в эксплуатацию можно достичь абстрагированием задач друг от друга. Для этого предлагается выделить в каждой ПЛИС три отдельных программных модуля в соответствии с числом задач, а затем обеспечить унификацию их соединения.

В каждой ПЛИС для связи с соседями могут применяться различные типы и число каналов ввода/вывода. Их разнообразие порождает множество уникальных ситуаций при подключении блока RTL-описания микропроцессора. Для исключения влияния данной особенности предлагается выделить в отдельный программный модуль описание всех каналов передачи данных вместе с алгоритмами сериализации и десериализации, а также блоки синхронизации, которые присутствуют в каждой ПЛИС и не входят в состав RTL-описания. Такой модуль назовём интерфейсным (рис. 3). Таким образом, вся инженерная структура прототипа будет реализована внутри него. Это даст возможность реализовать внешний интерфейс данного модуля индифферентными шинами, каждая из которых будет соответствовать определённому соседнему блоку RTL-описания.

В результате описанной перекомпоновки создаётся простой базис для диагностики функционирования аппаратуры прототипа. Данная процедура осуществляется путём длительной работы проверяемой аппаратуры, где ключевую роль при этом

выполняют высокочастотные схемы, вынесенные в интерфейсный модуль. Поэтому подключение на его универсальные шины простого генератора тестовых данных создаст условия для достаточно полного тестирования. Тогда в случае неисправностей функционирования достаточно будет изменить интерфейсный блок конкретного ПЛИС без изменения остальной структуры проекта.

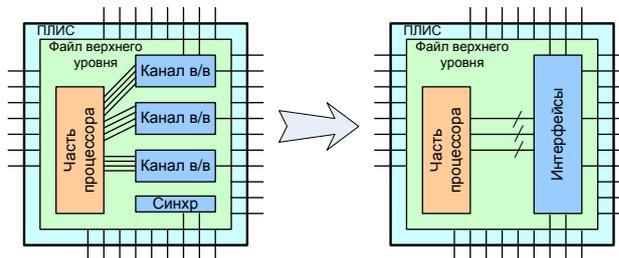


Рис 3. Схема унификации интерфейса взаимодействия ПЛИС друг с другом

Фиксированный интерфейс подключения логических связей RTL-описания к линиям связи позволяет автоматизировать переход от тестирования аппаратуры прототипа к эмуляции микропроцессора (рис. 4), что обеспечит возможность распараллеливания задач и уменьшение времени, необходимого на переход к этапу функциональной верификации микропроцессора на прототипе.

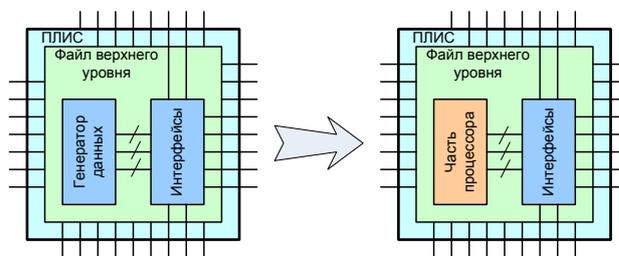


Рис 4. Схема перехода от тестов к конфигурационным файлам

VI. ПРОТОТИПЫ МНОГОЯДЕРНЫХ МИКРОПРОЦЕССОРОВ

В рамках задачи функциональной верификации RTL-описания многоядерных микропроцессоров с применением предложенных методов были спроектированы и реализованы прототипы четырёхъядерного и восьмиядерного микропроцессоров. Параметры созданных прототипов приведены в табл. 2. Из таблицы видно, что характеристики полученных систем существенно превосходят аналоги по габаритам, частоте эмуляции и стоимости. Увеличение сложности оборудования прототипа в два раза увеличило длительность разработки всего в 1,1 раза.

Таблица 2

Параметры прототипов микропроцессоров

Параметр	Прототип «Эльбрус-2S»	Прототип «Эльбрус-4С+»
Количество транзисторов эмулированного микропроцессора, млн. шт.	1112	3000
Количество логических элементов микропроцессора, MGates	~250	~750
Количество процессорных ядер, шт.	4	8
Частота эмуляции, МГц	8,3	9
Используемые ПЛИС	Stratix IV EP4SE820 EP4SE530	Stratix IV EP4SE820
Количество ПЛИС	10	21
Количество доступных логических элементов ПЛИС, млн. шт.	8,1	17
Количество и тип каналов памяти	3 канала DDR3	4 канала DDR3
Размеры корпуса, мм	483x350x289	483x222x716
Стоимость, усл.ед.	1	2
Время изготовления, мес.	6	7
Время ввода в эксплуатацию, мес.	6	7

Разделение RTL-модели микропроцессоров реализовывалось в САПР Design Compiler фирмы Synopsys с применением полуавтоматической системы командных файлов и метода унификации интерфейса подключения эмулируемой логики и каналов передачи данных.

Большое время ввода прототипа в эксплуатацию обусловлено наличием уникальных составляющих в каждом новом микропроцессоре. Основное количество изменений совершается в подсистеме памяти. Именно поэтому унификация только модуля ядра вынуждает проводить разработку очередного прототипа с начала. Альтернативным решением проблемы может стать унификация модуля подсистемы памяти, на основе

которого также может быть реализован и модуль процессорного ядра. Данная реализация обеспечивает возможность масштабируемости. А унификация интерфейса передачи данных между ПЛИС, а равно и всей физической части проектов ПЛИС, позволяет существенно упростить программное обеспечение, предназначенное для разделения RTL-модели микропроцессора, за счёт уменьшения количества разных ПЛИС.

Для определения эффективности предлагаемого метода было осуществлено сравнение характеристик масштабируемого и структурно-зависимого прототипов. Определение характеристик масштабируемого прототипа проводилось на основе опыта реализации прототипов на основе ПЛИС, созданных с учётом структуры многоядерного микропроцессора, и методе расчета частоты эмуляции микропроцессора в прототипе [4]. На основе данных оценок ясно, что реализация масштабируемой системы существенно увеличит скорость запуска прототипа в эксплуатацию при сохранении приемлемой частоты эмуляции. Предложенная система прототипирования позволит проводить эмуляцию различных существующих и перспективных микропроцессоров. При этом обеспечивается высокая степень ремонтпригодности и повторного использования создаваемых прототипов для следующих проектов, чего не получается достичь при структурно-зависимой реализации.

VII. ЗАКЛЮЧЕНИЕ

В данной статье были рассмотрены основные способы аппаратного ускорения этапа функциональной верификации многоядерных микропроцессоров. Описаны задачи, возникающие при создании структурно-зависимых прототипов на основе ПЛИС. Приведены характеристики, полученные при практической реализации прототипов четырёх и восьмиядерного микропроцессоров.

ЛИТЕРАТУРА

- [1] Бычков И.Н. Разработка методов и средств диагностики, повышающих эффективность верификации модулей вычислительной техники. [Текст] : диссертация канд. тех. наук. 2007.
- [2] Будылин Ф.К., Полищук И.А., Слесарев М.В., Юрлин С.В. Опыт прототипирования микропроцессоров компании ЗАО «МЦСТ» // Вопросы радиоэлектроники. 2012.
- [3] Sameh Asaad, Ralph Bellofatto, Bernard Brezzo, Chuck Haymes, Mohit Kapur, Benjamin Parker, Thomas Roewer, Proshanta Saha, Todd Takken, José Tierno A Cycle-accurate, Cycle-reproducible multi-FPGA System for Accelerating Multi-core Processor Simulation // FPGA, ACM. 2012. P. 153-162.
- [4] Слесарев М.В., Юрлин С.В. Определение расчётной частоты эмуляции микропроцессора в прототипе на основе ПЛИС // Вопросы радиоэлектроники. 2014.