

Начальное размещение логических ячеек интегральных схем с учетом важности цепей

А.Г. Арутюнян

Государственный инженерный университет Армении,

harash@seua.am

Аннотация — Предложен метод начального размещения логических ячеек интегральных схем (ИС) с учетом задержек в межсоединениях. Метод основан на предварительной оценке временных характеристик цепей цифровых ИС и резервов времени задержки сигнала в цепях. Полученные значения резервов времени задержки в дальнейшем используются при размещении логических ячеек ИС.

Ключевые слова — цифровая интегральная схема, резерв времени цепи, критический путь, начальное размещение.

I. ВВЕДЕНИЕ

С уменьшением литографических ИС и повышением их интеграции межсоединения становятся доминирующим фактором, определяющим быстродействие цифровых ИС. В субмикронных цифровых ИС задержка распространения сигнала в межсоединениях может достигать суммарной задержки десятков и сотен логических вентилях. Так, например, для технологии 32 нм задержка в межсоединении длиной в 1 мм соответствует суммарной задержке 200 логических вентилях [1].

Если задержки в логических ячейках известны в результате выбора определенной библиотеки стандартных ячеек и логического синтеза на ее основе, то задержки в межсоединениях определяются лишь в результате физического проектирования, т.е. после размещения ячеек и трассировки межсоединений. Учитывая, что результаты трассировки межсоединений, определяющих их окончательные длины, во многом зависят от эффективности размещения ячеек, становится очевидной важность учета задержек в предполагаемых межсоединениях на этапе решения задачи размещения ячеек. С целью уменьшения задержек в межсоединениях и тем самым повышения быстродействия ИС в настоящее время во всех развитых системах автоматизированного проектирования (САПР) ИС внедряются средства управляемого задержками размещения логических ячеек, учитывающие важности цепей с точки зрения имеющихся в них задержек [2, 3].

II. СОСТОЯНИЕ ВОПРОСА

Методы управляемого задержками размещения могут быть сгруппированы в два класса: учитывающие критические пути и учитывающие цепи [4, 5].

В существующих САПР, как правило, используется первый подход, предполагающий оценку критических путей “вход-выход” проектируемой схемы с дальнейшей минимизацией задержек в этих путях [3, 4]. Недостатком основанных на пути методов является то, что минимизация задержек на критических путях может привести к появлению еще большего количества новых критических путей, задержки в которых чаще всего превосходят задержки прежних путей до их минимизации. В настоящее время эта проблема решается путем применения итерационных алгоритмов улучшения размещения с пошаговым уменьшением длин межсоединений критических путей до достижения приемлемых значений задержек [3]. Основным недостатком итерационных алгоритмов является потребность большого машинного времени и зависимость эффективности решения задачи от результатов начального размещения.

Подход, основанный на цепи, имеет дело с отдельными цепями схемы [5]. При этом, сокращая длины лежащих на критических путях отдельных цепей, можно добиться сокращения суммарной задержки путей. Основной сложностью этого подхода является трудность определения допустимых границ задержек в отдельных цепях и их использования для управления длинами межсоединений при решении задачи размещения.

Таким образом, наряду с определением критических путей важной задачей становится определение таких допустимых границ задержек в отдельных цепях, которые не приведут к увеличению суммарных задержек критических путей, и тем самым, к снижению быстродействия схемы. Предлагаемый в настоящей работе подход основан на оценке предельно допустимой и фактической задержки сигнала в отдельных цепях и, тем самым, возможности управления длинами

межсоединений отдельных цепей при начальном размещении ячеек.

III. ОПИСАНИЕ МЕТОДА

Предлагаемый метод начального размещения логических ячеек ИС с учетом важности цепей предполагает предварительную оценку реального и требуемого поздних времен формирования сигнала и резервов времени всех цепей схемы. При дальнейшем размещении логических ячеек полученные резервы времени служат мерой важности цепей.

Под реальным поздним временем формирования сигнала для некоторой цепи будем понимать минимальное время, необходимое для формирования правильного сигнала в данной цепи, начиная с момента появления сигнала на основных входах схемы. Это время для некоторой i -й цепи определяется следующим образом:

$$T_{pi} = \begin{cases} T_{Ok} & \text{для } k \in I, \\ \max_{j \in E_1(j,i)} [T_{pj} + t_{(j,i)}] & \text{для остальных цепей,} \end{cases} \quad (1)$$

где T_{Ok} - момент появления сигнала на k -ом основном входе схемы; I - множество основных входов схемы; T_{pj} - реальное позднее время формирования сигнала j -й цепи; $t_{(j,i)}$ - задержка ячейки, для которой j -я цепь является входной, а i -я - выходной; $E_1(j,i)$ - множество входных цепей ячейки, для которой j -я цепь является входной, а i -я - выходной.

Под требуемым поздним временем формирования сигнала для некоторой цепи будем понимать ту максимальную суммарную задержку от основных входов схемы до данной цепи, которая еще не приводит к опозданию сигнала на основных выходах схемы. Для некоторой i -й цепи она определяется следующим образом:

$$T_{mi} = \begin{cases} \max_{i \in O} T_{mi} & \text{для } i \in O, \\ \min_{j \in E_2(i,j)} [T_{mj} - t_{(i,j)}] & \text{для остальных цепей,} \end{cases} \quad (2)$$

где O - множество основных выходов схемы; T_{mj} - требуемое позднее время формирования сигнала j -й цепи; $t_{n(j,i)}$ - задержка ячейки, для которой i -я цепь является входной, а j -я - выходной; $E_2(j,i)$ - множество входных цепей тех ячеек, для которых i -я цепь является входной.

Как видно из формулы (2), требуемое время формирования сигнала всех цепей, соответствующих ос-

новным выходам схемы, принимается равным максимальному значению реальных времен формирования сигнала на этих же выходах. Это делается с целью предотвращения дополнительного опоздания формирования правильного сигнала на основных выходах схемы.

Под резервом времени i -й цепи будем понимать разность требуемого (T_{mi}) и реального (T_{pi}) времен формирования сигнала в данной цепи:

$$R_i = (T_{mi} - T_{pi}). \quad (3)$$

Из формул (1)-(3) следует, что для критических цепей резерв времени будет равен нулю. Цепи с нулевым резервом времени определяют критические пути от основных входов до основных выходов схемы. Любая задержка на межсоединениях этих цепей приводит к опозданию сигнала на основных выходах схемы.

В существующих алгоритмах начального размещения в качестве основного критерия используется условие обеспечения минимума суммарной длины межсоединений, в котором ожидаемые длины межсоединений между элементами идентифицируются их топологическими расстояниями [6]:

$$f_{cs} = \sum_{i=1}^N \sum_{\substack{j=1 \\ j \neq i}}^N r_{ij} d_{ij} \rightarrow \min, \quad (4)$$

где r_{ij} и d_{ij} - соответственно количество связей и расстояние между i -ым и j -ым элементами; N - количество элементов. При этом все связи рассматриваются одинаковой важности и при размещении элементов одинаково влияют на их топологическую близость.

Так как резерв времени некоторой цепи определяет допустимую задержку сигнала в данной цепи, то с целью управления длинами межсоединений при размещении резервы времени цепей можно использовать в качестве критерия близости элементов.

Если считать, что каждая из связей между i -ым и j -ым элементами принадлежит к некоторой цепи с определенным резервом времени, то в (4) r_{ij} можно заменить некоторым суммарным коэффициентом важности всех цепей, соединяющих i -й и j -й элементы:

$\lambda_{ij} = \sum_{k \in G_{ij}} \lambda_k$, где λ_k - коэффициент важности k -й цепи; G_{ij} - множество цепей, соединяющих i -й и j -й элементы. При этом для удовлетворения условия (4) коэффициент важности некоторой цепи должен быть обратно пропорциональным резерву времени этой цепи. С точки зрения проектировщика это означает, что

элементы с меньшими значениями резервов времени связывающих цепей следует размещать по возможности ближе, и наоборот.

Коэффициент важности определяется исходя из соображений его обратной пропорциональности к резерву цепи и с учетом нормировки его оценки к интервалу [0, 1], что необходимо для учета изменений сложности схемы и размерности задержки. С этой целью для определения λ_k предлагается следующее выражение:

$$\lambda_k = \frac{R_{max} - R_k}{R_{max}}, \quad (5)$$

где R_k - резерв k -й цепи; R_{max} - максимальный резерв для данной схемы.

С точки зрения внедрения λ_k в (4), цепи с меньшими значениями резервов времени будут иметь больше важности, а связанные ими элементы следует размещать по возможности ближе, и наоборот. Тогда критерий размещения (4) можно привести к следующему виду:

$$F = \sum_{i=1}^N \sum_{\substack{j=1 \\ j \neq i}}^N d_{ij} \sum_{k \in G_j} \lambda_k \rightarrow \min. \quad (6)$$

IV. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ

Реализован простейший алгоритм последовательного размещения, основанный на рекурсивном повторении следующей основной процедуры. На очередную ближайшую позицию размещается ячейка, имеющая минимальное значение функции претендентности, определяемой как разница между суммарными коэффициентами важности цепей, связывающих данную ячейку со всеми другими ячейками.

Для простоты вычислений рассмотрим простейший пример линейного размещения элементов сгенерированной нами тестовой схемы под условным обозначением a28, Verilog описание которой приведено на рис. 1, а соответствующий временной граф - на рис. 2.

В качестве элементной базы использована библиотека цифровых стандартных ячеек SAED90, разработанная в учебном департаменте ЗАО "Синописис Армения". Задержки и топологические размеры для ячеек приведенной выше тестовой схемы приведены в табл. 1 [7].

```

module a28(G1,G2,G3,G4,G5,G6,G7,
G8,G9,G10,G11,G12,G13,G14, G15, G16, G17);
input G1,G2,G3,G4,G5, G6;
output G16,G17;
wire G7,G8,G9,G10,G11,G12,G13,G14, G15;
not NOT1_1(G1,G7);
nor NOR2_1(G2,G3,G8);
and AND2_1(G4,G7,G9);
nor NOR2_2(G3,G5,G10);
nor NOR2_3(G7,G8,G11);
not NOT1_2(G8,G12);
or OR2_1(G3,G9,G13);
or OR2_2(G9,G10,G14);
nor NOR2_4(G6,G10,G15);
nand NAND3_1(G11,G12,G15,16);
nand NAND3_2(G12,G13,G14,17);
endmodule

```

Рис. 1. Verilog описание тестовой схемы a28

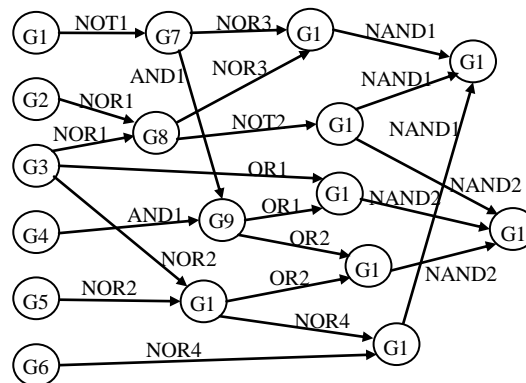


Рис. 2. Временной граф тестовой схемы a28

Таблица 1

Задержки и топологические длины логических ячеек тестовой схемы a28

Тип ячейки	NOT 1x8	NOR 2x1	NOR 2x2	AND 2x2	OR 2x1	NAND 3x1
Задержка (нс)	39	64	66	96	85	130
Длина (мкм)	4,95	2,24	3,2	2,88	2,56	4,16

Результаты расчетов оценки реального и требуемого времен формирования сигнала и резервов времени приведены в табл. 2.

Полученная линейная последовательность размещения ячеек по критерию (6) имеет следующий вид: NOT2, NAND1, NOR4, NOR1, NOR2, NOR3, NOT1, AND1, OR1, OR2, NAND2, а по критерию (4) - NOT1, AND1, NOR3, NOR1, NOT2, NAND1, NAND2, OR1, OR2, NOR2, NOR4.

В табл. 3 приведены сравнительные результаты зависимости длин цепей от их резерва времени при линейном размещении ячеек тестовой схемы a28 по критериям размещения (4) и (6). Как видно из таблицы, применение критерия (6) приводит к сокращению длин критических цепей на 44%, а их разница от цепей с максимальным резервом составляет 83%.

Расчетные значения временных параметров внутренних цепей тестовой схемы a28

Цепь	G3	G7	G8	G9	G10	G11	G12	G13	G14	G15
$T_{pi} (nc)$	0	39	66	135	66	130	105	220	220	130
$T_{mi} (nc)$	69	39	156	135	135	220	220	220	220	220
$R_i (nc)$	69	0	90	0	69	90	115	0	0	90

На основе описанного метода разработан программный инструмент начального размещения ячеек цифровых ИС, апробированный на ряде тестовых схем. Инструмент выдает: линейную последовательность размещения ячеек; двумерное прямоугольное размещение ячеек с заданным соотношением сторон прямоугольника, как в виде построчной последовательности размещения ячеек, так и в виде графического изображения размещения. С целью анализа задержек в цепях инструмент имеет возможность, при необходимости, отображения полупериметрических моделей цепей схемы с определением их длин [8].

Сравнительные результаты расчетов длин цепей при прямоугольном размещении ячеек рассмотренной выше тестовой схемы и некоторых тестовых схем серии Iscas 85 приведены в табл. 4.

Как видно из данных таблицы, предложенный ме-

Таблица 3

Средняя длина цепей тестовой схемы a28 при линейном размещении ячеек [мкм]

Резерв цепи [пс]	0	69	90	115
По критерию (4)	9,9	13,6	11,3	8,7
По критерию (6)	5,5	18,8	19,1	32,5

Таблица 4

Результаты расчетов длин цепей при квадратичном размещении ячеек тестовых схем

Параметры	Обозначение тестовой схемы				
	C17	a28	C432	C1908	C5315
Количество цепей	11	17	272	1028	3008
Средняя длина одной цепи [мкм]:					
с максимальным резервом	7,2	16,2	30,6	115,2	277,2
со средним резервом	-	9,1	14,3	39,7	71,2
критические	3,2	5,5	7,3	25,2	29,4

тод размещения обеспечивает относительное уменьшение длины критических цепей по сравнению с цепями с максимальным резервом порядка 55...90%. При этом с повышением сложности схемы наблюдается повышение эффективности предложенного метода. С целью сравнения результатов, для тех же тестовых схем было реализовано размещение ячеек с помощью подпрограммы начального размещения инструмента физического синтеза компании Синописис - IC Compiler. При этом наблюдалось уменьшение сум-

марной длины связей порядка 10...15%, однако относительное уменьшение длины критических цепей по сравнению с цепями с максимальным резервом составило порядка 30...70%.

V. ЗАКЛЮЧЕНИЕ

Предложен метод начального размещения стандартных ячеек цифровых ИС с учетом задержек распространения сигнала в цепях. Рассмотрен пример линейного размещения стандартных ячеек тестовой схемы. Апробация метода для размещения ячеек ряда тестовых схем показала высокую эффективность по минимизации длин критических цепей и относительной взвешенности длин остальных цепей. Предлагаемый метод может быть внедрен в существующие средства САПР в виде подсистемы начального размещения стандартных ячеек, а полученные результаты могут служить стартовым размещением для дальнейшей оптимизации.

ПОДДЕРЖКА

Исследование выполнено при финансовой поддержке ГКН МОН РА в рамках научного проекта № SCS 13-2И130.

ЛИТЕРАТУРА

- [1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors. 2010. <http://public.itrs.net/>.
- [2] Naveed A., Sherwani. Algorithms for VLSI Physical Design Automation. Intel Corporation.-Kluwer Academic Publishers. 2007. 572 p.
- [3] IC Compiler User Guide: Implementation Version B-2008.09. September 2008. 786 p.
- [4] How accurately can we model timing in a placement engine /A. Chowdhary, K. Rajagopal, S. Venkatesan et al. // In Proc. Design Automation Conf. 2005. P. 801-806.
- [5] Ren H., Pan D., Kung D. Sensitivity guided net weighting for placement driven synthesis // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. May, 2005 (ISPD'04). P. 711-721.
- [6] Sabih H. Gerez. Algorithms for VLSI Design Automation. John Wiley & Sons. 1998. 26 p.
- [7] Digital Standard Cell Library. SAED_EDK90_CORE DATABOOK. © 2008 SYNOPSYS ARMENIA Educational Department. Yerevan, 2008. 96 p.
- [8] Kenneth D., Andrew B., Stefanus M. On the relevance of wire load models // Proceedings of the 2001 international workshop on System-level interconnect prediction. ACM Press, 2001. P. 91-98.