

Повышение быстродействия и снижение аппаратурных затрат в декодерах Хсяо

К.А. Петров

НИИ системных исследований РАН, Москва, petrovk@cs.niisi.ras.ru

Аннотация — Проведен схемотехнический анализ элементов декодеров Хсяо, широко применяемых в оперативных запоминающих устройствах. Предложен набор упрощенных элементов для декодера. Представлены декодеры, использование которых позволяет увеличить быстродействие на 13-26% и снизить аппаратурные затраты на 21-34% за счет использования упрощенных элементов и уменьшения количества связей между ними.

Ключевые слова — помехоустойчивое кодирование, схемотехника кодер-декодеров, код Хсяо, ОЗУ.

I. ВВЕДЕНИЕ

Использование оперативных запоминающих устройств (ОЗУ) с элементами помехоустойчивого кодирования обеспечивает повышение достоверности хранящейся информации и является обязательным атрибутом сбоеустойчивых вычислительных систем. Также использование помехоустойчивого кодирования является одной из обязательных мер для создания высокопроизводительных микропроцессоров для суперЭВМ [1]. При этом повышаются требования к быстродействию и аппаратурным затратам элементов помехоустойчивого кодирования при сохранении параметров надежности функционирования ОЗУ. Наиболее распространенными кодами для повышения достоверности хранящейся информации в ОЗУ являются линейные блочные коды Хсяо [2].

Помехоустойчивое кодирование линейным блочным кодом в ОЗУ осуществляется с помощью кодера и декодера, расположенных на шине данных и вносящих задержку при чтении и записи. Поэтому критические пути в схемах кодера и декодера являются также критическими путями ОЗУ, увеличивая время доступа, что делает актуальной задачу снижения задержек сигналов в кодере и декодере. В современных высокопроизводительных микропроцессорных системах используются несколько кодер-декодеров, что делает актуальной задачу снижения их площади [3].

Известно о методиках изменения параметров кодер-декодеров за счет изменения проверочной матрицы кода [1], [4]-[6], а также за счет использования элементов ПЗУ в декодере [7], что повышает быстродействие декодера. Схемотехника кодер-декодеров рассматривается с точки зрения повышения их сбоеустойчивости к одиночным сбоям [1], [8].

В данной работе проведен схемотехнический анализ элементов декодера, на основании которого разработаны элементы декодера (а именно: схема коррекции, схемы вычисления вектора ошибки, а также схема формирования сигналов ошибки), содержащие меньшее количество логических элементов, чем представленные в литературе [2], [9] и [10]. Проведен синтез топологий декодеров технологии 0,18 КМОП, результаты которого показывают, что использование разработанных элементов позволяет снизить задержку прохождения сигналов в декодере на 13-26% и аппаратурные затраты на 21-33% для информационных слов размером 4-64 бит.

II. КОДЕР И ДЕКОДЕР ХСЯО

Кодер Хсяо представляет собой набор элементов ИСКЛ-ИЛИ и формирует проверочные биты на основании записываемых в память данных – информационного слова (информационных битов) размера k бит. Для формирования каждого проверочного бита информационные биты выбираются в соответствии с проверочной матрицей кода. Полученные из кодера проверочные биты записываются в ОЗУ по тому же адресу, что и информационные биты, вместе с ними формируя кодовое слово размера n бит. Помехоустойчивый код при этом обозначается как (n, k) .

Декодер располагается на выходной шине данных ОЗУ и при операции чтения данных из памяти обрабатывает кодовое слово, формируя сигналы ошибки и выходные данные, исправленные в случае возникновения в них ошибки. На рис. 1 представлена функциональная схема декодера Хсяо (8, 4). При чтении кодового слова $(a_1 \dots a_8)$ из ОЗУ с помощью схемы вычисления синдрома ошибки осуществляется повторное вычисление проверочных битов с последующим побитовым сравнением их с проверочными битами, считанными из ОЗУ. Результат сравнения – синдром ошибки [10] – участвует в формировании сигналов ошибки, а также является входом для схемы вычисления вектора ошибки, которая представляет собой неполный дешифратор 4 в 8 – ДШ1. Выходом дешифратора ДШ1 является вектор ошибки, маскирующий входные данные с помощью побитового сложения по модулю два в схеме коррекции, исправляя однократную ошибку в данных. Вектор ошибки также участвует в формировании сигналов ошибки. Выходами декодера, представленного на рис. 1, служат исправленное в случае однократной ошибки кодовое слово $(b_1 \dots b_8)$, а также сигналы наличия ошибки и неисправимой ошибки.

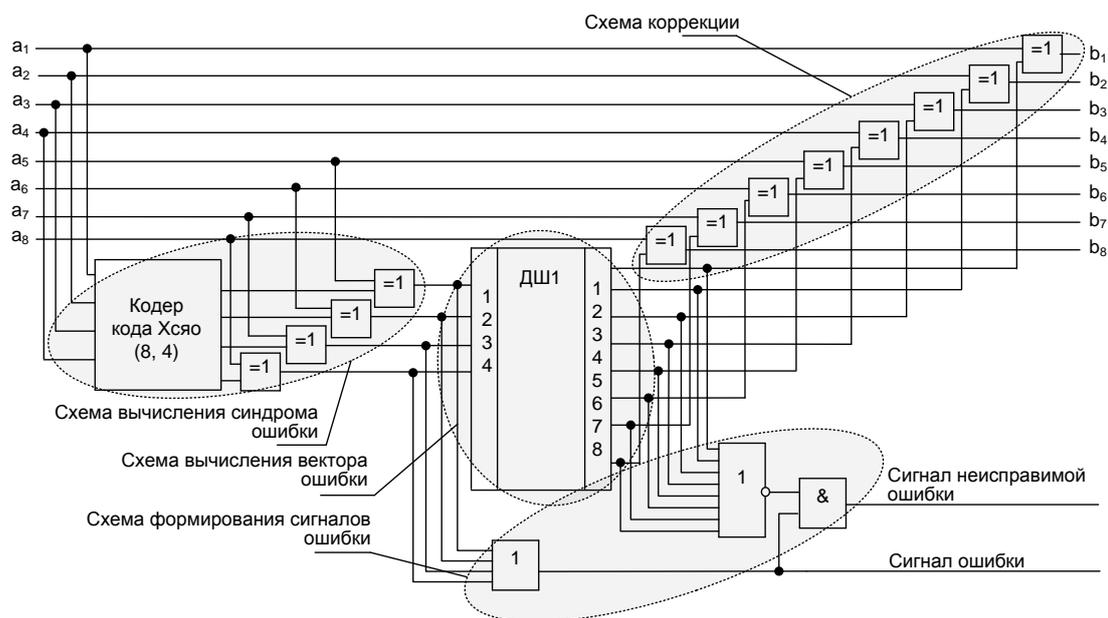


Рис. 1. Функциональна схема декодера Хсяо (8, 4)

III. ЭЛЕМЕНТЫ И СВЯЗИ В ДЕКОДЕРЕ

При проектировании декодера могут применяться различные схемы коррекции, схемы вычисления вектора ошибки и схемы формирования сигналов ошибки. Также могут применяться разные связи между этими элементами – синдром ошибки и вектор ошибки.

Схема коррекции декодера кода Хсяо (n, k) может быть как полной, так и укороченной и, соответственно, состоять из n или из k двухвходовых элементов ИСКЛ-ИЛИ. Полная схема коррекции представлена на рис 1. Декодер кода Хсяо (8, 4) с укороченной схемой коррекции отличается тем, что его выход состоит из четырех битов ($b_1 \dots b_4$). Такой декодер используется в случае, когда нет необходимости передавать на выход декодера проверочные биты. Декодер с укороченной схемой коррекции не может применяться в ОЗУ, где необходимо считывание исправленных проверочных битов. Например, при использовании каскадного декодирования, для отладки кодер-декодера в составе подсистемы памяти или для анализа сбоев в отдельных ячейках памяти ОЗУ.

Схема вычисления вектора ошибки также может быть упрощена при проектировании. Схема вычисления вектора ошибки с функцией исправления проверочных битов формирует вектор ошибки, содержащий n разрядов. Схема вычисления вектора ошибки, вычисляющая из k бит синдрома n -битный вектор ошибки, называется полной.

Если нет необходимости исправлять проверочные биты, то также нет необходимости вычислять вектор ошибки для проверочных битов. В этом случае используется укороченная схема вычисления вектора ошибки, которая формирует $(n-k)$ -разрядный вектор ошибки.

В неполном дешифраторе, исполняющем роль схемы вычисления вектора ошибки, для распознавания всех однократных ошибок достаточно использовать $(k-1)$ бит синдрома ошибки вместо k . С точки зрения проверочной матрицы кода это означает удаление любой из ее строк. При этом свойство уникальности столбцов в матрице кода Хсяо сохраняется, что позволяет по-прежнему идентифицировать все однократные ошибки. Такая схема вычисления вектора ошибки называется упрощенной.

В принципиальной схеме декодера с упрощенной схемой вычисления вектора ошибки к неиспользуемому выходу схемы вычисления синдрома ошибки будут предъявляться требования по нагрузочной способности, отличные от требований к другим выходам. Это приводит к асимметрии в схеме декодера (что может привести к гонкам сигналов). Снижение асимметрии в принципиальной схеме декодера достигается использованием симметрично-укороченной схемы вычисления вектора ошибки. Такая схема имеет k входов, но использует для формирования каждого из битов вектора ошибки только те биты синдрома, которые необходимы для однозначного его определения. При этом отбрасываемые биты синдрома распределяются максимально равномерно (а не один фиксированный для всех, как в укороченной схеме).

Таким образом, для декодера кода Хсяо (8, 4) полная схема вычисления вектора ошибки представляет собой дешифратор 4 в 8 (см. рис. 2а); укороченная – дешифратор 4 в 4 (см. рис. 2б); упрощенная – дешифратор 3 в 4 (см. рис. 2в), состоящий из трехвходовых элементов И; симметрично-упрощенная – дешифратор 4 в 4, но, как и упрощенная, состоящий из трехвходовых элементов И (см. рис. 2г).

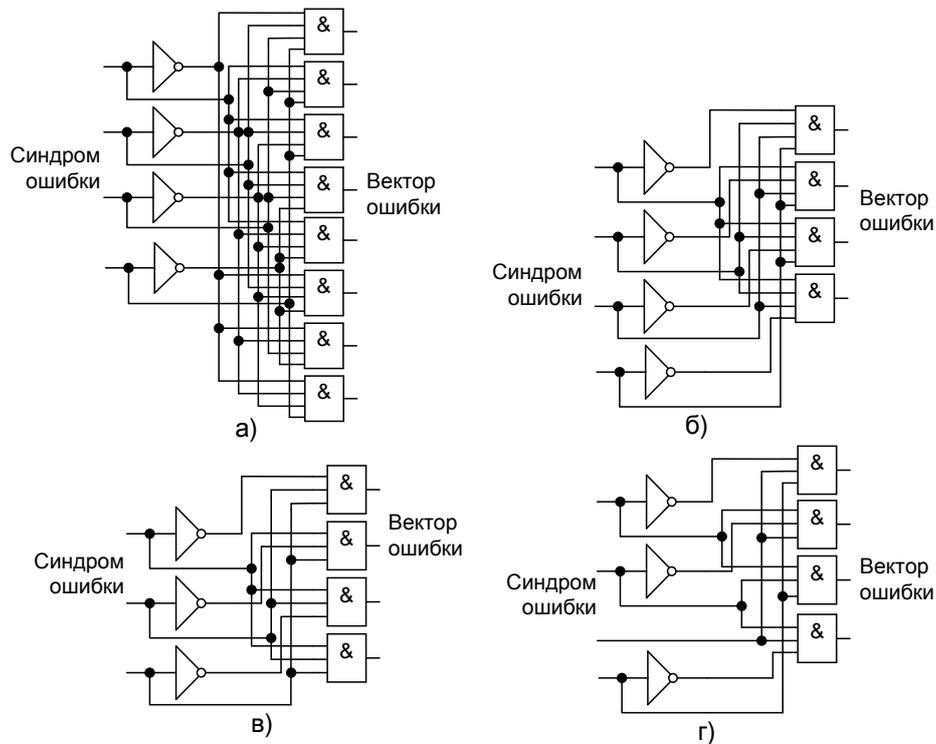


Рис. 2. Функциональные схемы вычисления вектора ошибки декодера Хсяо (8, 4): а) полная; б) укороченная; в) упрощенная; г) симметрично-упрощенная

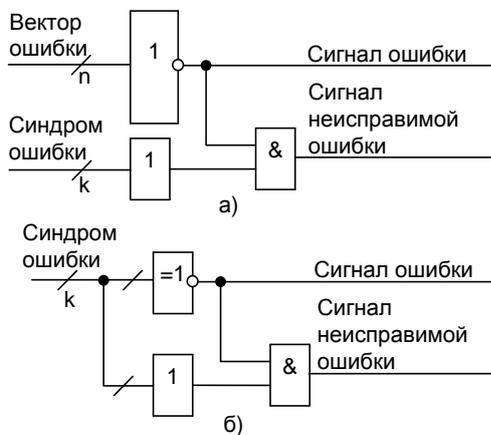


Рис. 3. Функциональные схемы формирования сигналов ошибки декодера Хсяо (n, k): а) с использованием вектора ошибки; б) без использования вектора ошибки

Схема формирования сигналов ошибки может состоять из n -входового и k -входового элементов ИЛИ-НЕ, а также двухвходового элемента И (см. рис. 3а). Это позволяет на основании того, что на n -входовой элемент ИЛИ-НЕ подается вектор ошибки, обнаруживать часть трехкратных ошибок. Для работы такой схемы необходим n -разрядный вектор ошибки.

В схеме формирования сигналов ошибки при отсутствии необходимости обнаруживать часть трехкратных ошибок может использоваться только синдром ошибки. Это позволяет снизить аппаратные затраты и задержку прохождения сигналов в схеме формирования сигналов ошиб-

ки, так как в этом случае вместо n -входового элемента ИЛИ-НЕ используется k -входовой элемент ИСКЛ-ИЛИ (см. рис. 3б).

IV. СИНТЕЗ ТОПОЛОГИЙ ДЕКОДЕРОВ

Для моделирования, синтеза топологий и их сравнительного анализа были выбраны пять декодеров Хсяо. Декодеры соответственно содержат:

- 1) n выходов (исправление любого бита из всего кодового слова), полную схему вычисления вектора ошибки, схему формирования сигналов ошибки с использованием вектора ошибки, что позволяет обнаруживать часть трехкратных ошибок;
- 2) n выходов (исправление любого бита из всего кодового слова), полную схему вычисления вектора ошибки, схему формирования сигналов ошибки без использования вектора ошибки;
- 3) k выходов (исправление только информационных битов), укороченную схему вычисления вектора ошибки, схему формирования сигналов ошибки без использования вектора ошибки;
- 4) k выходов (исправление только информационных битов), упрощенную схему вычисления вектора ошибки, схему формирования сигналов ошибки без использования вектора ошибки;
- 5) k выходов (исправление только информационных битов), симметрично-упрощенную схему вычисления вектора ошибки, схему формирования сигналов ошибки без использования вектора ошибки.

Для всех декодеров были разработаны поведенческие модели на языке Verilog для информационных слов наиболее распространенных размеров от 4 до 64 бит (а именно 4, 8, 16, 32 и 64 бит). Код и проверочная матрица моделей для каждого информационного слова совпадают, что приводит к одинаковому количеству проверочных битов и одинаковому количеству обнаруживаемых 4-кратных ошибок. При этом декодер №1 отличается от прочих возможностью обнаружения части трехкратных ошибок.

Был проведен синтез топологий в САПР Cadence Encounter по проектным нормам 0,18 мкм КМОП. Значения задержки прохождения сигналов, полученные в результате синтеза, представлены на рис. 4. Для каждого размера информационного слова задержка в декодере №1 берется за 100%, а задержки в остальных декодерах показаны в процентах от нее. Площади топологий декодеров, полученные в результате синтеза, представлены на рис. 5. Для каждого размера информационного слова площадь декодера №1 берется за 100%, а площади остальных декодеров показаны в процентах от нее.

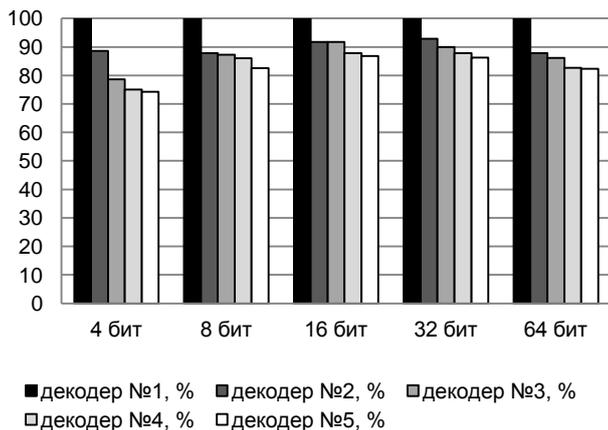


Рис. 4. Диаграмма зависимости задержек прохождения сигналов в декодерах Хсяю от размера информационного слова

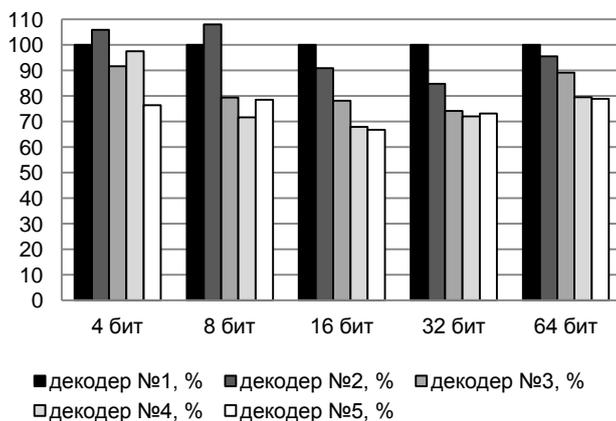


Рис. 5. Диаграмма зависимости площадей декодеров Хсяю от размера информационного слова

Проведен схемотехнический анализ элементов декодеров Хсяю, широко применяемых в ОЗУ для повышения достоверности хранящихся данных. Разработаны элементы декодера, содержащие меньшее количество логических элементов, чем представленные в литературе. Проведен синтез топологий декодеров для информационных слов размером 4, 8, 16, 32 и 64 бит с разным набором элементов и связей между ними по технологии 0,18 мкм КМОП. Результаты синтеза показывают, что использование укороченной схемы коррекции, симметрично-упрощенной схемы вычисления вектора ошибки, а также схемы формирования сигналов ошибки без использования вектора ошибки (декодер №5) позволяет снизить задержку прохождения сигналов в декодере на 13-26% и аппаратные затраты на 21-33% для информационных слов размером 4-64 бит. При этом отсутствует возможность обнаружения части трехкратных ошибок.

Использование предложенных декодеров в ОЗУ позволяет уменьшить длину критических путей и снизить аппаратные затраты.

ЛИТЕРАТУРА

- [1] Бобков С.Г. Высокопроизводительные микропроцессоры для суперЭВМ эксафлопного диапазона // Электроника, микро- и наноэлектроника. Сб. науч. тр. / под ред. В.Я. Стенина. М.: НИЯУ МИФИ, 2012. С. 129–141.
- [2] Hsiao M.Y. A class of optimal minimum odd-weight-column SEC-DED codes // IBM J. Res. Develop. 1970. Vol. 14. P. 395–401.
- [3] Власов А.О., Петров К.А., Ткаченко К.А. Методологические рекомендации по Verilog-описанию для повышения эффективности синтеза кодер-декодеров сбоеустойчивых ОЗУ // Научная сессия НИЯУ МИФИ-2013. Аннотации докладов. М.: НИЯУ МИФИ, 2013. Т. 1. С. 97.
- [4] Kazeminejad A. Fast, minimal decoding complexity, systematic (13, 8) single-error-correcting codes for on-chip DRAM applications // Electronics Letters. 2001. Vol. 37(7). P. 438–440.
- [5] Anwar M.T., Lala P.K., Thenappan P. Decoder Design for a New Single Error Correcting/Double Error Detecting Code // Proceeding of world academy of science. 2007. Vol. 22. P. 247–251.
- [6] Gherman V., Evain S., Seymour N., et al. Generalized parity-check matrices for SEC-DED codes with fixed parity // IOLTS IEEE. 2011. P. 198–201.
- [7] Gao W., Simmons S. A study on the VLSI implementation of ECC for embedded DRAM // Electrical and Computer Engineering. IEEE CCECE. 2003. Vol. 1. P. 203–206.
- [8] Maestro J.A., Reviriego P., Argyrides C., et al. Fault Tolerant Single Error Correction Encoders // Journal of Electronic Testing April. 2011. Vol. 27(2). P. 215–218.
- [9] Блейхут Р. Быстрые алгоритмы цифровой обработки сигналов. Пер. с англ. М.: Мир, 1989. 448 с.
- [10] Петров К.А. Особенности помехоустойчивого кодирования информации в ОЗУ // Электроника, микро- и наноэлектроника. Сб. науч. тр. / под ред. В.Я. Стенина. М.: НИЯУ МИФИ, 2010. С. 167–172.
- [11] Хетагуров Я.А. Руднев Ю.П. Повышение надежности цифровых устройств методами избыточного кодирования. М.: Энергия, 1974. 272 с.