

Унифицированный подход к проведению испытаний высокоскоростных цифровых микросхем на стойкость к воздействию ТЗЧ

В.С. Анашин¹, А.В. Руткевич², Д.И. Воронков²,

А.Е. Козюков¹, В.С. Королев¹, И.Ю. Сысоев²

¹ОАО «НИИ КП», nrk1@niikp.org

²ООО «НПП «Цифровые решения», igor@dsol.ru

Аннотация — В работе предложена идея унификации проведения испытаний на стойкость к воздействию ТЗЧ. Данный подход позволит исключить использование длинных линий и упростить подготовку и проведение испытаний. В рамках метода разработана тестовая аппаратная платформа, с помощью которой проведены испытания на стойкость к воздействию ТЗЧ. Отражены результаты испытаний образцов двух типов: процессора и памяти.

Ключевые слова — СБИС, испытания, тяжёлые заряженные частицы, аппаратная платформа, исследование, микросхема, оснастка, методика.

I. ВВЕДЕНИЕ

Одним из приоритетных направлений современной микроэлектроники является создание сверхбольших интегральных схем, входящих в состав аппаратуры космических аппаратов, что делает весьма актуальной задачу оценки стойкости этих изделий к воздействию тяжёлых заряженных частиц (ТЗЧ) в части одиночных радиационных эффектов (ОРЭ).

Традиционная методика для оценки параметров чувствительности к воздействию ТЗЧ основана на проведении испытаний на ускорителях ионов и протонов. В частности, распространённым подходом к исследованию заказных микросхем на стойкость к воздействию тяжёлых заряженных частиц является разработка оснастки, состоящей из образца и разъёмов для коммутации модуля к источнику сигналов, находящихся на расстоянии порядка 3-15 метров. В этом случае исследователю неизбежно приходится сталкиваться с хорошо известными проблемами длинных линий при передаче данных между высокоскоростными устройствами [1]. Причинами подобных эффектов являются электромагнитные и перекрёстные помехи. Более того, в настоящее время активно развивается направление разработки отечественных космических процессоров и контроллеров интерфейсов. В частности, необходимо обеспечивать поддержку распространяющегося в настоящее время интерфейса сериалайзера TLK2711-SP [2], поскольку с использованием этой микросхемы активно разрабатывается новый стандарт высокоскоростной

передачи данных SpaceWire-RT [3]. Помимо проблемы длинных линий испытателю придётся решить большое число типовых задач, заключающихся в разработке оснастки. В рамках задачи исследования высокоскоростных микросхем при воздействии ТЗЧ был предложен новый унифицированный подход и для его реализации разработана специализированная аппаратная платформа.

Учитывая существующие методики тестирования различных цифровых схем [4][5], методики контроля ОРЭ [6] и тенденции к возрастанию скорости обмена данными, предложен унифицированный подход к проведению испытаний высокоскоростных цифровых микросхем на стойкость к воздействию ТЗЧ. Наилучшим способом борьбы с эффектами длинных линий является размещение источника сигналов для исследуемого образца максимально близко к изделию. Высокое качество сигнального тракта достижимо при замене навесного монтажа полосковыми линиями на печатной плате. В этом случае обеспечиваются высокие скорости передачи (до 200 МГц). Недостатком такого подхода являются высокие технические требования к специалисту, разрабатывающему оснастку. Кроме того, сроки изготовления специализированной аппаратной платформы для каждого типа изделия напрямую зависят от сроков изготовления печатной платы, сроков поставки компонентов и сроков монтажа. Сроки поставки отдельных компонентов (в частности, программируемых логических интегральных схем или ПЛИС) могут достигать 6 месяцев. Логичным шагом, как с точки зрения ресурсов (времени и денег), так и с точки зрения дальнейшего развития, является разработка *унифицированной аппаратной платформы* и её дальнейшего повторного использования в исследовательских проектах. Подобный подход позволит повысить глубину проверочных тестов и скоростные характеристики источников сигнала и сконцентрироваться на исследовании изделий, а не на разработке оснастки.

II. ТЕСТОВАЯ АППАРАТНАЯ ПЛАТФОРМА

A. Общая структура тестовой платформы

На рис. 1 показана структурная схема унифицированной аппаратной платформы STAR (System for Testing And Research). Элементом, реализующим функционал алгоритмов для исследования образца, является вычислительный блок.

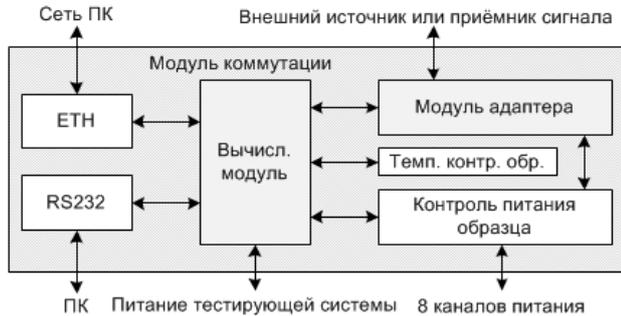


Рис. 1. Структурная схема системы тестирования высокоскоростных цифровых устройств STAR

B. Вычислительный модуль

Вычислительный модуль состоит из 2-х основных компонентов: ПЛИС и микроконтроллера. Структура вычислительного модуля показана на рис. 2. Эти компоненты осуществляют обмен данными между собой по интерфейсу SPI (serial peripheral interface – последовательный периферийный интерфейс). ПЛИС предназначен для реализации сигнала источника и приёмника высокоскоростных сигналов (в частности, интерфейс сериалайзера TLK2711-SP и интерфейса NAND Flash-памяти). Микроконтроллер используется как для реализации системы управления высокоскоростным приёмопередатчиком ПЛИС, так и в качестве формиратора данных для персонального компьютера оператора. В качестве ПЛИС используется микросхема фирмы Xilinx XC6SLX150-2FGG900I [7]. В качестве микроконтроллера используется микросхема фирмы NXP LPC1227FBD64/301 [8] на базе ядра ARM Cortex-M0.

В процессе разработки программного обеспечения (ПО) для унифицированной аппаратной платформы STAR были реализованы контроллеры стандартных интерфейсов: статической (SRAM) памяти, NAND Flash-памяти (ONFI 2.2), интерфейса SPI, I2C-интерфейса, интерфейса сериалайзера TLK2711-SP. Для обеспечения возможности энергонезависимого хранения информации на вычислительном модуле размещена микросхема Flash-памяти M25P64 с интерфейсом SPI.

C. Модуль адаптера

Модуль адаптера предназначен для размещения исследуемого образца. Блок состоит из печатной платы с посадочным местом для монтажа изделия и высокочастотных разъёмов серии QTN [9]. Данные соединители предназначены для высокоскоростной передачи данных и поддерживают такие протоколы как Hypertransport, XAUI, PCI Express, SATA и InfiniBand.

Поскольку различные изделия будут иметь различные посадочные площадки, то для каждого изделия должен быть разработан свой блок адаптера. Были успешно разработаны блоки адаптера для корпусов типа TSOP и BGA.

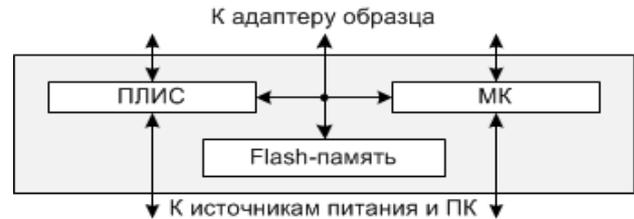


Рис. 2. Структурная схема вычислительного модуля

D. Модуль коммутации

Модуль коммутации, показанный на рис. 1, предназначен для соединения вычислительного модуля и модуля адаптера изделия. Модуль коммутации поддерживает до 8-ми каналов питания. В частности, такое количество каналов может быть полезно при изучении тестовых структур. Каждый из каналов имеет возможность использования преобразователей напряжения для компенсации просадок напряжений и программного отключения питаний. Дополнительно на модуле размещён блок контроля питания образца, состоящий из АЦП LTC2991, измеряющих входной ток и потребление по каждому из 8-ми каналов. Для определения температуры изделия предусмотрен блок температурного контроля образца, состоящий из группы термодатчиков, расположенных рядом с образцом. Для целей исследования на стойкость к одиночным событиям радиационного защёлкивания конструктив допускает использование специальных средств (например, паяльного фена). В платформе предусмотрена поддержка интерфейса сериалайзера TLK2711. Проверка поддержки обеспечивается расположенной парой промышленных версий микросхем TLK2711 [1]. Для организации каналов управления между оператором и тестовой оснасткой предусмотрены по два интерфейса RS-232 и Ethernet. Надёжное подключение кабелей питания обеспечивается разъёмами серии Mini-Fit. Подключение коммутационного модуля к вычислительному модулю и модулю адаптера показано на рис. 1.

III. ХАРАКТЕРИСТИКИ ТЕСТОВОЙ АППАРАТНОЙ ПЛАТФОРМЫ

Для проведения испытаний была разработана аппаратная платформа, состоящая из вычислительного модуля, модуля адаптера изделия и модуля коммутации. Характеристики аппаратной платформы показаны в табл. 1. Конструктив модуля коммутации позволяет использовать его в вакуумной камере мишени вывода пучка ускорителя У-400М. На платформе кроме заказных сверхбольших интегральных схем (СБИС) были испытаны типовые компоненты, такие как статическая память и NAND Flash-память. Таким образом, возможности, предоставляемые разработанной аппаратной платформой, позволяют унифицировать большинство типовых задач, связанных с испытанием СБИС на

стойкость к воздействиям тяжёлых заряженных частиц.

Таблица 1

Характеристики аппаратной платформы STAR

Название параметра	Значение
Количество каналов питания, шт.	8
Максимальная частота сигналов, МГц	150
Минимальная рабочая температура, °С	-40
Максимальная рабочая температура, °С	85
Максимальное количество сигналов от образца, шт.	170
Габариты устройства (длина x ширина), мм x мм	175x160

На рис. 3 показана аппаратная платформа STAR, смонтированная в вакуумной камере.

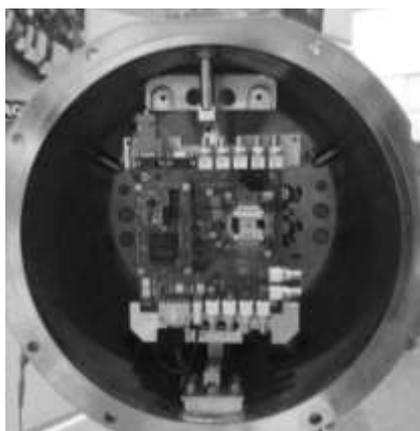


Рис. 3. Аппаратная платформа STAR, смонтированная в вакуумной камере

IV. РЕЗУЛЬТАТЫ ИСПЫТАНИЯ ОБРАЗЦОВ

A. Испытываемые изделия

С использованием данного подхода были испытаны два типа изделия на стойкость к воздействию ТЗЧ.

Первый тип изделия представлял собой микросхему в керамическом BGA-корпусе. Микросхема состояла из ядра микропроцессора на базе архитектуры RISC, постоянного запоминающего устройства (ПЗУ), блока аппаратных регистров и интерфейса SPI для подключения к внешним устройствам. Тактовая частота работы процессора при испытаниях равнялась 50 МГц.

Второй тип изделия также был изготовлен в керамическом BGA-корпусе и состоял из блоков статической памяти общим объёмом 8 килобайт. Частота чтения и записи данных в блоки памяти равнялась 100 МГц.

B. Результаты испытаний микросхемы статической памяти

Облучение микросхемы памяти проводилось ионами Ne, Ar, Kr, Xe и Bi с характеристиками, указанными в табл. 2. В результате проведения испытаний на стойкость к ТЗЧ была получена зависимость сечения ОПЭ

по обратимым одиночным сбоям (single event upset, SEU) [10] от линейных потерь энергии (ЛПЭ). Эта зависимость показана на рис. 4. Катастрофический отказ микросхемы и другие контролируемые ОПЭ, такие как тиристорный эффект (single event latchup, SEL) [10] и одиночный микродозовый эффект (single event hard error, SEHE) [10], не были зафиксированы. Пороговые значения ЛПЭ для различных видов эффектов в контроллере при воздействии ТЗЧ представлены в табл. 3.

Таблица 2

Характеристики ионов

Тип иона	Линейная передача энергии в кремнии, ЛПЭ, МэВ×см ² /мг	Пробег в кремнии, R [Si], мкм
Ne	6	46
Ar	16	31
Kr	39	47
Xe	69	42
Bi	96	38

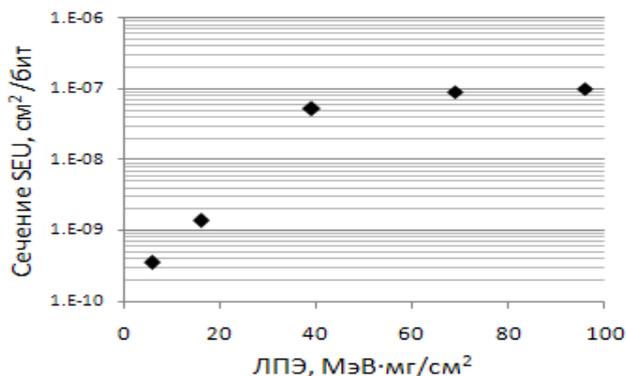


Рис. 4. Зависимость сечения обратимых одиночных сбоев от ЛПЭ в исследуемой микросхеме памяти

C. Результаты испытаний микропроцессора

Облучение контроллера проводилось в два этапа. Во время первого из них проводилось облучение ионами Ne, Ar, Kr, Xe с характеристиками, указанными в табл. 2.

При облучениях ионами Xe были зарегистрированы скачки тока потребления ядра микросхемы до уровня 120 мА, при этом работоспособность микросхемы сохранялась. Нормальное значение уровня тока потребления ядра восстанавливалось либо в течение примерно 1-2 мин., либо путем выключения и последующего включения питания. Так как микропроцессор представляет собой «систему на кристалле» и во время испытаний тестовой структуры некоторые блоки были не задействованы, то такое поведение микросхемы может быть связано с включением неиспользуемых в тесте функциональных блоков микропроцессора при воздействии ТЗЧ или одиночных событий радиационного защёлкивания. Поэтому было доработано тестовое программное обеспечение, а именно была добавлена функция сброса (reset) процессора без отключения питания.

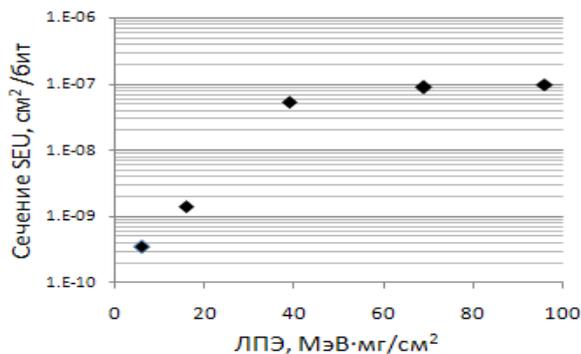


Рис. 5. Зависимость сечения обратимых одиночных сбоев от ЛПЭ в исследуемом микропроцессоре

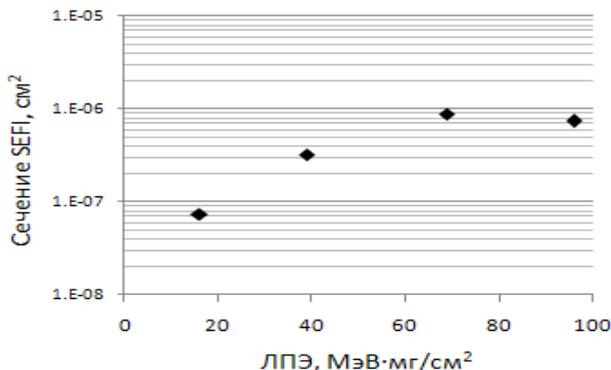


Рис. 6. Зависимость сечения одиночных эффектов функционального прерывания от ЛПЭ в исследуемом микропроцессоре

На втором этапе испытаний проводилось облучение ионами Вi с характеристиками, указанными в табл. 2. Наблюдались скачки тока потребления ядра микросхемы до уровня 120 мА, которые устранялись за счет сброса микропроцессора без выключения питания. Следовательно, можно сказать, что повышение тока потребления микросхемы связано именно с включением неиспользуемых во время тестов блоков, а не с возникновением тиристорного эффекта в них.

Таблица 3

Пороговые значения ЛПЭ для различных видов эффектов в испытанных образцах при воздействии ТЗЧ

Тип образца	Эффект	Пороговое значение ЛПЭ, МэВ·см²/мг [Si]
Процессор	SEHE,SEL,KO	больше 96
	SEU	меньше 15
	SEFI	меньше 39
Память	SEHE,SEL,KO	больше 96
	SEU	меньше 6

Также в результате проведения испытаний на стойкость к ТЗЧ были получены зависимости сечений одиночных сбоев и одиночных эффектов функционального прерывания (single event functional interrupt, SEFI) [10] от ЛПЭ. Катастрофический отказ (КО) микросхе-

мы и другие, контролируемые ОРЭ, такие как тиристорный и микродозовые эффекты, не были зафиксированы. На рис. 5 показана зависимость сечений обратимых одиночных сбоев от ЛПЭ. На рис. 6 показана зависимость сечений одиночных эффектов функционального прерывания от ЛПЭ. Пороговые значения ЛПЭ для различных видов эффектов в микропроцессоре при воздействии ТЗЧ представлены в табл. 3.

V. ЗАКЛЮЧЕНИЕ

В работе представлен унифицированный подход к проведению испытаний высокоскоростных цифровых микросхем на стойкость к воздействию ТЗЧ, позволяющий исключить коммутирующие длинные линии и упростить подготовку и проведение испытаний. Также представлена унифицированная тестовая аппаратная платформа, обеспечивающая выполнение описанного подхода, и ее основные характеристики. Показано, что при проведении испытаний данный подход позволил осуществить полноценный функциональный контроль цифровых микросхем различного типа в режиме высокоскоростного обмена данными, что говорит о его применимости на практике. В дальнейшем планируется доработка подхода для его применимости при испытаниях аналоговых и цифро-аналоговых устройств.

ЛИТЕРАТУРА

- [1] Говард Джонсон В., Мартин Грэхем Конструирование высокоскоростных цифровых устройств: начальный курс чёрной магии. Пер. с англ. М.: Издательский дом «Вильямс», 2006. 624 с.
- [2] Texas Instruments SGLS307 1.6-Gbps to 2.5 Gbps Class V Transceiver // Product datasheet Rev. F. 2012. P. 22.
- [3] Spacewire-RT Consortium D6.2 Russian Translation of SpaceWire Standard // Standard. Ver. 1.00. 2013. 155 p.
- [4] Некрасов П.В. Методы тестирования микропроцессоров на наличие одиночных сбоев и тиристорного эффекта от отдельных ядерных частиц // Сборник трудов «Электроника, микро- и нанoeлектроника». М.: МИФИ, 2005. Ч. 2. С. 240–242.
- [5] Чибисов П.А., Трубицын Д.А., Баранов С.В. Алгоритмы тестирования памяти при проведении радиационных испытаний микропроцессорного модуля // IV Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010». Сб. трудов / под общ. ред. академика А.Л. Стемпковского. М.:ИППМ РАН, 2010. С. 257-260.
- [6] Compilation of Electronic Components SEE Test Results / Vasily S. Anashin, Alexander S. Kuznetsov, Alexander E. Kozyukov, Linaris R. Bakirov, Anatoly A. Kazuyakin, Kirill A. Artemyev // 2013 IEEE Radiation Effects Data Workshop. 2013. P. 30-32.
- [7] Xilinx DS162 Spartan-6 FPGA Electrical Characteristics // Product Specification. Rev 3.0. 2011. 89 p.
- [8] NXP LPC122x 32-bit ARM Cortex-M0 microcontroller // Product data sheet. Rev. 2. 2011. 61 p.
- [9] Samtec F-212 High speed ground plane header // Product Specification.
- [10] Таперо К.И. Радиационные эффекты в кремниевых интегральных схемах космического применения. М.: БИНОМ. Лаборатория знаний, 2012. 304. с.